



BUNDESPATENTGERICHT

23 W (pat) 26/15

(Aktenzeichen)

Verkündet am
5. September 2017

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2012 103 517.2

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 5. September 2017 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner, der Richterin Martens und der Richter Brandt und Dr. Friedrich

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die Anmeldung 10 2012 103 517 wurde am 20. April 2012 mit der Bezeichnung „Dummy-Strukturen und Verfahren“ beim Deutschen Patent- und Markenamt eingereicht. Sie nimmt die Priorität der US-Anmeldung 13/091,679 vom 21. April 2011 in Anspruch.

Die Prüfungsstelle für Klasse H01L hat auf den Stand der Technik gemäß den Druckschriften

- D1 US 6 109 775 A und
- D2 Lee, B. et al. : Using Smart Dummy Fill and Selective Reverse Etch-back for Pattern Density Equalization. In: CMP-MIC Conference, 2000

hingewiesen und mangelnde Patentfähigkeit des Verfahrens nach Anspruch 1 geltend gemacht. Sie hat die Anmeldung in der Anhörung vom 01. Oktober 2015 zurückgewiesen und in ihrer schriftlichen Beschlussbegründung dargelegt, das Verfahren nach Anspruch 1 sei gegenüber dem Stand der Technik gemäß der Druckschrift D1 nicht neu.

Gegen den am 8. Oktober 2015 zugestellten Beschluss hat die Anmelderin mit dem am 9. November 2015 eingegangenen Schriftsatz Beschwerde eingelegt und diese mit einem weiteren Schriftsatz vom 3. Februar 2017 begründet.

Mit der Ladung zur mündlichen Verhandlung hat der Senat die Anmelderin noch auf die Relevanz der Druckschriften

D3 US 2011/0068436 A1 und

D4 EP 0 890 991 A2

für die Patentfähigkeit der Gegenstände der geltenden Ansprüche hingewiesen.

Mit Schriftsatz vom 21. August 2017 hat die Anmelderin mitgeteilt, dass sie an der mündlichen Verhandlung am 5. September 2017 nicht teilnehmen wird.

Sie beantragt mit Schriftsatz vom 9. November 2015 sinngemäß:

1. den Beschluss der Prüfungsstelle für Klasse H01L vom 1. Oktober 2015 aufzuheben,
2. ein Patent zu erteilen mit der Bezeichnung „Dummy-Strukturen und Verfahren“, dem Anmeldetag 20. April 2012 unter Inanspruchnahme der Priorität US, 13/091,679 vom 21. April 2011 auf der Grundlage folgender Unterlagen:
 - ursprüngliche Ansprüche 1 bis 20, eingegangen am Anmeldetag,
 - ursprüngliche Beschreibung S. 1 bis 21, eingegangen am Anmeldetag,
 - Figuren 1 bis 8 vom Anmeldetag.

Der geltende Anspruchssatz umfasst die drei selbständigen Ansprüche 1, 10 und 16. Diese lauten:

„1. Verfahren zum Herstellen eines Halbleiterbauelements (200), wobei das Verfahren Folgendes aufweist:

Ausbilden einer Materialschicht auf einem Substrat (230);
Strukturieren eines ersten halbglobalen Gebiets (210) mit einem ersten Hauptmuster;
Strukturieren eines zweiten halbglobalen Gebiets (220) mit einem zweiten Hauptmuster, wobei das erste Hauptmuster von dem zweiten Hauptmuster verschieden ist; und
Einführen eines ersten Dummy-Musters in dem ersten halbglobalen Gebiet (210), so dass eine erste Seitenwandbereichsoberflächendichte des ersten Hauptmusters und des ersten Dummy-Musters in dem ersten halbglobalen Gebiet (210) und eine zweite Seitenwandbereichsoberflächendichte des zweiten Hauptmusters in dem zweiten halbglobalen Gebiet (220) im Wesentlichen eine gleiche Dichte aufweisen.“

„10. Verfahren zum Herstellen von Seitenwandabstandshaltern, wobei das Verfahren Folgendes aufweist:

Bereitstellen einer Musterdichte für eine Materialschicht in einem ersten halbglobalen Gebiet (210) und einem zweiten halbglobalen Gebiet (220);

Vergrößern einer ersten Seitenwandbereichsoberflächendichte in dem ersten halbglobalen Gebiet (210) und Aufrechterhalten einer zweiten Seitenwandbereichsoberflächendichte in dem zweiten halbglobalen Gebiet (220), wobei die erste Seitenwandbereichsoberflächendichte innerhalb eines 35%-Bereichs der zweiten Seitenwandbereichsoberflächendichte liegt.“

„16. Halbleiterbauelement (200), das Folgendes aufweist:

ein erstes Gatemuster und ein erstes Dummy-Muster in einer Materialschicht auf einem Substrat (230) in einem ersten halbglobalen Gebiet (210), wobei das erste Gatemuster und das erste

Dummy-Muster eine erste Seitenwandbereichsoberflächendichte aufweisen;

und ein zweites Gatemuster in der Materialschicht auf dem Substrat (230) in einem zweiten halbglobalen Gebiet (220), wobei das zweite Gatemuster eine zweite Seitenwandbereichsoberflächendichte aufweist, wobei die erste Seitenwandbereichsoberflächendichte in einem Bereich von 35% der zweiten Seitenwandbereichsoberflächendichte liegt.“

Hinsichtlich der Unteransprüche 2 bis 9, 11 bis 15 und 17 bis 20 sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die Beschwerde ist frist- und formgerecht eingelegt und zulässig. Sie hat jedoch keinen Erfolg, da das Verfahren nach Anspruch 1 nicht patentfähig ist, weil es - soweit es überhaupt neu ist - jedenfalls nicht auf einer erfinderischen Tätigkeit des Fachmanns beruht (§ 3, 4 PatG).

Als Fachmann ist ein in der Halbleiterindustrie tätiger berufserfahrener Diplom-Ingenieur der Elektrotechnik oder Diplom-Physiker mit Fachhochschul- oder Hochschulabschluss zu definieren, der mit dem Design von integrierten Halbleiterbauelementeschaltungen befasst ist.

Die Zulässigkeit der geltenden Ansprüche steht außer Frage, da es sich um die ursprünglich eingereichten Ansprüche handelt.

1. Die Anmeldung betrifft Halbleiterbauelemente und Verfahren zum Herstellen von Halbleiterbauelementen.

Bei der Herstellung von Halbleiterbauelementen in Form integrierter Schaltungen wird die Oberfläche der bereits mit vorgegebenen Mustern versehenen Wafer mit Abscheide- und Ätzprozessen behandelt. Dabei ist es wichtig, dass über die Oberfläche des jeweiligen Chips homogene Abscheide- und Ätzergebnisse erzielt werden, um in allen Bereichen der integrierten Schaltung möglichst einheitliche elektrische Eigenschaften der jeweiligen Bauelemente zu gewährleisten.

Die Anmeldung erläutert die ihr zugrunde liegende Problematik anhand der Fig. 2 bis 4 im Hinblick auf die Erzeugung von Abstandshaltern (sog. Spacern) bei Gateelektrodenanordnungen von MOS-Transistoren. Wie die Fig. 3 illustriert, weisen Speicherchips in den verschiedenen Funktionsbereichen unterschiedliche Dichten der Seitenwandbereichsoberflächen (SWS = side wall surface) der Gateelektroden auf, die zwischen Werten von 0,26 bis 0,3 in den Flash-Speicher-Gebieten und Werten 0 bis 0,1 in den Padgebieten liegen. Diese unterschiedlichen Seitenwandbereichsoberflächendichten in den verschiedenen Chipgebieten führen zu einer unterschiedlichen Bedeckung der vertikalen Oberflächen der Gateelektroden in den jeweiligen Gebieten, da die Dicke der auf diesen Oberflächen abgeschiedenen Schicht von der zu bedeckenden Oberfläche abhängt. Die dadurch sich ergebenden unterschiedlichen Dicken der seitlichen Abstandshalter wirken sich negativ auf die elektrischen Eigenschaften der MOS-Transistoren aus. Falls die Spacerdicke zu dünn ist, ist der Leckstrom der Transistoren zu hoch und die Schwellwertspannung V_{th} ist verzerrt. Dies kann aufgrund der oben angegebenen Dichtewerte für Bauelemente in den Speichergebieten der Fall sein. Falls im Gegensatz dazu die Abstandshalterdicke zu dick ist, ist die Schwellwertspannung des MOS-Transistors V_{th} zu hoch und das Bauelement ist zu langsam.

Der Fachmann entnimmt der Anmeldung somit als technisches Problem die Aufgabe, diese Probleme weitgehend zu beseitigen. Genauer gesagt, sollen trotz unterschiedlicher Seitenwandoberflächen-Dichten in verschiedenen Chipbereichen möglichst gleichförmige Bauelementeigenschaften über den Chip erreicht werden,

vgl. insoweit in der ursprünglichen Beschreibung S. 1, 1. bis 3. Abs. i. V. m. S. 6, 2. Abs. bis S. 11, 1. Abs..

Die geltenden selbständigen Ansprüche 1, 10 bzw. 16 geben als Lösungen ein Verfahren zum Herstellen eines Halbleiterbauelements, ein Verfahren zum Herstellen von Seitenwandabstandshaltern bzw. ein Halbleiterbauelement an.

Für das Verfahren nach Anspruch 1 ist dabei wesentlich, dass nach dem Ausbilden einer Materialschicht auf einem Substrat ein erstes halbglobales Gebiet mit einem ersten Hauptmuster und ein zweites halbglobales Gebiet mit einem zweiten verschiedenen Hauptmuster strukturiert werden und dass in dem ersten halbglobalen Gebiet ein Dummy-Muster eingeführt wird, so dass eine erste Seitenwandbereichsoberflächendichte des ersten Hauptmusters und des ersten Dummy-Musters in dem ersten halbglobalen Gebiet und eine zweite Seitenwandbereichsoberflächendichte des zweiten Hauptmusters in dem zweiten halbglobalen Gebiet im Wesentlichen eine gleiche Dichte aufweisen.

Der Anspruch 10 gibt an, dass eine Musterdichte für eine Materialschicht in einem ersten halbglobalen Gebiet und einem zweiten halbglobalen Gebiet bereitgestellt wird und dass eine erste Seitenwandbereichsoberflächendichte in dem ersten halbglobalen Gebiet vergrößert und eine zweite Seitenwandbereichsoberflächendichte in dem zweiten halbglobalen Gebiet aufrechterhalten wird, wobei die erste Seitenwandbereichsoberflächendichte innerhalb eines 35%-Bereichs der zweiten Seitenwandbereichsoberflächendichte liegt.

Das Halbleiterbauelement nach Anspruch 16 weist ein erstes Gatemuster und ein erstes Dummy-Muster in einer Materialschicht auf einem Substrat in einem ersten halbglobalen Gebiet auf, die eine erste Seitenwandbereichsoberflächendichte aufweisen. Außerdem ist in einem zweiten halbglobalen Gebiet ein zweites Gatemuster in der Materialschicht auf dem Substrat vorhanden, das eine zweite Seitenwandbereichsoberflächendichte aufweist, wobei die erste Seitenwandbereichs-

oberflächendichte in einem Bereich von 35% der zweiten Seitenwandbereichsoberflächendichte liegt.

Kerngedanke der anmeldungsgemäßen Lösung ist es somit, ungleichmäßige Seitenwandbereichsoberflächendichten in verschiedenen Gebieten durch das Einbringen von Dummystrukturen auszugleichen.

2. Das Verfahren nach Anspruch 1 ist nicht patentfähig. Soweit es überhaupt neu ist (§ 3 PatG), beruht es jedenfalls nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

Die vom Senat der Anmelderin mit der Ladung zur mündlichen Verhandlung übermittelte Druckschrift D4 (EP 0 890 991 A2) beschäftigt sich mit dem Problem, dass bei kleiner werdenden Strukturabmessungen der Bauelementstrukturen der sogenannte „loading effect“ beim Ätzen der Strukturen negative Auswirkungen auf die Einhaltung der Strukturdimensionen hat. Der „loading effect“ besteht darin, dass das Ätzverhalten in Gebieten mit hoher Strukturdichte vom Ätzverhalten in Gebieten mit demgegenüber niedriger Strukturdichte in dem Sinn abweicht, dass der Ätzangriff in den Gebieten mit hoher Strukturdichte anisotroper verläuft als in Gebieten mit niedriger Strukturdichte, so dass im ersten Gebiet beim Ätzen gerade Ätzkanten in dem zu ätzenden Material ausgebildet werden, während die Kanten im zweiten Gebiet abgeschrägt sind. In diesen Gebieten schlägt sich während des Ätzens mehr Material auf den Seitenwänden der Ätzstruktur nieder, das den Ätzangriff behindert, vgl. in der D4 vor allem S. 2, Zeilen 5 bis 38.

Dieser unerwünschte Effekt wird in der D4 im Hinblick auf das Herstellen einer Gateelektrodenstruktur erläutert, bei der auf dem Halbleitermaterial eine Gateelektrode („*conductive gate 30*“) erzeugt und dann eine Schicht aus einem dielektrischen Material („*depositing a dielectric layer over the gate*“) abgeschieden wird. Dieses Material wird zu Seitenwänden strukturiert, die die Seitenflächen der Gateelektroden abdecken, um die abgedeckten Gebiete des Substrats bei folgen-

den Prozessschritten wie bspw. einer Ionenimplantation zu schützen. Da wegen des „loading effects“ Bereiche mit hoher Strukturichte anders geätzt werden als Bereiche mit geringer Strukturichte, ist die Bodenbreite der mit dem Ätzprozess hergestellten Vertiefungen über den Chip uneinheitlich, vgl. in der D4 vor allem S. 3, Zeilen 15 bis 38.

Die Druckschrift D4 gibt die Lehre, die diesem Effekt zugrunde liegende „loading variation“ dadurch zu beseitigen, dass in Gebieten mit niedriger Strukturichte Dummy-Strukturen erzeugt werden (*In accordance with the invention, loading variation is reduced or eliminated to avoid variations in dimension by making the pattern factor more uniform across a chip for a given etch process. As previously defined, pattern factor is the ratio of patterned versus unpatterned areas over a region of interest. Making the pattern density more consistent across the chip decreases variation in loading during etchings resulting a more uniform pattern density factor across the chip. This produces more uniform size and taper of etched openings across the chip. In accordance with the invention, a more uniform pattern factor is provided across the chip to reduce loading variation. In one embodiment, patterns are added in the etch mask in areas of low density and/or blockers are added in areas of high pattern density to achieve a more uniform pattern density across the chip. To illustrate, a highly patterned area contains greater amount of exposed areas that are to be etched, thus increasing the etch load. Conversely, in a unpatterned or less patterned area, less of the substrate surface is exposed for etching. In such areas, the etch load is lower in comparison to the highly patterned areas. [...] On the other hand, adding patterns to the etch mask in unpatterned or lesser patterned regions increases the etch load. By doing either one or a combination of both, the pattern factor across the chip becomes more uniform. As a result, more uniform loading occurs during the etch process, which produces more uniform linewidths.* / S. 3, Zeilen 39 bis 53).

Diese Vorgehensweise wird bspw. bei der Herstellung von Speicherchips angewandt, die - wie oben schon erläutert - verschiedene halbglobale Gebiete mit un-

terschiedlicher Strukturdichte aufweisen (*Fig. 3 is a top view of a partial design layout for a dynamic random access memory (DRAM) chip. [...] As shown, the memory chip includes three different types of area or region. Area A is an on-pitch or pitch-limited region of the chip. As a result, area A comprises the highest pattern density. Typically, area A contains an array of memory cells. Area B of the chip is an off-pitch region that has less pattern density than area A. The off-pitch region typically comprises the support circuitry of the DRAM chip. Area C is a sparsely patterned region of the chip. Typically this region is referred to as the kerf. For a DRAM chip, the pattern factor of area A is about 50 %, area B is about 20-30 %, and area C is about 5-10 %. In accordance with one embodiment of the invention, patterns are added to areas B and C to increase the pattern factor therein. In one embodiment, the patterns increase the pattern density of the less patterned areas B and C so as to result in a more homogenized patterned density or pattern factor across the chip. / S. 4, Zeilen 18 bis 29*).

Somit offenbart die Druckschrift D4 ein Verfahren zum Herstellen eines Halbleiterbauelements (*dynamic random access memory (DRAM) chip / S. 4, Zeile 18*) mit folgenden Verfahrensschritten:

- Ausbilden einer Materialschicht auf einem Substrat (*For example, the formation of gate conductors in the fabrication of a DRAM chip involves depositing a blanket layer of polysilicon (poly) over the surface of the wafer. Other layers, such as polycides which include a silicide layer formed over the poly, are also useful in forming the gate conductors. Typically, a nitride layer is formed over the poly to serve as an etch stop for stop for borderless contact schemes. / S. 4, Zeilen 42 bis 45*),
- Strukturieren eines ersten halbglobalen Gebiets mit einem ersten Hauptmuster (*area B oder area C*),
- Strukturieren eines zweiten halbglobalen Gebiets mit einem zweiten Hauptmuster (*memory cells in area A*), wobei das erste Hauptmuster von dem zweiten Hauptmuster verschieden ist (*In the array area, the pattern density of the resist is high because of the array wordlines that are to be formed by etching into the gate*

conductor layers. However, the pattern density of the non-array areas, such as in the support area or the kerf, have less pattern density. / S. 4, Zeilen 47 bis 49),

- Einführen eines ersten Dummy-Musters in dem ersten halbglobalen Gebiet, so dass eine erste Strukturoberflächendichte des ersten Hauptmusters und des ersten Dummy-Musters in dem ersten halbglobalen Gebiet und eine zweite Strukturoberflächendichte des zweiten Hauptmusters in dem zweiten halbglobalen Gebiet im Wesentlichen eine gleiche Dichte aufweisen, wobei die Strukturflächen von Polysilizium-Gateelektroden gebildet werden (*To increase uniformity of the pattern density across the chip, patterns are added to the support and kerf regions. As a result, pattern structures are added to otherwise unpatterned areas to decrease loading variation. The additional patterns are electrically isolated from active or functional features, such as the gate conductors of the wordlines. The creation of inert poly structures decreases loading variation, thereby producing more uniform linewidths of, for example, the active gate conductor or wordlines. / S. 4, Zeilen 49 bis 53).*

Soweit sich dabei nicht bereits aus der letzten Zitatstelle (*The creation of inert **poly structures** decreases loading variation*) für den Fachmann ergibt, dass bei der Vorgehensweise nach der Druckschrift D4 die Seitenwandbereichsoberflächendichten der beiden halbglobalen Gebiete aneinander angeglichen werden, womit die Druckschrift D4 das Verfahren nach Anspruch 1 neuheitsschädlich vorwegnehmen würde, beruht die Angleichung der Seitenwandbereichsoberflächendichten aber jedenfalls nicht auf einer erfinderischen Tätigkeit. Denn aus den weiter oben bereits erläuterten Darlegungen der Druckschrift D4 zum ungleichmäßigen Ätzen in Gebieten mit unterschiedlichen Seitenwandbereichsoberflächendichten ergibt sich für den Fachmann, dass es zur Vergleichmäßigung des Ätzangriffs auf eine Angleichung der Dichten der Seitenwandbereichsoberflächen ankommt.

Das Verfahren nach Anspruch 1 ist somit nicht patentfähig.

3. Abgesehen davon, dass diese Darlegungen in gleicher Weise für die Gegenstände der Ansprüche 10 und 16 gelten, wobei hinsichtlich der Angabe, dass die erste Seitenwandbereichsoberflächendichte in einem Bereich von 35% der zweiten Seitenwandbereichsoberflächendichte liegt, in der D4 auf S. 4, Zeilen 24 bis 26 hingewiesen wird, fallen diese Ansprüche ebenso wie die Unteransprüche wegen der Antragsbindung mit dem Anspruch 1, vgl. BGH GRUR 2007, 862, Tz. 22 - „Informationsübermittlungsverfahren II“.

4. Bei dieser Sachlage war die Beschwerde zurückzuweisen.

Rechtsmittelbelehrung

Gegen diesen Beschluss steht der Beschwerdeführerin - vorbehaltlich des Vorliegens der weiteren Rechtsmittelvoraussetzungen, insbesondere einer Beschwerde - das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,

5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, www.bundesgerichtshof.de/erv.html. Das elektronische Dokument ist mit einer prüfbaren qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs www.bundesgerichtshof.de/erv.html bekannt gegeben.

Dr. Strößner

Martens

Brandt

Dr. Friedrich

prä