



BUNDESPATENTGERICHT

23 W (pat) 13/19

(Aktenzeichen)

Verkündet am
4. Februar 2020

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 102 13 464.2

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 4. Februar 2020 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Dr. Zebisch, Dr. Himmelmann und Dr. Kapels

beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 20. März 2019 wird aufgehoben.
2. Es wird ein Patent erteilt mit der geänderten Bezeichnung „Auf einem hochohmigen Substrat gebildetes monolithisches LED-Array“, dem Anmeldetag 26. März 2002 unter Inanspruchnahme der Priorität US 823824 vom 29. März 2001 auf der Grundlage folgender Unterlagen:
 - Patentansprüche 1 bis 6,
 - Beschreibungsseiten 1 bis 9, jeweils überreicht in der mündlichen Verhandlung am 4. Februar 2020;
 - 10 Blatt Zeichnungen mit Figuren 1a, 1b, 2 bis 6, 7A, 7B, 8A, 8B, 9A, 9B und 10 bis 15, eingegangen im Deutschen Patent- und Markenamt am Anmeldetag.

Gründe

I.

Die vorliegende Patentanmeldung mit dem Aktenzeichen 102 13 464.2 und der ursprünglichen Bezeichnung „Auf hochohmigen Substraten gebildete monolithische serielle/parallele LED-Arrays“ wurde am 26. März 2002 unter Inanspruchnahme der US-amerikanischen Priorität 823824 vom 29. März 2001 von der L... U.S. LLC in S..., K..., USA beim Deutschen Patent- und Markenamt

angemeldet und am 24. Oktober 2002 mit der DE 102 13 464 A1 offengelegt. Mit Schriftsatz vom 9. März 2009, im Deutschen Patent- und Markenamt eingegangen am 11. März 2009, hat die P... GmbH Prüfungsantrag gestellt. Letztere war bei P..., zu dem zu diesem Zeitpunkt auch L... gehörte, für geistiges Eigentum zuständig.

Die Prüfungsstelle für Klasse H01L hat im Prüfungsverfahren auf den Stand der Technik gemäß den folgenden Druckschriften verwiesen:

- D1 US 5 952 681 A;
- D2 JP H11-150 303 A und
- D3 DE 41 07 526 A1.

Sie hat in einem Bescheid und in einem Zusatz zur Ladung zur Anhörung ausgeführt, dass die mit den jeweils geltenden Ansprüchen beanspruchten Gegenstände und das beanspruchte Verfahren nicht patentfähig seien, da sie entweder aus dem Stand der Technik neuheitsschädlich bekannt (§ 3 PatG) oder aber durch ihn nahegelegt (§ 4 PatG) seien.

Die Anmelderin hat der Prüfungsstelle in zwei Erwiderungen widersprochen, wobei sie mit der zweiten Erwiderung, die als Reaktion auf den Ladungszusatz erfolgt ist, drei neue Anspruchssätze als Hauptantrag und Hilfsanträge I und II eingereicht hat. Zur Anhörung am 20. März 2019, in der die Prüfungsstelle die Druckschrift D3, die der Anmelderin vorab in einem Telefongespräch am 15. März 2019 genannt worden war, in das Verfahren eingeführt hat, erschien, wie vorab angekündigt, niemand.

In der Folge hat die Prüfungsstelle die Anmeldung mit Beschluss vom 20. März 2019 am Ende der Anhörung zurückgewiesen, da der mit den gleichlautenden Ansprüchen 11 des Hauptantrags, 7 des Hilfsantrags I und 6 des Hilfsantrags II beanspruchte Gegenstand gegenüber einem in Druckschrift D2

offenbaren nicht neu sei (§ 3 PatG). Der Beschluss wurde der Anmelderin mit Schreiben vom 26. März 2019 am 29. März 2019 zugestellt.

Gegen diesen Beschluss hat die Anmelderin mit Schriftsatz vom 29. April 2019, am selben Tag elektronisch im Deutschen Patent- und Markenamt eingegangen, Beschwerde eingelegt, die sie mit diesem Schriftsatz auch begründet hat. Mit ihm hat sie vier Anspruchssätze als Hauptantrag und Hilfsanträge I bis III eingereicht. Mit einem weiteren Schriftsatz vom 30. Januar 2020 hat sie zwei weitere Anspruchssätze als weitere Hilfsanträge IV und V eingereicht.

In der mündlichen Verhandlung am 4. Februar 2020 hat der Senat der Anmelderin auf Grund der am 30. Januar 2020 eingereichten Hilfsanträge die weitere Druckschrift

D4 US 6 185 240 B1

überreicht und die Anspruchssätze der bis zu diesem Zeitpunkt geltenden Anträge auch im Lichte der neu eingeführten Druckschrift D4 mit ihr diskutiert. Als Ergebnis dieser Diskussion hat die Anmelderin einen neuen Satz Patentansprüche und eine an diesen Satz angepasste Beschreibung eingereicht und beantragt:

1. den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 20. März 2019 aufzuheben.
2. Ein Patent zu erteilen mit der geänderten Bezeichnung „Auf einem hochohmigen Substrat gebildetes monolithisches LED-Array“, dem Anmeldetag 26. März 2002 unter Inanspruchnahme der Priorität US 823824 vom 29. März 2001 auf der Grundlage folgender Unterlagen:
 - Patentansprüche 1 bis 6,
 - Beschreibungsseiten 1 bis 9, jeweils überreicht in der mündlichen Verhandlung am 4. Februar 2020;
 - 10 Blatt Zeichnungen mit Figuren 1a, 1b, 2 bis 6, 7A, 7B, 8A, 8B, 9A, 9B und 10 bis 15, eingegangen im Deutschen Patent- und Markenamt am Anmeldetag.

Der in der mündlichen Verhandlung eingereichte Anspruch 1 lautet mit bei unverändertem Wortlaut eingefügter Gliederung:

- „1. Auf einem hochohmigen Substrat (20) gebildetes Array (40) zum Betrieb mit Gleichspannung, wobei das Array (40) umfasst:
 - 1.1 eine erste, Licht emittierende Anordnung (A), mit:
 - 1.1.1 einer über einem ersten Abschnitt des Substrates (20) liegenden ersten n-Schicht (42a);
 - 1.1.2 einem über der ersten n-Schicht (42a) liegenden ersten aktiven Gebiet (49a);
 - 1.1.3 einer über dem ersten aktiven Gebiet (49a) liegenden ersten p-Schicht (41a);
 - 1.1.4 einem mit der ersten n-Schicht (42a) verbundenen ersten n-Kontakt (45a);
 - 1.1.5 einem mit der ersten p-Schicht (41a) verbundenen ersten p-Kontakt (44a), wobei der erste n-Kontakt (45a) und der erste p-Kontakt (44a) auf der gleichen Seite der Anordnung (A) gebildet sind;
 - 1.2 eine zweite Anordnung (B) zum Schutz der ersten Anordnung (A) gegen elektrostatische Entladung, mit:
 - 1.2.1 einer über einem zweiten Abschnitt des Substrates (20) liegenden zweiten n-Schicht (42b);
 - 1.2.2 einem über der zweiten n-Schicht (42b) liegenden zweiten aktiven Gebiet (49b);
 - 1.2.3 einer über dem zweiten aktiven Gebiet (49b) liegenden zweiten p-Schicht (41b);
 - 1.2.4 einem mit der zweiten n-Schicht (42b) verbundenen zweiten n-Kontakt (45b);
 - 1.2.5 einem mit der zweiten p-Schicht (41b) verbundenen zweiten p-Kontakt (44b), wobei der zweite n-Kontakt (45b) und der zweite p-Kontakt (44b) auf der gleichen Seite der Anordnung (B) gebildet sind;

- 1.3 entweder einen Graben (43), der die erste Anordnung (A) und die zweite Anordnung (B) trennt und
- 1.4 eine erste Verdrahtung (46a), die den ersten p-Kontakt (44a) mit dem zweiten n-Kontakt (45b) verbindet, wobei das Array (40) weiterhin
- 1.5 eine zweite Verdrahtung (46b) umfasst, die den zweiten p-Kontakt (44b) mit dem ersten n-Kontakt (45a) verbindet,
- 1.6 wobei die Fläche der zweiten Anordnung kleiner ist als die Fläche der ersten Anordnung,
- 1.7 wobei sich der Graben (43) über die gesamte Länge des Substrats (20) erstreckt.“

Hinsichtlich der auf den Anspruch 1 rückbezogenen Unteransprüche 2 bis 6 sowie der weiteren Unterlagen und Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die form- und fristgerecht erhobene Beschwerde der Anmelderin ist zulässig und erweist sich hinsichtlich des in der mündlichen Verhandlung am 4. Februar 2020 eingereichten Anspruchssatzes auch als begründet, so dass der Beschluss der Prüfungsstelle für Klasse H01L aufzuheben ist, denn die Ansprüche des in der mündlichen Verhandlung eingereichten Anspruchssatzes sind zulässig (§ 38 PatG), und das mit dem Anspruch 1 beanspruchte Array ist durch den ermittelten Stand der Technik nicht patenthindernd getroffen, so dass es patentfähig ist (§§ 1 bis 5 PatG).

1. Die Anmeldung betrifft ein auf einem hochohmigen Substrat gebildetes Array mit einer Licht emittierenden Anordnung und einer Schutzanordnung gegen elektrostatische Entladung (ESD).

Vor dem Anmeldezeitpunkt übliche Materialien für Leuchtdioden (LED), wie z.B. GaAs, haben den Aufbau von nur Einzelübergangs- oder Mehrfach-Parallelübergangsanordnungen ermöglicht, wenn sie monolithisch hergestellt werden. Fig. 1a der Anmeldung veranschaulicht ein typisches Mehrfach-Parallelübergangs-LED-Array (10). Mehrere p-Gebiete (13) sind über einem gemeinsamen n-Gebiet (18) aufgewachsen. Der n-Kontakt (11) schließt über das leitende Substrat das n-Gebiet (18) und mehrere p-Kontakte (14) schließen die p-Gebiete (13) an. Die Anordnung wird durch Bildung eines n-Gebietes (18) auf einem leitenden Substrat (12) mit anschließender Bildung einer kontinuierlichen p-Schicht über dem n-Gebiet hergestellt. Die p-Schicht wird dann durch mechanisches Zersägen oder chemisches Ätzen von Gräben (15) zwischen den p-Gebieten (13) in diskrete Gebiete unterteilt. Diese Unterteilung kann statt durch mechanisches Zersägen oder chemisches Ätzen auch durch Diffusion erfolgen, bei der ein isolierendes Gebiet entsteht. Das in Figur 1a dargestellte monolithische Array ist auf eine Parallelkonfiguration beschränkt, weil die Verwendung von Kontakten auf gegenüberliegenden Seiten der Anordnung eine gemeinsame leitfähige Schicht, d.h. n- oder p-Schicht erfordert (vgl. S. 1, 1. Abs. der geltenden Beschreibung).

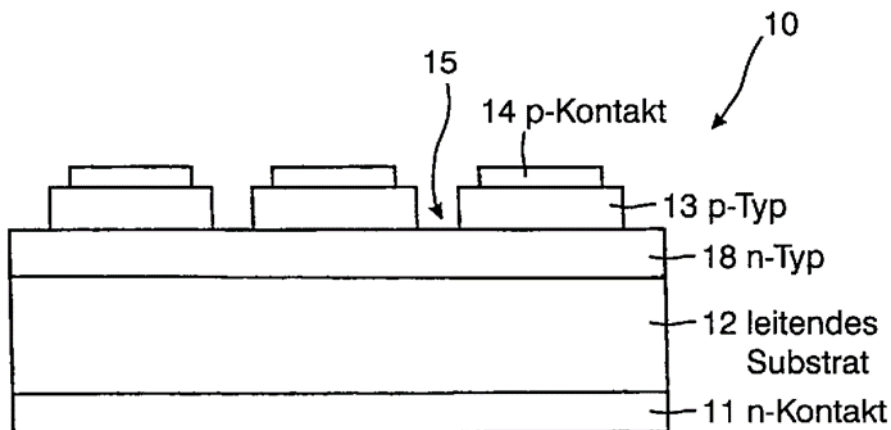


FIG.1a

Auf Grund der Tatsache, dass immer eine gemeinsame leitfähige Schicht vorhanden war, war es insbesondere nicht möglich, mehrere Dioden eines monolithischen Arrays in Reihe oder gar antiparallel zu schalten, womit es insbesondere nicht

möglich war, eine antiparallel zu einer Leuchtdiode geschaltete ESD-Schutzdiode gemeinsam mit dieser auf einem Substrat herzustellen.

Die vorliegende Anmeldung gibt keine explizite Aufgabe an, doch liegt der Anmeldung ausgehend vom geschilderten Stand der Technik als technisches Problem objektiv die Aufgabe zugrunde, ein monolithisches LED-Array auf einem isolierenden Substrat anzugeben, bei dem eine in ihm enthaltene LED antiparallel zu einer im Array enthaltenen, sie schützenden ESD-Schutzdiode geschaltet ist (*vgl. den die Seiten 1 und 2 übergreifenden Absatz der geltenden Beschreibung*).

Diese Aufgabe wird durch das Array nach dem geltenden Anspruch 1 gelöst.

Dieses Array, das für den Betrieb mit Gleichspannung geeignet ist, weist auf einem hochohmigen Substrat, also einem isolierenden Substrat oder einem Halbleitersubstrat mit niedriger Leitfähigkeit, zwei Anordnungen auf, die durch einen Graben getrennt sind. Die erste Anordnung ist eine Licht emittierende Anordnung, die zweite eine diese gegen elektrostatische Entladung schützende Anordnung, die eine kleinere Fläche als die lichtemittierende Anordnung einnimmt. Der Graben erstreckt sich über die gesamte Länge des Substrats. Dies bedeutet, dass er sich in einer Richtung von einem Rand des Substrats zum anderen erstreckt.

Beide Anordnungen weisen den gleichen prinzipiellen Aufbau auf, nämlich jeweils eine untere n-leitende Schicht, ein darüber liegendes aktives Gebiet und eine darüber liegende p-leitende Schicht. Dabei kann es sich bei den Schichten um dieselben Schichten handeln, die durch den Graben unterbrochen sind, oder aber es kann sich auch um unterschiedliche Schichten handeln, die lediglich auf dasselbe Substrat aufgebracht sind. Beide Anordnungen werden auch auf dieselbe Weise kontaktiert, nämlich indem die die n- bzw. p-Schicht kontaktierenden Kontakte auf derselben Seite angebracht sind. Bei dieser Seite muss es sich auf Grund des hochohmigen Substrats um die substratabgewandte Seite der Anordnungen handeln.

Die beiden Anordnungen sind so verdrahtet, dass sie antiparallel geschaltet sind, indem jeweils der n-Kontakt der einen Anordnung mit dem p-Kontakt der anderen verbunden ist.

2. Die mit den Ansprüchen beanspruchten Gegenstände sind ursprünglich offenbart, so dass die Ansprüche zulässig sind (§ 38 PatG).

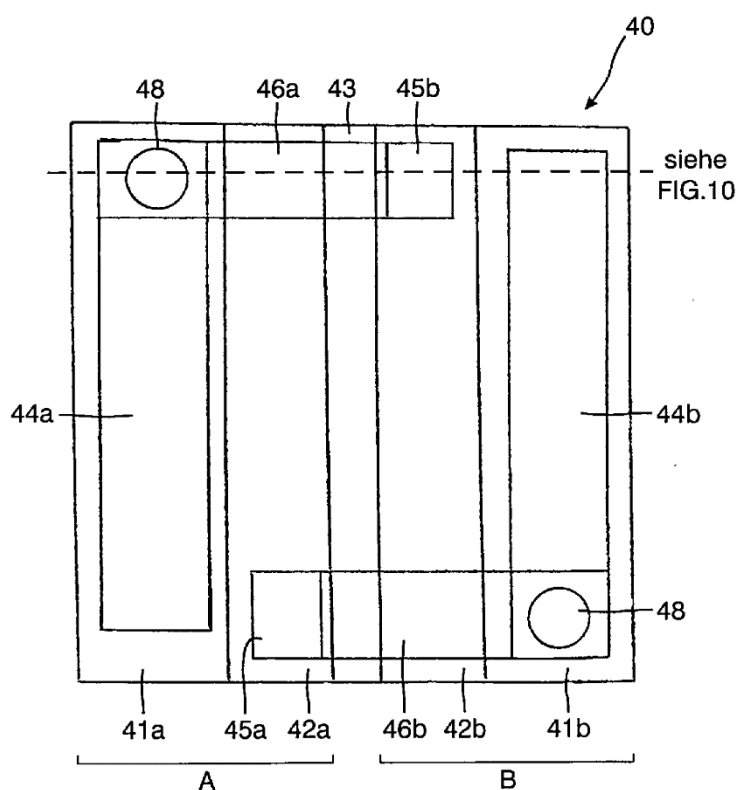


FIG.11

So ist der mit Anspruch 1 beanspruchte Gegenstand in Verbindung mit den ursprünglichen Figuren 10 bis 12, von denen hier die Fig. 11 wiedergegeben wird, und der zugehörigen Beschreibung auf Seite 7 in den beiden Absätzen der Zeilen 3 bis 31 ursprünglich offenbart. Dort wird ausgehend von den Figuren ein Array bestehend aus einer LED und einer zweiten Diode beschrieben, die die LED gegen elektrostatische Entladung schützt. Der Hinweis

in den Zeilen 29 bis 31 der Seite 7, dass die Anordnung bei gleicher Größe auch mit Wechselstrom betrieben werden kann, lässt darauf schließen, dass sie üblicherweise mit Gleichstrom betrieben wird, so dass ein Betrieb mit Gleichstrom möglich ist (Merkmale 1, 1.1, 1.2).

Der Schichtaufbau und die Kontaktierung der Dioden wird in den genannten beiden Absätzen nicht genau beschrieben, da sie an dieser Stelle als bekannt vorausgesetzt wird. Sie sind somit so, wie sie auch im ursprünglichen Anspruch 1 beansprucht werden (Merkmale 1.1.1 bis 1.1.5 und 1.2.1 bis 1.2.5).

Wie aus den ursprünglichen Fig. 10 und 11 ersichtlich und auch in den genannten Absätzen offenbart ist, sind die beiden Dioden antiparallel verschaltet, was, wie auch beschrieben, eine Verbindung des p-Kontaktes der jeweils einen Diode mit dem n-Kontakt der jeweils anderen Diode erfordert (Merkmale 1.4 und 1.5).

Wie aus Fig. 11 ersichtlich, sind die beiden Dioden (A, B) durch einen Graben (43) getrennt, der sich quer über das Substrat von einem Rand zum anderen und damit über die gesamte Länge des Substrats erstreckt (Merkmale 1.3 und 1.7).

In den Zeilen 24 bis 26 auf Seite 7 der ursprünglichen Beschreibung wird darauf hingewiesen, dass die Größe der ESD-Schutzdiode gegenüber der LED verringert werden kann, da sie im normalen Betrieb kein Licht emittiert. Somit ist auch das Merkmal 1.6 und damit insgesamt der Gegenstand des Anspruchs 1 ursprünglich offenbart.

Die Unteransprüche 2 bis 6 gehen aus den ursprünglichen Ansprüchen 2, 3, 5, 8 und 9 hervor, wobei aus der ursprünglichen Beschreibung ersichtlich ist, dass die dort nur auf den Anspruch 1 bzw. 4 einfach rückbezogenen Ansprüche Merkmale enthalten, die auch untereinander kombiniert werden können. Die mit dem geltenden Anspruchssatz beanspruchten Gegenstände sind demnach ursprünglich offenbart, so dass die Ansprüche zulässig sind.

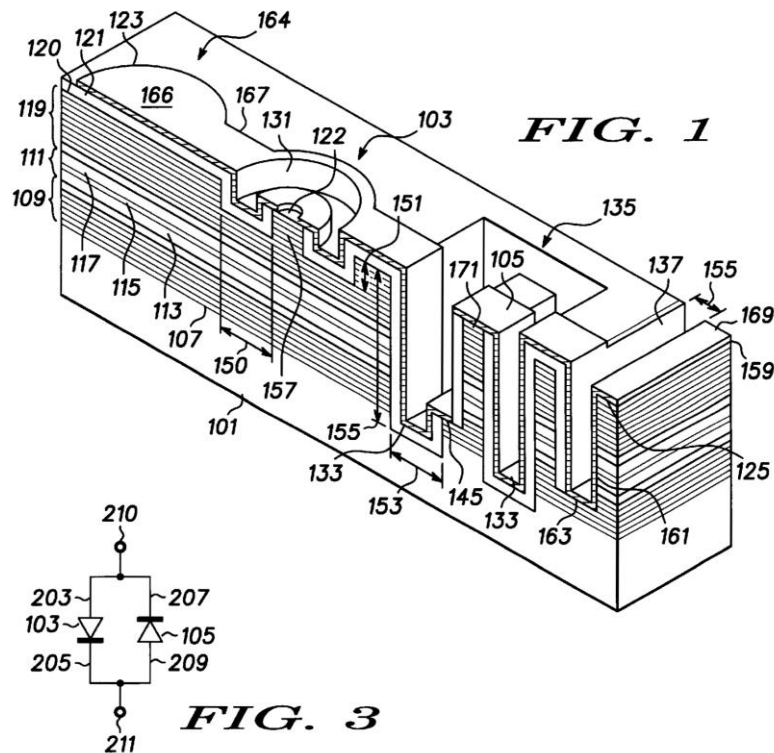
3. Die Lehren der Ansprüche sind für den Fachmann auch ausführbar (§ 34 Abs. 4 PatG), da bereits ihr Wortlaut ausreichend ist, um dem Fachmann eine nacharbeitbare Lehre anzugeben. Zudem wird ein unter den Anspruch 1 fallendes Array in Zusammenhang mit den Figuren 10 bis 12 näher beschrieben.

Als zuständiger Fachmann zur Beurteilung der Erfindung ist hier ein berufserfahrener Physiker mit Hochschul- oder Fachhochschulabschluss zu definieren, der mit der Entwicklung und Verbesserung von optoelektronischen Halbleiterbauteilen, insbesondere lichtemittierenden monolithischen Anordnungen betraut ist.

4. Der gewerblich anwendbare (§ 5 PatG) Gegenstand des geltenden Anspruchs 1 ist gegenüber dem ermittelten Stand der Technik neu (§ 3 PatG) und beruht diesem gegenüber auf einer erfinderischen Tätigkeit (§ 4 PatG) des Fachmanns.

Als nächstliegender ermittelter Stand der Technik wird die Druckschrift D4 angesehen. Diese Druckschrift offenbart eine lichtemittierende Diode in Form einer senkrecht emittierenden Laserdiode (VCSEL), die monolithisch mit einer sie vor elektrostatischer Entladung schützenden Diode auf einem Substrat ausgebildet ist (vgl. Sp. 1, Z. 36 bis 41: „*The above problems and others are at least partially solved and the above objects are realized in a semiconductor laser having electro-static discharge (ESD) protection. To provide the ESD protection, a vertical cavity surface emitting laser (VCSEL) is fabricated and a diode is fabricated and connected in parallel reverse orientation to the VCSEL.*“). Die Einzelheiten eines Ausführungsbeispiels werden dabei mit den Figuren beschrieben. Im Einzelnen offenbart Druckschrift D4 in Übereinstimmung mit dem Wortlaut des Anspruchs 1 ein

1. auf einem hochohmigen Substrat (*semiconductor substrate 101*) gebildetes Array (*siehe die hier wiedergegebene Fig. 1*) zum Betrieb mit Gleichspannung (*siehe die Schaltung in Fig. 3, die geringe Leitfähigkeit des Substrats 101 wird später noch erläutert*), wobei das Array umfasst:



1.1 eine erste, Licht emittierende Anordnung (VCSEL 103, vgl. Sp. 1, Z. 66 bis Sp. 2, Z. 1: „FIG. 1 is an enlarged isometric diagram of a semiconductor substrate 101 with a surface 107 having a VCSEL 103 and a diode 105 coupled thereto, ...”), mit:

- 1.1.1' einer über einem ersten Abschnitt des Substrates (101) liegenden ersten Schicht eines ersten Leitungstyps (stack 109);
- 1.1.2' einem über der ersten Schicht des ersten Leitungstyps (109) liegenden ersten aktiven Gebiet (active area 111);
- 1.1.3' einer über dem ersten aktiven Gebiet (111) liegenden ersten Schicht eines zweiten Leitungstyps (stack 119);
- 1.1.4' einem mit der ersten Schicht vom ersten Leitungstyp (109) verbundenen ersten Kontakt zum ersten Leitungstyp (Kontakt zur „area“ 163);
- 1.1.5' einem mit der ersten Schicht vom zweiten Leitungstyp (109) verbundenen ersten Kontakt zum zweiten Leitungstyp (Kontakt um „orifice“ 122), wobei der erste Kontakt zum ersten Leitungstyp und der erste Kontakt zum zweiten Leitungstyp auf der gleichen Seite der Anordnung (103) gebildet sind (vgl. Sp. 2, Z. 19 bis

28: „For purposes of orienting the reader, a brief description of materials and methods is provided hereinbelow. VCSEL 103 and diode 105 are fabricated on any suitable substrate, such as gallium arsenide, silicon, indium gallium phosphide, or the like having surface 107. Generally, surface 107 of substrate 101 is processed to form several epitaxial layers including stack 109, active area 111 including cladding region 113, active region 115, and cladding region 117, and stack 119.“ und Sp. 3, Z. 34 bis Sp. 4, Z. 10);

1.2 eine zweite Anordnung (*diode 105*) zum Schutz der ersten Anordnung (*103*) gegen elektrostatische Entladung (vgl. Sp. 4, Z. 6 bis 10: „By placing diode 105 in reverse parallel with VCSEL 103, a reverse biased ESD protection is achieved. In an ESD event, with the reverse biased diode 105 connected in parallel to VCSEL 103, the charge is drained off into substrate 101 through diode 105.“), mit:

1.2.1' einer über einem zweiten Abschnitt des Substrates (*101*) liegenden zweiten Schicht des ersten Leitfähigkeitstyps (*109*);

1.2.2' einem über der zweiten Schicht des ersten Leitfähigkeitstyps (*109*) liegenden zweiten aktiven Gebiet (*111*);

1.2.3' einer über dem zweiten aktiven Gebiet (*111*) liegenden zweiten Schicht des zweiten Leitfähigkeitstyps (*119*);

1.2.4' einem mit der zweiten Schicht vom ersten Leitfähigkeitstyp (*109*) verbundenen zweiten Kontakt zum ersten Leitfähigkeitstyp (*Kontakt zur „area“ 145*);

1.2.5' einem mit der zweiten Schicht vom zweiten Leitfähigkeitstyp (*119*) verbundenen zweiten Kontakt zum zweiten Leitfähigkeitstyp (*Kontakt zur „area“ 171*), wobei der zweite Kontakt zum ersten Leitfähigkeitstyp und der zweite Kontakt zum zweiten Leitfähigkeitstyp auf der gleichen Seite der Anordnung (*105*) gebildet sind (siehe Fig. 1 und vgl. die bereits zitierten Stellen in Sp. 2 bis 4);

1.3 entweder einen Graben (*trench 133*), der die erste Anordnung (*103*) und die zweite Anordnung (*105*) trennt und

1.4' eine erste Verdrahtung (*conductive portion 164*), die den ersten Kontakt zum zweiten Leitungstyp (122) mit dem zweiten Kontakt zum ersten Leitungstyp (145) verbindet (vgl. Sp. 3, Z. 57 bis 64: „As shown in FIG. 1, *conductive portion 164* includes a *conductive bonding pad 166*, a *conductive lead 167* and an *upper terminal for VCSEL 103*. Generally, *conductive bonding pad 166* acts as an *electrical connection for applying an external voltage to the upper terminal of VCSEL 103 and an opposite terminal of diode 105*. From *conductive bonding pad 166*, *conductive lead 167* electrically couples *stack 119 of VCSEL 103* with *contact 145 of stack 109*.“), wobei das Array weiterhin

1.5' eine zweite Verdrahtung (*conductive portion 169*) umfasst, die den zweiten Kontakt zum zweiten Leitfähigkeitstyp (171) mit dem ersten Kontakt zum ersten Leitfähigkeitstyp (163) verbindet (vgl. Sp. 3, Z. 65 bis Sp. 4, Z. 2: „*Conductive portion 169* provides an *external connection pad for electrical connections to the upper terminal of diode 105 (portion 171)* and *electrically connects the lower terminal of VCSEL 103 (portions 161 and 163 and stack 109)* to the *upper terminal of diode 105*.“),

1.6 wobei die Fläche der zweiten Anordnung (105) kleiner ist als die Fläche der ersten Anordnung (103, siehe Fig.1).

Das Substrat (101) muss bei der in Fig. 1 gezeigten Anordnung hochohmig sein, denn anderenfalls würden die Anschlüsse der beiden Dioden (103, 105) jeweils kurzgeschlossen, da in diesem Fall eine Stromleitung zwischen den beiden Kontaktpunkten zum ersten Leitungstyp (145 und 163) erfolgen würde. Der Graben (133) wäre für den Fall eines niederohmigen Substrats nicht in der Lage, diesen Stromfluss zu verhindern, da er über das Substrat (101) umgangen würde.

Damit unterscheidet sich der Gegenstand des Anspruchs 1 von dem in Druckschrift D4 offenbarten dadurch, dass der erste bzw. zweite Leitungstyp als n-Typ bzw. p-

Typ spezifiziert ist und gemäß Merkmal 1.7 der Graben sich über die gesamte Länge des Substrats erstreckt.

Der erste Unterschied kann eine erfinderische Tätigkeit nicht begründen, denn Druckschrift D4 gibt an, dass es sich bei den Dioden um pin-Dioden handelt (*vgl. Sp. 4, Z. 14 bis 19: „It will be understood that diode 105 can be fabricated in a variety of embodiments but in the preferred embodiment diode 105 is a p-i-n diode. Further, depending upon materials, etc. the breakdown voltage of diode 105 can be a relatively wide range but should be at least sufficient to withstand and discharge any expected ESD events.“*). Dies bedeutet, dass der erste Leitungstyp entweder der n- oder auch der p-Typ sein kann. Es hängt vom Materialsystem ab, welchem Leitungstyp der Fachmann in welcher Schicht den Vorzug gibt. Dabei ist zu beachten, dass in der unteren Schicht (109) der Strom lateral über eine relativ weite Strecke geleitet werden muss, nämlich von der Kontaktfläche (163) um den die Diode (105) umgebenden Graben (133) herum bis unter die Licht emittierende Region des VCSEL (103) auf der anderen Seite der Diode (105). Es ist deshalb wünschenswert, dass die untere Schicht (109) einen möglichst geringen Widerstand aufweist, was bei III-V-Halbleitern oftmals beim n-Typ der Fall ist. Es liegt für den Fachmann somit nahe, den ersten Leitungstyp als n-Typ und den zweiten Leitungstyp als p-Typ zu wählen.

Jedoch liegt es nicht nahe, den Graben (133) so zu gestalten, dass er sich über die gesamte Länge des Substrats erstreckt. Solche Gräben sind zwar durchaus bekannt, so beispielsweise aus der Druckschrift D2 (*siehe Fig. 5 und 7*), doch wird der Fachmann den Graben (133) in Druckschrift D4 nicht entsprechend diesen Beispielen gestalten. Ein solcher Graben würde nämlich den unteren Kontakt (163) des VCSEL (103) von dessen Unterseite elektrisch abtrennen, da die Stromleitung in der Schicht (109) um die zweite Diode (105) herum erfolgt, was nicht mehr möglich wäre, wenn sich der Graben bis zum Rand des Substrats erstrecken würde. Für eine Ausgestaltung des Grabens gemäß Merkmal 1.7 wäre demnach eine

grundlegende Änderung der Verdrahtungen (167, 169) nötig. Auf eine solche Änderung gibt es aber in den ermittelten Druckschriften keinen Hinweis.

So zeigt Druckschrift D2 lediglich die Verdrahtung einer Reihenschaltung von LEDs und keine antiparallele Verdrahtung. Die Verdrahtung erstreckt sich zudem nahezu über die gesamte Breite der LED-Anordnungen, so dass keine weitere Verdrahtung, wie sie für eine antiparallele Verschaltung benötigt würde, Platz hat (*siehe Fig. 1*).

Druckschrift D1 zeigt gar keine Verdrahtung, da die LEDs dort unabhängig beschaltet sind und Druckschrift D3 zeigt zwar eine antiparallele Verdrahtung, allerdings für zwei getrennte LED-Chips (*siehe Fig. 3*) mittels Drähten, weshalb der Fachmann dieser Druckschrift bezüglich der Verdrahtung nichts entnehmen kann, was über die in Fig. 3 der Druckschrift D4 gezeigte Schaltung hinausgeht. Aus diesen Druckschriften erhält der Fachmann somit keinen Hinweis auf eine andere für ihn nutzbare Form der Verdrahtung, die auch mit einem durchgängigen Graben funktionsfähig wäre. Er hat somit keinen Anlass, von der in Druckschrift D4 gezeigten Form des Grabens und der dort gezeigten Art der Verdrahtung abzuweichen.

Da somit der Gegenstand des Anspruchs 1 neu ist (§ 3 PatG) und sich aus dem ermittelten Stand der Technik für den Fachmann nicht in naheliegender Weise ergibt (§ 4 PatG), ist dieser patentfähig (§ 1 Abs. 1 PatG).

5. An den Patentanspruch 1 können sich die Unteransprüche 2 bis 6 anschließen, da sie vorteilhafte Weiterbildungen des beanspruchten auf einem hochohmigen Substrat gebildeten Arrays angeben, welche nicht platt selbstverständlich sind.

6. In der in der mündlichen Verhandlung am 4. Februar 2020 überreichten Beschreibung ist der Stand der Technik, von dem die Erfindung ausgeht, angegeben und die Erfindung anhand der im Deutschen Patent- und Markenamt am Anmeldetag eingegangenen ursprünglichen Zeichnung ausreichend erläutert.

7. Bei dieser Sachlage war der angefochtene Beschluss aufzuheben und das Patent wie beantragt zu erteilen.

III.

R e c h t s m i t t e l b e l e h r u n g

Gegen diesen Beschluss steht der Anmelderin das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses

schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder

durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form. Zur Entgegennahme elektronischer Dokumente ist die elektronische Poststelle des Bundesgerichtshofs bestimmt. Die elektronische Poststelle des Bundesgerichtshofs ist über die auf der Internetseite

www.bundesgerichtshof.de/erv.html bezeichneten Kommunikationswege erreichbar. Die Einreichung erfolgt durch die Übertragung des elektronischen Dokuments in die elektronische Poststelle. Elektronische Dokumente sind mit einer qualifizierten elektronischen Signatur oder mit einer fortgeschrittenen elektronischen Signatur zu versehen.

Dr. Strößner

Dr. Zebisch

Dr. Himmelmann

Dr. Kapels

prä