



# BUNDESPATENTGERICHT

17 W (pat) 20/18

(AktENZEICHEN)

Verkündet am

1. Juli 2021

...

## BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 10 2015 118 002.2

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 1. Juli 2021 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Morawek, der Richterin Bayer, des Richters Dipl.-Phys. Dr. Forkel und des Richters Dipl.-Phys. Dr. Städele

beschlossen:

Der Beschluss der Prüfungsstelle für Klasse G06F des Deutschen Patent- und Markenamtes vom 4. April 2018 wird aufgehoben und die Sache an das Deutsche Patent- und Markenamt zurückverwiesen.

## **Gründe**

### **I.**

Die vorliegende Patentanmeldung, die eine US-amerikanische Priorität vom 18. September 2015 in Anspruch nimmt, wurde am 22. Oktober 2015 beim Deutschen Patent- und Markenamt in englischer Sprache eingereicht. In der deutschen Übersetzung trägt sie die Bezeichnung

„Zellenlayout einer Halbleitervorrichtung“.

Die Anmeldung wurde durch Beschluss der Prüfungsstelle für Klasse G06F des Deutschen Patent- und Markenamtes in der Anhörung vom 4. April 2018 zurückgewiesen. Zur Begründung führte die Prüfungsstelle aus, dass der Gegenstand des jeweiligen Patentanspruches 1 gemäß dem (damaligen) Hauptantrag und den (damaligen) Hilfsanträgen 1 und 2 nicht auf einer erfinderischen Tätigkeit beruhe.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet.

Die Anmelderin beantragt,

den Beschluss der Prüfungsstelle für Klasse G06F des Deutschen Patent- und Markenamts vom 4. April 2018 aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 3 gemäß Hauptantrag, überreicht in der mündlichen Verhandlung am 1. Juli 2021,  
Beschreibung und Zeichnungen gemäß Offenlegungsschrift,

hilfsweise

unter Aufhebung des Zurückweisungsbeschlusses die Sache an das DPMA zurückzuverweisen.

Im Prüfungsverfahren vor dem Deutschen Patent- und Markenamt sind die Druckschriften

**D1: US 2015/0269302 A1,**

**D2: US 2010/0199252 A1**

und

**D3: US 2003/0084418 A1**

genannt worden. Vom Senat wurden zusätzlich die Druckschriften

**D4: US 2015/0048425 A1,**

**D5: US 2014/0353842 A1,**

**D6: Khan, I. A. et al.: Design and Analysis of Low Power Master Slave Flip-Flops, Informacije MIDEM, Journal of Microelectronics, Electronic Components and Materials, Vol. 43, No. 1(2013), 41-49,**

**D7: US 6 617 621 B1**

und

**D8: G...; L...: Multi-Via Electromigration Lifetime Model, Conference Paper, SISPAD 2012, September 5-7, 2012, D..., CO, USA**

eingeführt.

Der geltende Patentanspruch 1, hier mit einer denkbaren Gliederung versehen, lautet (Änderungen gegenüber dem ursprünglichen Patentanspruch 1 markiert):

- M1** Vorrichtung,  
die Folgendes umfasst:
- M2** einen Zellenblock,
- M3** der einen taktbezogenen Pin umfasst,
- M4** wobei der taktbezogene Pin an<sub>n</sub> einer N-ten Metallschicht in einem Zellenlayout angeordnet ist; und
- M5** einen Abgriffverbinder,
- M6** der an<sub>n</sub> mindestens einer Metallschicht über der N-ten Metallschicht angeordnet

- M7** und über dem taktbezogenen Pin des Zellenblocks angeordnetgestapelt ist,
- M8** wobei der Abgriffverbinder elektrisch mit dem taktbezogenen Pin verbunden ist und einen äquivalenten Abgriffspunkt des taktbezogenen Pins des Zellenblocks bildet,
- M9** wobei N eine ganze Zahl von größer oder gleich 0 ist,;
- M10** wobei der äquivalente Abgriffspunkt und der taktbezogene Pin vertikal überlappt sind,
- M11** wobei der Abgriffverbinder Folgendes umfasst:
- M11.1** mehrere erste metallische Zwischenverbindungen, die in der (N+1)-ten Metallschicht angeordnet sind, wobei die ersten metallischen Zwischenverbindungen parallel zueinander verlaufen, wobei mindestens eine der ersten metallischen Zwischenverbindungen über dem taktbezogenen Pin gestapelt ist und elektrisch mit dem taktbezogenen Pin verbunden ist; und
- M11.2** eine zweite metallische Zwischenverbindung, die in der (N+2)-ten Metallschicht angeordnet und über den ersten metallischen Zwischenverbindungen gestapelt ist, wobei die zweite metallische Zwischenverbindung elektrisch mit den ersten metallischen Zwischenverbindungen verbunden ist, und
- M11.3** die zweite metallische Zwischenverbindung den äquivalenten Abgriffspunkt des taktbezogenen Pins des Zellenblocks bildet,

**M11.4** wobei eine Breite einer jeden der ersten metallischen Zwischenverbindungen 0,3- bis 0,7-mal so breit ist wie eine Breite der zweiten metallischen Zwischenverbindung.

Der geltende Patentanspruch 2 lautet:

„Vorrichtung nach Anspruch 1, wobei die Breite der zweiten metallischen Zwischenverbindung gemäß den Designregeln 1- bis 3-mal so breit wie eine Mindestleiterbahnbreite auf der (N+2)-ten Metallschicht ist.“

Der geltende Patentanspruch 3 lautet:

„Vorrichtung nach einem der vorangehenden Ansprüche, wobei der Zellenblock in einer Zellenlayoutbibliothek gespeichert und als ein Standard-Zellenlayout angesehen wird, und der Zellenblock und der Abgriffverbinder in der Zellenlayoutbibliothek gespeichert und als ein Ersatz-Zellenlayout des Standard-Zellenlayouts angesehen werden.“

Die Anmelderin trägt zur anspruchsgemäßen (Halbleiter-)Vorrichtung insbesondere vor, dass das Anordnen des Abgriffverbinders in einer Metallschicht über der N-ten Metallschicht, in der sich der Pin befindet, das Problem löse, das Routen eines Taktbaums leichter zu machen; denn nach dem Anordnen sei es nicht mehr nötig, einen geeigneten Pfad zu dem in der unteren Metallschicht angeordneten taktbezogenen Pin herauszufinden. Zudem werde das Current-Congestion-Problem durch das Anordnen des Abgriffverbinders nicht vergrößert, sondern eher gemildert, weil die sonst in der N-ten Metallschicht anzuordnende Verdrahtung zum taktbezogenen Pin, die zu schmalen Verdrahtungen in der N-ten Metallschicht führen würde, nun in eine obere Metallschicht verlegt würde und dort verbreitert werden könne. Zusammenfassend erleichtere das Anordnen des Abgriffverbinders

in mindestens einer Metallschicht über der N-ten Metallschicht einerseits das Routen eines Taktbaums zum taktbezogenen Pin und andererseits mildere es das Current-Congestion-Problem. Dabei unterstütze das anspruchsgemäße Breitenverhältnis eine Reduzierung des signalelektromagnetischen (SEM-) Rauschens.

Der Gegenstand nach dem geltenden Patentanspruch 1 sei weder durch die Druckschriften **D1** bis **D3** noch durch die vom Senat nachbenannten Druckschriften **D4** bis **D8** nahegelegt.

## II.

Die rechtzeitig eingegangene und auch sonst zulässige Beschwerde führt zur Aufhebung des angefochtenen Beschlusses und zur Zurückverweisung der Sache an das Deutsche Patent- und Markenamt gemäß § 79 Abs. 3 Satz 1 Nr. 3 PatG.

1. Der Gegenstand der Anmeldung betrifft das Zellenlayout einer Halbleitervorrichtung.

Ausweislich der Anmeldung müssten viele Schaltkreiszellen in einem Halbleiterschaltkreis, z. B. Inverter, Komparatoren, Register oder Speicherzellen, synchron arbeiten. Um für diese Schaltkreiszellen präzise Taktsignale synchron bereitzustellen, sei es notwendig, eine Routingverteilung von Taktsignalen (auch als Taktbaum bekannt) derart zu gestalten, dass an den Pins von Schaltkreiszellen signalelektromagnetische (SEM-) Probleme verhindert werden können (Offenlegungsschrift, Abs. [0001]).

Um die Synchronisation verschiedener Zellenblöcke sicherzustellen, werde gewöhnlich ein Taktbaum implementiert, um die Taktsignale mit dem gleichen Timing an jeden der Zellenblöcke zu verteilen. Beim Aufbau des Taktbaumes werde

zuerst ein Taktstamm des Taktbaumes global geroutet, und einige Taktpuffer würden an verschiedenen Stellen an dem Taktbaum angeordnet, um die Taktsignale zu verstärken. Anschließend würden Schichten und Leiterbahnen zugewiesen, die für die Taktblattverbindungen verwendet werden. Das detaillierte Routing lege die eigentlichen Verbindungen zwischen den Taktblättern und den Taktpins der Zellenblöcke fest (Offenlegungsschrift, Abs. [0024]).

In typischen Schaltkreisdesigns würden Schaltkreiskomponenten in einem automatischen Syntheseprozess angeordnet, der durch Electronic Design Automatic (EDA)-Tools unterstützt wird, um den Platzbedarf und/oder die Schaltkreisleistung zu optimieren. Jedoch böten die aus dem Stand der Technik bekannten EDA-Tools eine schlechte Kontrolle über die Routingstrukturen (speziell in den unteren Metallschichten) und könnten daher viele SEM-Probleme oder das Nichtbestehen eines Design Rule Check (DRC) beim Takt-Routing mit sich bringen. Blattverdrahtungen des durch die EDA-Tools festgelegten Takt-Routings könnten unnötig Ressourcen beanspruchen (z. B. Routingplatz auf dem Layout), was sich auf die Routingfähigkeit von Signalen während des Syntheseprozesses auswirke (Offenlegungsschrift, Abs. [0025]).

Die Anmeldung geht von einem Halbleiter-Chip mit schichtartigem Aufbau aus, der über eine Mehrzahl von übereinandergeschichteten Leiterbahnebenen verfügt, deren Leiterbahnen zur Verbindung von elektronischen Bauelementen und integrierten Schaltkreisen eingesetzt werden und zur Strom- bzw. Spannungsversorgung sowie Signalübertragung dienen. Leiterbahnebenen wechseln sich dabei mit elektrisch isolierenden Ebenen ab. Die Verbindung zwischen den einzelnen Leiterbahnebenen erfolgt mit Hilfe vertikaler, elektrisch leitender Verbindungen, sogenannter Vias (*vertical interconnect access*).

Die der Anmeldung zugrundeliegende **Aufgabe** sieht der Senat darin, die Zelle eines Schaltkreises derart auszugestalten, dass Congestion-Probleme, d. h. Verdrahtungsüberlastungen vermieden und insbesondere bei der Routingverteilung



von Taktsignalen signalelektromagnetische (SEM-) Probleme an den Pins der Zelle verhindert werden können.

Als **Fachmann**, der mit der Aufgabe betraut wird, ein Takt-Routing zu verbessern, ist ein Ingenieur der Fachrichtung Elektrotechnik oder ein Diplom-Physiker der Fachrichtung Halbleiterphysik anzusehen, der über eine mehrjährige Berufserfahrung auf dem Gebiet des Entwurfs von integrierten Schaltkreisen einschließlich der logischen und physikalischen Synthese verfügt.

## 2. Einige Begriffe bedürfen der Auslegung.

Zum Begriff „Zellenblock“:

Die Patentanmeldung versteht unter einem Zellenblock eine Basiszelleneinheit, die z. B. einen Transistor, einen Schalter, ein Logikgatter, ein Register, einen Inverter, einen Komparator oder einen Taktpuffer einer Halbleitervorrichtung umfasst. Viele Zellenblöcke sind in einer einzelnen Halbleitervorrichtung implementiert, und diese Zellenblöcke sind miteinander vernetzt, um Funktionen auszuführen, z. B. Speichern, Addieren, Multiplizieren oder Vergleichen (Offenlegungsschrift, Abs. [0021]).

Zum Begriff „taktbezogener Pin“:

Unter einem taktbezogenen Pin ist in der Patentanmeldung ein Pin bzw. Kontakt eines Zellenblocks zu verstehen, an dem ein von einem Systemtaktgenerator erzeugtes Taktsignal empfangen werden kann. Laut Beschreibung wird das Timing des Zellenblocks dergestalt gesteuert, dass der Zellenblock mit anderen Zellenblöcken in der Halbleitervorrichtung synchronisiert wird (Offenlegungsschrift, Abs. [0022]).

Zum Begriff „Zellenlayout“:

Der Begriff „Zellenlayout“ wird in der Patentanmeldung nicht näher bestimmt. Nach fachmännischem Verständnis handelt es sich dabei um eine Darstellung der geometrischen Anordnung von Schaltungselementen (Gatter, Makrozellen,

Transistoren u. a.) und deren Verbindungsstrukturen in einem integrierten Schaltkreis. Die Layoutinformationen liegen in einem Standard-Datenformat für Layoutdaten von integrierten Schaltkreisen im Electronic Design Automation (EDA)-Bereich vor.

Zum Begriff „Abgriffverbinder“:

Laut Beschreibung der Patentanmeldung umfasst ein Abgriffverbinder wenigstens eine metallische Zwischenverbindung, die in einer Metallschicht angeordnet ist. Verfügt der Abgriffverbinder über mehrere metallische Zwischenverbindungen, so können diese in verschiedenen, übereinanderliegenden Metallschichten untergebracht sein, d. h. jede metallische Zwischenverbindung „sitzt“ in einer eigenen Metallschicht. Allerdings kann die Anzahl von metallischen Zwischenverbindungen auch größer als die Anzahl der zur Verfügung stehenden Metallschichten gewählt werden (Offenlegungsschrift, Abs. [0030]). Die erste bzw. unterste metallische Zwischenverbindung ist durch eine Verbindungsdurchkontaktierung Via elektrisch mit dem taktbezogenen Pin verbunden (Offenlegungsschrift, Abs. [0031]). Vias verbinden auch die anderen metallischen Zwischenverbindungen untereinander (Offenlegungsschrift, Abs. [0032]). Verschiedene Arten von Abgriffverbindern sind in der Draufsicht in den Figuren 2, 6 und 9 dargestellt. Eine Seitenansicht der jeweiligen Abgriffverbinder findet sich in den Figuren 3 und 7. Demnach handelt es sich bei dem anspruchsgemäßen Abgriffverbinder um eine oder mehrere Leiterbahnen bzw. elektrisch leitende Verbindungen, die in Leiterbahnebenen bzw. Metallschichten oberhalb vom taktbezogenen Pin verlaufen, untereinander elektrisch verbunden sind und zur Strom- bzw. Spannungsversorgung sowie zur Signalübertragung dienen.

Zum Begriff „äquivalenter Abgriffspunkt“:

Der äquivalente Abgriffspunkt wird durch den Abgriffverbinder gebildet, genauer gesagt durch dessen oberste metallische Zwischenverbindung. So kann das Taktsignalnetz bzw. der Taktbaum das Taktsignal über die oberste metallische

Zwischenverbindung dem taktbezogenen Pin des Zellenblocks zuführen, ohne direkt mit diesem verbunden zu sein (Offenlegungsschrift, Abs. [0032]). Insoweit ist die Bereitstellung des Taktsignals an der Zwischenverbindung einer Bereitstellung des Taktsignals am Pin gleichwertig bzw. äquivalent.

Zu den Begriffen „Zellenlayoutbibliothek“, „Standardzellen-Layout“ und „Ersatzzellen-Layout“:

Bei der Zellenlayoutbibliothek handelt es sich um eine Sammlung von Zellenlayouts, die für den Entwurf einer Halbleitervorrichtung, z. B. eines integrierten Schaltkreises verwendet werden (Offenlegungsschrift, Abs. [0085]). Die Zellenlayouts umfassen Standard-Zellenlayouts und entsprechende Ersatz-Zellenlayouts (Offenlegungsschrift, Abs. [0093], Fig. 11). Im Kontext der Patentanmeldung wird der Fachmann unter einer Standardzelle im mikroelektronischen Entwurf eine festgelegte Implementierung einer Basiszelleneinheit, z. B. eines Inverters, eines Flip Flops oder eines Logikgatters verstehen, die für den Einsatz in digitalen Schaltungen erstellt worden ist, wobei das Layout der Basiszelleneinheit bereits vor Entwurfsbeginn feststeht. Bei einer Ersatz-Zelle handelt es sich hingegen um einen alternativen Zellenblock, der zwar die gleiche logische Funktion wie die Standardzelle besitzt, dessen Layout aber nicht fest vorgegeben ist sondern erst während des Entwurfs ggfs. manuell entwickelt wird.

**3.** Zur Lösung der genannten Aufgabe schlägt der Patentanspruch 1 eine Vorrichtung nach den Merkmalen **M1** bis **M11.4** vor.

Gegenstand des Patentanspruchs 1 ist eine Vorrichtung, die einen Zellenblock mit einem taktbezogenen Pin umfasst (Merkmale **M1**, **M2**, **M3**). Laut Beschreibung handelt es sich bei der beanspruchten Vorrichtung um eine Halbleitervorrichtung bzw. einen Halbleiterschaltkreis, insbesondere einen integrierten Schaltkreis (Offenlegungsschrift, Abs. [0001], [0021] u. a.).

Merkmal **M4** besagt, dass der taktbezogene Pin in einer N-ten Metallschicht in einem Zellenlayout angeordnet ist. Gemäß Merkmal **M9** soll N eine ganze Zahl größer oder gleich Null sein. Der Fachmann wird Merkmal **M4** so verstehen, dass sich der Kontakt für den Taktsignaleingang am Zellenblock entsprechend einem vorgegebenen Zellenlayout in einer Metallschicht der Halbleitervorrichtung befindet.

Außerdem verfügt die anspruchsgemäße Halbleitervorrichtung über einen Abgriffverbinder (Merkmal **M5**), der in einer oder mehreren Metallschichten über der N-ten Metallschicht angeordnet ist (Merkmal **M6**) und über dem taktbezogenen Pin gestapelt ist (Merkmal **M7**).

Weiterhin ist der Abgriffverbinder mit dem taktbezogenen Pin elektrisch verbunden und bildet einen äquivalenten Abgriffspunkt des taktbezogenen Pins des Zellenblocks (Merkmal **M8**).

Ferner sieht Merkmal **M10** vor, dass sich der durch den Abgriffverbinder gebildete äquivalente Abgriffspunkt und der taktbezogene Pin vertikal überlappen, d. h. sich in einer in vertikaler Richtung durchgeführten Projektion auf eine zu den Metallschichten parallele Ebene zumindest teilweise überdecken.

Mit Merkmalskomplex **M11** wird der anspruchsgemäße Abgriffverbinder weiter eingeschränkt.

Entsprechend Merkmal **M11.1** umfasst dieser mehrere in der (N+1)-ten Metallschicht angeordnete erste metallische Zwischenverbindungen, die parallel zueinander verlaufen. Hierbei ist mindestens eine der ersten metallischen Zwischenverbindungen über dem taktbezogenen Pin gestapelt und mit diesem elektrisch verbunden.

Merkmal **M11.2** sieht eine zweite metallische Zwischenverbindung vor, die sich in der (N+2)-ten Metallschicht befindet und über den ersten metallischen

Zwischenverbindungen gestapelt ist. Außerdem ist die zweite metallische Zwischenverbindung mit den ersten metallischen Zwischenverbindungen elektrisch verbunden.

Merkmal **M11.3** besagt, dass die zweite metallische Zwischenverbindung des Abgriffverbinders den äquivalenten Abgriffspunkt des taktbezogenen Pins des Zellenblocks bildet.

Gemäß Merkmal **M11.4** wird die Breite einer jeden der ersten metallischen Zwischenverbindungen so gewählt, dass ihr Wert 0,3- bis 0,7-mal so groß ist wie der Wert für die Breite der zweiten metallischen Zwischenverbindung.

**4.** Das geltende Patentbegehren ist zulässig. Im Übrigen ist der Gegenstand nach Patentanspruch 1 dem Patentschutz grundsätzlich zugänglich sowie durch den aus den Druckschriften **D1** bis **D8** entnehmbaren Stand der Technik weder neuheitsschädlich vorweggenommen noch durch diesen nahegelegt.

**4.1** Das geltende Patentbegehren ist zulässig.

Die Merkmale **M1** bis **M6** sowie **M8** und **M9** des Patentanspruchs 1 beruhen auf dem ursprünglichen Patentanspruch 1.

Merkmal **M7** geht zurück auf den ursprünglichen Patentanspruch 1 iVm Absatz [0031] und Figur 3 der Offenlegungsschrift.

Merkmal **M10** geht hervor aus den Figuren 2, 5, 6, 8 und 9.

Der anspruchsgemäße Abgriffverbinder wird durch den Merkmalskomplex **M11** mit den Merkmalen **M11.1** bis **M11.4** konkretisiert, die ihre Stütze im ursprünglichen Patentanspruch 7 iVm Figur 9 sowie in Absatz [0081] der Offenlegungsschrift finden.

Weiterhin gehen die jeweiligen Merkmale der Patentansprüche 2 und 3 aus den ursprünglichen Patentansprüchen 8 und 9 hervor.

Die geltenden Beschreibungs- und Figurenseiten stimmen mit den ursprünglich eingereichten überein.

**4.2** Die Lehre des Patentanspruchs 1 ist dem Patentschutz grundsätzlich zugänglich, da sie eine Lösung eines konkreten technischen Problems mit technischen Mitteln liefert.

**4.3** Das geltende Patentbegehren ist durch den bisher bekannten Stand der Technik weder vorbekannt noch nahegelegt. Denn gerade ein Abgriffverbinder mit mehreren ersten metallischen Zwischenverbindungen und einer zweiten metallischen Zwischenverbindung entsprechend den Merkmalen **M11.1** bis **M11.4** ist aus keiner der Druckschriften entnehmbar.

Die Druckschrift **D1** wurde nach dem Prioritäts-, aber vor dem Anmeldetag der Anmeldung veröffentlicht. Sie beschreibt ein System bzw. Verfahren für die Layoutsynthese bei Entwurf eines integrierten Schaltkreises, das Elektromigration mit berücksichtigt, d. h. den durch die allmähliche Bewegung von Ionen in einem festen Leiter verursachten Materialtransport, der durch den elektrischen Strom hervorgerufen wird (Abstract; Abs. [0001], [0028], [0045], [0046] u. a.).

Die Druckschrift **D2** beschäftigt sich mit einem Verfahren zur Verbesserung des Routings und der Verdrahtung im Design eines integrierten Schaltkreises, welches sich nicht auf die benötigte Chipfläche auswirkt. Konkret offenbart sie ein Verfahren für den Chipentwurf, bei dem in einem IC-Design anhand von Designparametern ein lokaler Bereich bestimmt wird, in dem Congestion bzw. Verdrahtungsüberlastung auftritt. Innerhalb dieses Bereichs wird ein Zellenblock mit einem gewissen Grad an Komplexität ermittelt. Zu diesem wird ein Ersatz-

Zellenblock generiert, der die gleiche logische Funktion ausfüllt und dem weitere Zugriffspunkte („access points“) hinzugefügt worden sind. Der komplexe Zellenblock wird durch den Ersatz-Zellenblock ersetzt (Abs. [0001], [0005]).

Die Druckschrift **D3** betrifft ein Verfahren zur Abwandlung des Designs integrierter Schaltkreise (Abs. [0001]). In diesem Verfahren wird das Design eines Schaltkreises dadurch verändert, dass dessen elektrische Komponenten auf eine Bibliothek von Ersatzkomponenten abgebildet und wenigstens einige von ihnen gegen neue Komponenten ausgetauscht werden, die dieselbe logische Funktion ausführen. Dabei bleiben die ursprünglichen elektrischen Verbindungen weitgehend erhalten, allerdings wird die Geometrie der Verdrahtung angepasst (Abs. [0005]). Das offenbarte Verfahren bzw. Austauschsystem („swapping system“) beruht auf der Verwendung einer Designbibliothek mit elektrischen Ersatz-Komponenten, die zumindest eine ähnliche Funktionalität aufweisen wie die im zu ändernden bzw. zu migrierenden Schaltkreis enthaltenen Zellenblöcke. Die Bibliothek beinhaltet dabei Angaben zur jeweiligen Gestalt der Komponenten, Layouts, Beschreibungen zur Funktionalität und Logik der Komponenten sowie Angaben zu den zeitlichen Verzögerungen zwischen Ein- und Ausgang-Pins (Abs. [0074]).

Druckschrift **D4** lehrt eine Architektur für ein Gatterfeld („gate array“) mit mehrlagigen programmierbaren Bereichen, auf deren Grundlage ein integrierter Schaltkreis entworfen werden kann. Druckschrift **D4** geht von einem integrierten Schaltkreis aus, der entsprechend der „Metal Programmable Technology“ eine Gatterfeld-Schicht und einen darüber angeordneten Stapel („stack“) aus Metallschichten umfasst. Während einige der unmittelbar an die Gatterfeld-Schicht angrenzenden Metallschichten fest vorgegeben (und damit designunabhängig) oder zumindest vorlagenbasiert sind, sind die Metallschichten darüber programmierbar, d. h. nur die oberen Metall- oder Via-Schichten müssen verändert werden, um eine neue anwendungsspezifische Schaltung (ASIC) oder ein neues Ein-Chip-System (SoC) zu erzeugen (Abstract; Abs. [0001], [0004], [0008]).

Figur 4 zeigt einen Stapel von Schichten, wie er für die Herstellung eines Chips zugrunde gelegt wird. Der Stapel enthält designunabhängige Schichten in einer fest vorgegebenen „Fixed Region“ 300 (Substrat, Diffusionsschicht, Gate-Elektrode, Kontaktschicht, Metallschichten 1, 2 sowie Via 1-Schicht), programmierbare Schichten in der „Programmable Region“ 310 (Via 2-Schicht bis Metal 5-Schicht) sowie weitere fest vorgegebene Schichten in der „Fixed Region“ 320. Die über den programmierbaren Schichten angeordneten Verbindungsschichten 270 werden für Stromverteilungs-, Takt- und Signalwegenetz genutzt (Abs. [0039] bis [0042]).

Die Figuren 5B bis 5E geben ein Beispiel für Layout-Diagramme, die sich auf die einzelnen Schichten eines Stapels gemäß Figur 4 beziehen. Die gezeigten Layouts beruhen auf dem Basis-Zellenblock 400 aus Figur 5A, der aus vier MOS-Transistoren besteht, je zwei p-Typ und zwei n-Typ-MOS-Transistoren (MPL und MPR sowie MNL und MNR). Während Figur 5B im Wesentlichen die Gate-Elektroden (GL, GR) und sonstige Anschlüsse der MOS-Transistoren wiedergibt, zeigt Figur 5C ein Layout des Basis-Zellenblocks 400, das die Kontakt-Schicht 205 und die Metallschicht metal1 211 betrifft. Figur 5D veranschaulicht die Via 1-Schicht via1 212 sowie die Metallschicht metal2 221 des fest vorgegebenen Bereichs 300. Die Leiterbahnen der metal2-Layer-Schicht aus Figur 5D verlaufen orthogonal zu denjenigen aus Figur 5C und überlappen diese teilweise. Weiterhin ist der Figur 6A ein NAND-Gatter mit zwei Eingängen zu entnehmen, das auf dem Basis-Zellenblock 400 der Figur 5A beruht. Die Via-Schicht via2 222 und die Metallschicht metal3 231 aus dem programmierbaren Bereich 300 werden genutzt, um die logische Funktion des NAND-Gatters zu realisieren (Abs. [0055]). Die Leiterbahnen der Metallschicht metal3 überlappen Leiterbahnen der Metallschichten metal1 und metal2. Kombinationen von zwei oder drei Basis-Zellenblöcken 400 sind in den Figuren 6B und 6C zu finden (Abs. [0056] bis [0058]). Laut Absatz [0079] wird die Technik der **D4** in Verbindung mit einem Design-Programm angewandt, um einen integrierten Schaltkreis zu entwerfen. Für das Design wird zumindest eine obere vorlagenbasierte Metallschicht definiert, die für ein Stromverteilungs-, Takt- oder globales Signalwegenetz zuständig ist.



Die Druckschrift **D5** beschäftigt sich mit dem Entwurf integrierter Schaltkreise und insbesondere mit einer verbesserten Leitungsführung bzw. Verdrahtung („routing“) in Schaltkreisen (Abs. [0002]). Sie lehrt eine verbesserte Leitungsführung in einem elektrischen Schaltkreis, die durch Verwendung breittkantiger Kontakte („wide-edge pins“) erzielt wird. Der vorgeschlagene integrierte Schaltkreis beruht auf einem Standard-Zellenblock mit einem Kontakt in einer ersten Metallschicht (M1), der über ein Via an eine Leiterbahn in einer zweiten Metallschicht (M2) gekoppelt ist. Dabei hat der Kontakt in der M1-Schicht eine größere Breite  $W$  als das Via  $V1$ , wodurch eine Einfassungs-Regel („enclosure rule“) für das Via  $V1$  erfüllt wird. Der Kontakt schließt vertikal entweder mit dem Via  $V1$  ab oder erstreckt sich über dieses hinaus. Durch das vorgeschlagene Layout wird im Standard-Zellenblock die Anzahl verfügbarer Zugangspunkte („access points“) zum Kontakt erhöht, was wiederum die Leitungsführung erleichtert und sich positiv auf die Chipgröße auswirkt (Abstract; Abs. [0012]). Die beschriebene Kontaktgeometrie ist in den Figuren 3A und 3B dargestellt. Kontakt 52B und Leiterbahn 54 der M2-Schicht verlaufen orthogonal zueinander. Die Breite  $W$  des Kontakts 52B ist klar erkennbar größer als die Breite der Leiterbahn 54. In einem Beispiel wird der Abstand  $D1$  zu  $D1=15\text{nm}$  gewählt. Dessen doppelter Wert gibt die Differenz zwischen der Breite  $W$  von Kontakt 52B und der Breite von Via  $V1$  an. Außerdem wird der Abstand  $D2$  zwischen Kontakt 52B und Stromschiene 56B zu  $D2=50\text{nm}$  festgelegt, damit eine „side-to-side rule“ erfüllt wird (Abs. [0032] bis [0036]). Anhand von Figur 6 wird in den Absätzen [0039] bis [0043] ein Computersystem 200 mit Layout-Tool 210 erläutert, mit dem Layouts für integrierte Schaltkreise entworfen werden, die dann für die Erzeugung von Fotomasken verwendet werden.

Die Druckschrift **D6** betrifft das Design und die Analyse von Master-Slave-Flip-Flops mit geringem Stromverbrauch. Die Figuren 1 bis 8 zeigen Beispiele für getaktete Flip-Flops in CMOS-Technik.

Die Druckschrift **D7** lehrt eine Architektur für ein Gatterfeld, wobei anpassbare Metallschichten verwendet werden (Abstract).

Die Druckschrift **D8** stellt ein Modell und einen Algorithmus zur Berechnung von Strömen in Multi-Via-Strukturen vor. Lebensdauern von Via Arrays unter Annahme von Elektromigration werden bestimmt (Abstract). Die Druckschrift **D8** schlägt die Verwendung von Multi-Vias zwischen den Leiterbahnen der Metallschichten eines elektrischen Schaltkreises vor, um dadurch zwischen den Metallschichten größere Stromdichten erreichen und gleichzeitig die Auswirkung von Defekten an den Vias infolge von Elektromigration minimieren zu können (Seite 308, Abschnitt I. Introduction, erster und zweiter Absatz).

Keine dieser Druckschriften gibt jedoch eine Anregung, einen Abgriffverbinder vorzusehen, der aus

mehreren in einer Metallschicht angeordneten ersten metallischen Zwischenverbindungen aufgebaut ist, die parallel zueinander verlaufen, wobei mindestens eine der ersten metallischen Zwischenverbindungen über dem taktbezogenen Pin gestapelt und mit diesem elektrisch verbunden ist (Merkmal **M11.1**)

und der darüber hinaus über

eine zweite metallische Zwischenverbindung verfügt, die in der darüberliegenden Metallschicht angeordnet und über den ersten metallischen Zwischenverbindungen gestapelt ist, wobei die zweite metallische Zwischenverbindung elektrisch mit den ersten metallischen Zwischenverbindungen verbunden ist (Merkmal **M11.2**) und

wobei eine Breite einer jeden der ersten metallischen Zwischenverbindungen 0,3- bis 0,7-mal so breit ist wie eine Breite der zweiten metallischen Zwischenverbindung (Merkmal **M11.4**).

Nach allem ist nicht erkennbar, wie der Fachmann in Kenntnis lediglich des aus den ermittelten Druckschriften bekannten Standes der Technik zur beanspruchten Lehre hätte gelangen können.

5. Die Anmeldung wird gemäß § 79 Abs. 3 Satz 1 Nr. 3 PatG an das Deutsche Patent- und Markenamt zurückverwiesen. Bei der Änderung des Patentbegehrens durch den nunmehr geltenden Hauptantrag handelt es sich um das Bekanntwerden einer neuen Tatsache, die grundsätzlich eine Zurückverweisung möglich macht (vgl. Schulte/Püschel, Patentgesetz, 10. Auflage, § 79 Rdnr. 26).

Eine unmittelbare Patenterteilung hält der Senat für nicht sachgerecht. Denn das Amt hat für die geltende Fassung der Patentansprüche bislang nicht geprüft, ob die Voraussetzungen für die Erteilung eines Patents erfüllt sind.

Insbesondere das Merkmal **M11** eines Abgriffverbinders in Verbindung mit den metallischen Zwischenverbindungen gemäß den Merkmalen **M11.1** und **M11.2**, die zudem durch das Breitenverhältnis gemäß Merkmal **M11.4** gekennzeichnet sind, war nicht Gegenstand des bisherigen Prüfungsverfahrens. Es deutet nichts darauf hin, dass die bisherige Recherche zum Stand der Technik auch auf solche Abgriffverbinder ausgerichtet war.

Eine dies umfassende Recherche, die diesem Umstand Rechnung trägt, wird nunmehr nachzuholen sein.

### **Rechtsmittelbelehrung**

Gegen diesen Beschluss steht den am Beschwerdeverfahren Beteiligten das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn gerügt wird, dass

1. das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. einem Beteiligten das rechtliche Gehör versagt war,
4. ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten schriftlich einzulegen.

Dr. Morawek

Bayer

Dr. Forkel

Dr. Städele