

BUNDESPATENTGERICHT

17 W (pat) 49/00

(Aktenzeichen)

Verkündet am
23. Oktober 2001

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 196 01 847.1-53

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 23. Oktober 2001 unter Mitwirkung des Richters Dipl.-Ing. Bertl als Vorsitzenden, der Richter Dipl.-Phys. Dr. Greis und Dipl.-Ing. Prasch sowie der Richterin Püschel

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die Patentanmeldung mit der Bezeichnung

"Anordnung und Verdrahtung einer Speicherzellenschaltung"

wurde von der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts zurückgewiesen. In den Gründen ist ausgeführt, daß der Gegenstand des Patentanspruchs 1 nicht auf einer erfinderischen Tätigkeit beruhe.

Gegen diesen Beschluß richtet sich die Beschwerde der Anmelderin.

Der geltende Patentanspruch 1 lautet:

"Speicherzellenschaltung zur Realisierung einer Speichervorrichtung, wobei die Speichervorrichtung folgende Komponenten enthält:

- (A) erste und zweite Speicherschaltungen (21a, 21b);
- (B) erste und zweite Wortausleseleitungen (182a, 182b), wobei an eine der Leitungen stets ein inaktives Signal angelegt ist;
- (C) eine Bitausleseleitung (192); und

(D) eine erste Leseschaltung (224a, 225a), welche den Speicherinhalt der ersten und zweiten Speicherschaltungen (21a, 21b) auf der Grundlage des den ersten und zweiten Wortausleseleitungen (182a, 182b) bereitgestellten aktiven/inaktiven Signals an der Bitausleseleitung (192) bereitstellt,

wobei die erste Leseschaltung (224a, 25a) folgende Komponenten enthält:

- (D-1) eine erste zusammengesetzte Logikschaltung (16) mit
 - (D-1-1) einem ersten Eingangsanschluß (207), welcher mit der zweiten Speicherschaltung (21b) verbunden ist;
 - (D-1-2) einem zweiten Eingangsanschluß (208), welcher mit der zweiten Wortausleseleitung (182b) verbunden ist;
 - (D-1-3) einem dritten Eingangsanschluß (209), welcher mit der ersten Speicherschaltung (21a) verbunden ist;
 - (D-1-4) einem vierten Eingangsanschluß (210), welcher mit der ersten Wortausleseleitung (182a) verbunden ist;und
 - (D-1-5) einem Ausgangsanschluß (206);
- (D-2) einen ersten Potentialpunkt (111), welcher ein erstes Potential bereitstellt;

- (D-3) einen zweiten Potentialpunkt (112), welcher ein zu dem ersten Potential unterschiedliches zweites Potential bereitstellt;
- (D-4) einen Transistor (123) eines ersten Leitfähigkeitstyps, dessen Source mit dem ersten Potentialpunkt (111) verbunden ist, dessen Gate mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Drain mit der Bitausleseleitung (192) verbunden ist;
- (D-5) einen ersten Transistor (130) eines zweiten Leitfähigkeitstyps, dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist, dessen Gate mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und welcher einen Drain aufweist;
- (D-6) einen zweiten Transistor (134) des zweiten Leitfähigkeitstyps, dessen Source mit dem Drain des ersten Transistors (130) des zweiten Leitfähigkeitstyps verbunden ist, dessen Gate mit der ersten Wortausleseleitung (182a) verbunden ist und dessen Drain mit der Bitausleseleitung (192) verbunden ist;
- (D-7) einen dritten Transistor (133) des zweiten Leitfähigkeitstyps, dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist, dessen Gate mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und welcher einen Drain aufweist; und

(D-8) einen vierten Transistor (139) des zweiten Leitfähigkeitstyps, dessen Source mit dem Drain des dritten Transistors (133) des zweiten Leitfähigkeitstyps verbunden ist, dessen Gate mit der zweiten Wortausleseleitung (182b) verbunden ist und dessen Drain mit der Bitausleseleitung (192) verbunden ist,

wobei die erste zusammengesetzte Logikschaltung (16) folgende Komponenten aufweist:

(D-1-6) einen zweiten Transistor (124) des ersten Leitfähigkeitstyps, dessen Drain mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist, dessen Gate mit dem vierten Eingangsanschluß (210) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und welcher ein Source aufweist;

(D-1-7) einen dritten Transistor (125) des ersten Leitfähigkeitstyps, dessen Drain mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist, dessen Gate mit dem dritten Eingangsanschluß (209) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Source mit dem Source des zweiten Transistors (124) des ersten Leitfähigkeitstyps verbunden ist;

(D-1-8) einen vierten Transistor (126) des ersten Leitfähigkeitstyps, dessen Drain mit dem Source des zweiten Transistors (124) des ersten Leitfähigkeitstyps

verbunden ist, dessen Gate mit dem ersten Eingangsanschluß (2207) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Source mit dem ersten Potentialpunkt (111) verbunden ist;

(D-1-9) einen fünften Transistor (127) des ersten Leitfähigkeitstyps, dessen Drain mit dem Source des dritten Transistors (125) des ersten Leitfähigkeitstyps verbunden ist, dessen Gate mit dem zweiten Eingangsanschluß (208) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Source mit dem ersten Potentialpunkt (111) verbunden ist;

(D-1-10) einen fünften Transistor (135) des zweiten Leitfähigkeitstyps, dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist, dessen Gate mit dem vierten Eingangsanschluß (210) der ersten zusammengesetzten Logikschaltung (212) verbunden ist und welcher einen Drain aufweist;

(D-1-11) einen sechsten Transistor (136) des zweiten Leitfähigkeitstyps, dessen Source mit dem Drain des fünften Transistors (135) des zweiten Leitfähigkeitstyps verbunden ist, dessen Gate mit dem dritten Eingangsanschluß (209) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Drain mit dem zweiten Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist;

(D-1-12) einen siebenten Transistor (137) des zweiten Leitfähigkeitstyps, welcher ein Source aufweist und

dessen Gate mit dem ersten Eingangsanschluß (207) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Drain mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist; und

- (D-1-13) einen achten Transistor (138) des zweiten Leitfähigkeitstyps, dessen Drain mit dem Source des siebenten Transistors (137) des zweiten Leitfähigkeitstyps verbunden ist, dessen Gate mit dem zweiten Eingangsanschluß (208) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist,

wobei die Speicherzellenschaltung folgende Komponenten aufweist:

(I) ein Substrat mit

- (I-1) einer ersten Reihe einer Transistoranordnung, bei welcher Transistoren des zweiten Leitfähigkeitstyps angeordnet sind;
- (I-2) einer zweiten Reihe einer Transistoranordnung, bei welcher Transistoren des ersten Leitfähigkeitstyps angeordnet sind;
- (I-3) einer dritten Reihe einer Transistoranordnung, bei welcher Transistoren des ersten Leitfähigkeitstyps angeordnet sind; und

- (I-4) einer vierten Reihe einer Transistoranordnung, bei welcher Transistoren des zweiten Leitfähigkeitstyps angeordnet sind,

wobei die erste bis vierte Reihe von Transistoranordnungen ebenso bezüglich jeder Spalte ausgerichtet sind;

- (II) eine erste Verbindungsschicht, welche oberhalb des Substrats vorgesehen ist und an die Transistoren des ersten Leitfähigkeitstyps und an die Transistoren des zweiten Leitfähigkeitstyps gekoppelt ist; und

- (III) eine zweite Verbindungsschicht, welche oberhalb der ersten Verbindungsschicht vorgesehen ist und an die erste Verbindungsschicht gekoppelt ist; wobei

die erste und zweite Speicherschaltung (21a, 21b) in der ersten Reihe und der zweiten Reihe der Transistoranordnungen gebildet sind,

in der dritten Reihe der Transistoranordnung

- (I-3-1) der erste Transistor (123) des ersten Leitfähigkeitstyps in einer der siebenten und achten Spalte gebildet ist, der fünfte Transistor (127) des ersten Leitfähigkeitstyps in einer fünften Spalte gebildet ist, der zweite Transistor (124) des ersten Leitfähigkeitstyps in einer vierten Spalte gebildet ist, der dritte Transistor (125) des ersten Leitfähigkeitstyps in einer dritten Spalte gebildet ist bzw. der vierte Transistor (126) des ersten Leitfähigkeitstyps in einer zweiten Spalte gebildet ist;

und

(I-3-2) der Drain des fünften Transistors (127) des ersten Leitfähigkeitstyps und das Source des zweiten Transistors (124) des ersten Leitfähigkeitstyps, der Drain des zweiten Transistors (124) des ersten Leitfähigkeitstyps und der Drain des dritten Transistors (125) des ersten Leitfähigkeitstyps sowie das Source des dritten Transistors (125) des ersten Leitfähigkeitstyps und der Drain des vierten Transistors (126) des ersten Leitfähigkeitstyps jeweils gemeinsam in demselben Gebiet gebildet sind,

in der vierten Reihe der Transistoranordnung

(I-4-1) der dritte Transistor (133) des zweiten Leitfähigkeitstyps in der achten Spalte gebildet ist, der vierte Transistor (139) des zweiten Leitfähigkeitstyps in der siebenten Spalte gebildet ist, der zweite Transistor (134) des zweiten Leitfähigkeitstyps in einer sechsten Spalte gebildet ist, der erste Transistor (130) des zweiten Leitfähigkeitstyps in der fünften Spalte gebildet ist, der fünfte Transistor (135) des zweiten Leitfähigkeitstyps in der vierten Spalte gebildet ist, der sechste Transistor (136) des zweiten Leitfähigkeitstyps in der dritten Spalte gebildet ist, der siebente Transistor (137) des zweiten Leitfähigkeitstyps in der zweiten Spalte gebildet ist und der achte Transistor (138) des zweiten Leitfähigkeitstyps in einer ersten Spalte jeweils gebildet ist; und

(I-4-2) der Drain des dritten Transistors (133) des zweiten Leitfähigkeitstyps und das Source des vierten Transistors (139) des zweiten Leitfähigkeitstyps, der Drain des zweiten Transistors (134) des zweiten Leitfähigkeitstyps und der Drain des vierten Transistors (139) des zweiten Leitfähigkeitstyps, der Drain des ersten Transistors (139) des zweiten Leitfähigkeitstyps und das Source des zweiten Transistors (134) des zweiten Leitfähigkeitstyps, das Source des ersten Transistors (130) des zweiten Leitfähigkeitstyps und das Source des fünften Transistors (135) des zweiten Leitfähigkeitstyps, der Drain des fünften Transistors (135) des zweiten Leitfähigkeitstyps und das Source des sechsten Transistors (136) des zweiten Leitfähigkeitstyps, der Drain des sechsten Transistors (136) des zweiten Leitfähigkeitstyps und der Drain des siebenten Transistors (137) des zweiten Leitfähigkeitstyps sowie das Source des siebenten Transistors (137) des zweiten Leitfähigkeitstyps und der Drain des achten Transistors (138) des zweiten Leitfähigkeitstyps jeweils gemeinsam in demselben Gebiet gebildet sind, und

der erste und der zweite Potentialpunkt (111, 112) mit der ersten Verbindungsschicht bzw. die erste und zweite Wortausleseleitung (182a, 812b) mit der zweiten Verbindungsschicht realisiert sind."

Der Anmeldung liegt die Aufgabe zugrunde, eine aus der DE 43 30 778 A1 bekannte Speicherzellenschaltung derart weiterzuentwickeln, daß ein zum Verwirklichen eines Vielportspeichers in einer Transistormatrix notwendiger Bereich verringert wird, um den Integrationsgrad zu erhöhen (Beschwerdebegründung vom 24. November 2000, Seite 1, letzter Absatz).

Die Anmelderin wies in der mündlichen Verhandlung darauf hin, daß die im Patentanspruch 1 beanspruchte Schaltung gegenüber der Schaltung, wie sie sich aus der DE 43 30 778 A1 ergebe, nicht eine Transistormatrix von 4×9 Transistoren sondern lediglich von 4×8 Transistoren benötige. Die Platzersparnis werde durch die spezielle Anordnung und Verknüpfung der Transistoren erreicht, wobei die Verträglichkeit der einzelnen Schaltungskomponenten zu berücksichtigen sei. Dabei seien die Transistoren nicht nur umgruppiert worden, sondern erst durch das Vorsehen eines zusätzlichen Transistors am Ausgang der Lesepufferschaltung sei die Platzersparnis erreicht worden. Dieses Vorgehen entnehme der Fachmann der DE 43 30 778 A1 nicht, da dort (vgl. insb. Seite 16, Zeilen 63 bis 66) nicht nur an einer Stelle sondern an zwei Stellen dieser Ersatz vorgesehen sei.

Die Anmelderin stellt den Antrag,

den angefochtenen Beschluß aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 21, eingegangen am 10. April 1997, ursprünglich eingereichte Beschreibung Seiten 1 bis 49, sowie 29 Blatt Zeichnungen mit Figuren 1 bis 32.

II.

Die frist- und formgerecht erhobene Beschwerde ist zulässig. Sie hat jedoch keinen Erfolg. Der Gegenstand des Patentanspruchs 1 ist nicht patentfähig, da er nicht wie in § 4 PatG gefordert wird, auf einer erfinderischen Tätigkeit beruht.

Die Anmeldung betrifft eine Speicherzellenschaltung. Der Patentanspruch 1 beschreibt in seinem ersten Teil (Seite 1 bis Seite 5, Zeile 8) exakt die Schaltung nach Figur 23, wobei die Logikschaltung 16 nach Figur 5 realisiert ist und in seinem zweiten Teil die Anordnung der einzelnen Transistoren dieser Schaltung auf dem Substrat nach den Figuren 1 bis 4.

Die Transistoren sind in einer vierzeiligen Matrix angeordnet, wobei die erste und die vierte Zeile die NMOS-Transistoren und die Zeilen zwei und drei die PMOS-Transistoren enthalten. Die beiden Zeilen 1 und 2 enthalten die Speicherschaltungen 21a und b und die Transistoren 13 a bis d. In den Zeilen 3 und 4 ist der Lesepuffer realisiert.

In der mündlichen Verhandlung wurde die Druckschrift

DE 43 30 778 A1

aufgegriffen.

Diese Druckschrift beschreibt eine Speicherzellenschaltung. Die Schaltung nach Figur 12 entspricht dem Aufbau, wie er in der vorliegenden Anmeldung gewählt ist. Bei der folgenden Gegenüberstellung ist die Gliederung der Anmeldung beibehalten und auch die zweimalige Verwendung des fünften Transistors 127 und 135, denen die Transistoren 124 und 132 bei der DE 43 30 778 A1 entsprechen. Aus dieser Druckschrift ist bekannt (vgl. insb. Figuren 12 und 14, wobei die Zuordnungen Source und Drain der einzelnen Transistoren entsprechend der vorliegenden Anmeldung übernommen ist):

Speicherzellenschaltung zur Realisierung einer Speichervorrichtung, wobei die Speichervorrichtung folgende Komponenten enthält:

- (A) erste und zweite Speicherschaltungen (21a, 21b);
- (B) erste und zweite Wortausleseleitungen (182a, 182b), wobei an eine der Leitungen stets ein inaktives Signal angelegt ist;

- (C) eine Bitausleseleitung (192) ; und
- (D) eine erste Leseschaltung (224), welche den Speicherinhalt der ersten und zweiten Speicherschaltungen (21a,21b) auf der Grundlage des den ersten und zweiten Wortausleseleitungen (182a, 182b) bereitgestellten aktiven/inaktiven Signals an der Bitausleseleitung (192) bereitstellt,

wobei die erste Leseschaltung (224) folgende Komponenten enthält:

- (D-1) eine erste zusammengesetzte Logikschaltung (16) mit
 - (D-1-1) einem ersten Eingangsanschluß (208), welcher mit der zweiten Speicherschaltung (21b) verbunden ist;
 - (D-1-2) einem zweiten Eingangsanschluß (207), welcher mit der zweiten Wortausleseleitung (182b) verbunden ist;
 - (D-1-3) einem dritten Eingangsanschluß (209), welcher mit der ersten Speicherschaltung (21a) verbunden ist;
 - (D-1-4) einem vierten Eingangsanschluß (210), welcher mit der ersten Wortausleseleitung (182a) verbunden ist; und
 - (D-1-5) einem Ausgangsanschluß 206;
- (D-2) einen ersten Potentialpunkt (111), welcher ein erstes Potential bereitstellt;
- (D-3) einen zweiten Potentialpunkt (112), welcher ein zu dem ersten Potential unterschiedliches zweites Potential bereitstellt;
- (D-4) einen Transistor (123) eines ersten Leitfähigkeitstyps, dessen Source mit dem ersten Potentialpunkt (111) verbunden ist, dessen Gate mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Drain mit der Bitausleseleitung (192) verbunden ist;

- (D-5) einen ersten Transistor (133) eines zweiten Leitfähigkeitstyps, dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist, dessen Gate mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und welcher einen Drain aufweist;
- (D-6) einen zweiten Transistor (134) des zweiten Leitfähigkeitstyps, dessen Source mit dem Drain des ersten Transistors (133) des zweiten Leitfähigkeitstyps verbunden ist, dessen Gate mit der ersten Wortausleseleitung (182a) verbunden ist und dessen Drain mit der Bitausleseleitung (192) verbunden ist;
- (D-8) einen vierten Transistor (139) des zweiten Leitfähigkeitstyps, dessen Source mit dem Drain des ersten Transistors (133) des zweiten Leitfähigkeitstyps verbunden ist, dessen Gate mit der zweiten Wortausleseleitung (182b) verbunden ist und dessen Drain mit der Bitausleseleitung (192) verbunden ist,

wobei die erste zusammengesetzte Logikschaltung (16) folgende Komponenten aufweist (vgl. Figur 14):

- (D-1-6) einen zweiten Transistor (127) des ersten Leitfähigkeitstyps, dessen Drain mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist, dessen Gate mit dem vierten Eingangsanschluß (210) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und welcher ein Source aufweist;
- (D-1-7) einen dritten Transistor (126) des ersten Leitfähigkeitstyps, dessen Drain mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist, dessen Gate mit dem

dritten Eingangsanschluß (209) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Source mit dem Source des zweiten Transistors (127) des ersten Leitfähigkeitstyps verbunden ist;

(D-1-8) einen vierten Transistor (124) des ersten Leitfähigkeitstyps, dessen Drain mit dem Source des zweiten Transistors (127) des ersten Leitfähigkeitstyps verbunden ist, dessen Gate mit dem ersten Eingangsanschluß (208) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Source mit dem ersten Potentialpunkt (111) verbunden ist;

(D-1-9) einen fünften Transistor (124) des ersten Leitfähigkeitstyps, dessen Drain mit dem Source des dritten Transistors (126) des ersten Leitfähigkeitstyps verbunden ist, dessen Gate mit dem zweiten Eingangsanschluß (207) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Source mit dem ersten Potentialpunkt (111) verbunden ist;

(D-1-10) einen fünften Transistor (138) des zweiten Leitfähigkeitstyps, dessen Source mit dem Drain des fünften Transistors (138) des zweiten Leitfähigkeitstyps verbunden ist , dessen Gate mit dem vierten Eingangsanschluß (210) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Drain mit dem zweiten Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist;

(D-1-11) einen sechsten Transistor (137) des zweiten Leitfähigkeitstyps, dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist , dessen Gate mit dem dritten Eingangsanschluß (209) der ersten zusammenge-

setzten Logikschaltung (16) verbunden ist und welcher einen Drain aufweist;

(D-1-12) einen siebenten Transistor (136) des zweiten Leitfähigkeitstyps, dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist und dessen Gate mit dem ersten Eingangsanschluß (208) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und dessen Drain mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist; und

(D-1-13) einen achten Transistor (135) des zweiten Leitfähigkeitstyps, dessen Drain mit dem Source des siebenten Transistors (137) des zweiten Leitfähigkeitstyps verbunden ist, dessen Gate mit dem zweiten Eingangsanschluß (208) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und welcher ein Source aufweist,

wobei die Speicherzellenschaltung folgende Komponenten aufweist:

(I) ein Substrat mit

(I-1) einer ersten Reihe einer Transistoranordnung, bei welcher Transistoren des zweiten Leitfähigkeitstyps angeordnet sind;

(I-2) einer zweiten Reihe einer Transistoranordnung, bei welcher Transistoren des ersten Leitfähigkeitstyps angeordnet sind;

(I-3) einer dritten Reihe einer Transistoranordnung, bei welcher Transistoren des ersten Leitfähigkeitstyps angeordnet sind; und

- (I-4) einer vierten Reihe einer Transistoranordnung, bei welcher Transistoren des zweiten Leitfähigkeitstyps angeordnet sind,
- wobei die erste bis vierte Reihe von Transistoranordnungen ebenso bezüglich jeder Spalte ausgerichtet sind;
- (II) eine erste Verbindungsschicht, welche oberhalb des Substrats vorgesehen ist und an die Transistoren des ersten Leitfähigkeitstyps und an die Transistoren des zweiten Leitfähigkeitstyps gekoppelt ist; und
- (III) eine zweite Verbindungsschicht, welche oberhalb der ersten Verbindungsschicht vorgesehen ist und an die erste Verbindungsschicht gekoppelt ist; wobei
- die erste und zweite Speicherschaltung (21a, 21b) in der ersten Reihe und der zweiten Reihe der Transistoranordnung gebildet sind.

Gegenüber dieser bekannten Schaltung wird im Patentanspruch 1 noch die genaue Anordnung der einzelnen Transistoren beansprucht. Außerdem unterscheidet sich die beanspruchte Schaltung durch den zusätzlichen Transistor nach Merkmal D-7, nämlich den

"dritten Transistor (133) des zweiten Leitfähigkeitstyps, dessen Source mit dem zweiten Potentialpunkt (112) verbunden ist, dessen Gate mit dem Ausgangsanschluß (206) der ersten zusammengesetzten Logikschaltung (16) verbunden ist und welcher einen Drain aufweist".

Das Anordnen der Transistoren innerhalb der Reihen der Transistoranordnung ist eine Aufgabe, die sich für den Entflechter beim Erstellen des Layouts täglich stellt. Sie gehört zu dem, was im Rahmen seines Wissens und Könnens liegt. Selbstverständlich wird er bei der Platzierung der Transistoren stets den Platzbedarf für die

zu realisierende Schaltung im Auge haben. Ebenso selbstverständlich wird er Rücksprache mit dem Schaltungsentwickler nehmen, wenn er auf Schwierigkeiten stößt. So kann ihm dieser sagen, daß es für die Funktion der Schaltung ohne Bedeutung ist, wenn die Drain- bzw. Source-Anschlüsse der Transistoren 134 und 139, statt über einen gemeinsamen Transistor mit zwei Transistoren mit dem ersten bzw. zweiten Potentialpunkt verbunden sind, solange die Gates dieser beiden Transistoren verbunden sind. Dies gehört zum allgemeinen Grundwissen eines Schaltungsentwicklers und ist überdies aus der DE 43 30 778 A1 (vgl. insb. Figuren 12 und 16) zu entnehmen, wo die beiden Möglichkeiten gezeigt sind. Zwar sind dort in einer Schaltung auf beiden Seiten der Transistoren 134 und 139 einmal nur ein und einmal nur zwei Transistoren vorgesehen, doch weiß der Fachmann, daß er diese gleichwertigen Möglichkeiten auch mischen kann, dh einmal einen und einmal zwei Transistoren verwenden kann.

Nach allem gelangt der Fachmann ausgehend vom Stand der Technik zum Gegenstand des Patentanspruchs 1 ohne erfinderisch tätig werden zu müssen. Der Patentanspruch 1 ist deshalb nicht gewährbar.

Da über einen Antrag nur einheitlich entschieden werden kann, fallen auch die übrigen Patentansprüche 2 bis 21, zumal sich auch die Merkmale des nebengeordneten Patentanspruchs 21, wie die obigen Ausführungen zeigen, aus dem Stand der Technik ergeben. Die untergeordneten Patentansprüche 2 bis 20 enthalten Ausgestaltungen des Patentanspruchs 1, die nicht auf einer erfinderischen Tätigkeit beruhen.

Bertl

Dr. Greis

Prasch

Püschel

prä