



BUNDESPATENTGERICHT

17 W (pat) 3/03

(AktENZEICHEN)

Verkündet am
10. Mai 2005

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 100 36 643.0-53

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 10. Mai 2005 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch sowie des Richters Dipl.-Ing. Prasch, der Richterin Eder und des Richters Dipl.-Ing. Schuster

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluß der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 29. Juli 2002 aufgehoben und das Patent erteilt.

Der Erteilung liegen folgende Unterlagen zugrunde:

Patentansprüche 1 und 2 sowie Beschreibung Seiten 1 bis 11, jeweils überreicht in der mündlichen Verhandlung, und 2 Blatt Zeichnungen mit Figuren 1 bis 3 gemäß Offenlegungsschrift.

G r ü n d e

I.

Die vorliegende Patentanmeldung ist unter der Bezeichnung

"Verfahren und Vorrichtung zur Steuerung von Betriebsabläufen"

am 26. Juli 2000 beim Deutschen Patent- und Markenamt eingereicht worden.

Sie wurde von der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts mit Beschluss vom 29. Juli 2002 "aus den Gründen des Bescheids vom 28. März 2001" zurückgewiesen. In diesem Bescheid war ausgeführt worden, dass das Verfahren nach dem Patentanspruch 1 nicht neu sei.

Die Anmelderin hat Beschwerde eingelegt und stellt den Antrag,

den Beschluss der Prüfungsstelle für Klasse G 06 F vom 29. Juli 2002 des Deutschen Patent- und Markenamts aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 und 2, überreicht in der mündlichen Verhandlung, Beschreibung Seiten 1 bis 11, überreicht in der mündlichen

Verhandlung, Zeichnung mit Figuren 1 bis 3 wie ursprünglich eingereicht.

Die geltenden Patentansprüche lauten:

- "1. Verfahren zur Auswahl von Peripherieelementen (101-107), insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, wobei Peripherieelemente (101-107) durch einen Prozessorbaustein (100) mit einer Auswahlchnittstelle (SP1-SP4) mit einer vorgegebenen Anzahl von Auswahlleitungen (SL1-SL4) durch über diese Auswahlleitungen ausgegebene Auswahlsignale ausgewählt werden, wobei zu den Peripherieelementen (101-107) Instruktionen (200) über eine Informationsschnittstelle (108) des Prozessorbausteins übertragen werden und für die Instruktionen (200) eine festgelegte erste Anzahl binärer Einzelsignale (Bit 0-Bit 7), vorgesehen ist, wobei bei einem ersten Teil der Peripherieelemente (101-103) ein Peripherieelement ausschließlich durch die Auswahlsignale über jeweils eine Auswahlleitung (SL1-SL3) ausgewählt wird, dadurch gekennzeichnet, dass bei einem zweiten Teil der Peripherieelemente (104-107) Auswahlsignale über eine einzige Auswahlleitung (SL4) für alle diese Peripherieelemente (104-107) vorgesehen sind, wobei eine zweite Anzahl binärer Einzelsignale (Bit 6 und Bit 7) aus der ersten Anzahl binärer Einzelsignale (Bit 0-Bit 7) der Instruktionen als Auswahlkennung vorgesehen ist und die Auswahl eines Peripherieelementes (104-107) des zweiten Teils der Peripherieelemente durch die Auswahlsignale über die einzige Auswahlleitung (SL4) und zusätzlich durch

die zweite Anzahl binärer Einzelsignale (Bit 6 und Bit 7) erfolgt.

2. Vorrichtung zur Auswahl von Peripherieelementen (101-107), insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug mit Peripherieelementen (101-107) und einem Prozessorbaustein (100), wobei die Peripherieelemente (101-107) durch den Prozessorbaustein (100) mit einer Auswahlchnittstelle (SP1-SP4) mit einer vorgegebenen Anzahl von Auswahlleitungen (SL1-SL4) durch über diese Auswahlleitungen ausgegebene Auswahlsignale ausgewählt werden, mit einer Informationsschnittstelle (108) zu den Peripherieelementen (101-107), wobei Instruktionen (200) über die Informationsschnittstelle (108) des Prozessorbausteins übertragen werden und für die Instruktionen (200) eine festgelegte erste Anzahl binärer Einzelsignale (Bit 0-Bit 7) vorgesehen ist, wobei bei einem ersten Teil der Peripherieelemente (101-103) ein Peripherieelement ausschließlich durch die Auswahlsignale über jeweils eine Auswahlleitung (SL1-SL3) ausgewählt wird, dadurch gekennzeichnet, dass bei einem zweiten Teil der Peripherieelemente (104-107) Auswahlsignale über eine einzige Auswahlleitung (SL4) für alle diese Peripherieelemente (104-107) vorgesehen sind, wobei eine zweite Anzahl binärer Einzelsignale (Bit 6 und Bit 7) aus der ersten Anzahl binärer Einzelsignale (Bit 0-Bit 7) der Instruktionen als Auswahlkennung vorgesehen ist und die Auswahl eines Peripherieelementes (104-107) des zweiten Teils der Peripherieelemente durch die Auswahlsignale über die einzige Auswahlleitung (SL4) und zusätzlich durch die zweite Anzahl binärer Einzelsignale (Bit 6 und Bit 7) erfolgt."

Die Anmelderin führt aus, dass sich die Anmeldung mit der Auswahl eines Peripherieelementes aus einer größeren Anzahl durch einen Prozessorbaustein befasse. Gewöhnlich werde ein Peripherieelement dadurch ausgewählt, dass der Prozessorbaustein eine dem jeweiligen Peripherieelement zugeordnete Auswahlleitung aktiviere. Im vorliegenden Fall übersteige die Anzahl der Peripherieelemente jedoch die Anzahl der am Prozessorbaustein vorhandenen Auswahlleitungen. Daher stelle sich das Problem, wie unter dieser Einschränkung ohne größeren schaltungstechnischen Aufwand eine Auswahl unter den Peripherieelementen getroffen werden könne. Die Anmeldung schlage hierzu vor, neben den Auswahlleitungen auch die Informationsschnittstelle zur Auswahl zu verwenden, über die der Prozessorbaustein mit allen Peripherieelementen verbunden sei. Für eine solche Lösung finde sich im Stand der Technik keine Anregung, so dass die Patentfähigkeit anzuerkennen sei.

II.

Die in rechter Frist und Form erhobene Beschwerde ist zulässig und auch begründet, da der Gegenstand des nachgesuchten Patents nach den §§ 1 bis 5 PatG patentfähig ist.

Die Fassung der geltenden Patentansprüche 1 und 2 ist zulässig. Sie bezieht sich nunmehr zutreffend auf ein Verfahren und eine Vorrichtung zur Auswahl von Peripherieelementen. Denn diese und nicht die Steuerung von Betriebsabläufen ist Gegenstand der ursprünglichen Unterlagen (vgl. ua die auf S 5, Abs 1 der ursprünglichen Beschreibung genannte Aufgabenstellung). Im übrigen ergeben sich die Merkmale der geltenden Ansprüche aus den ursprünglichen Ansprüchen 1 und 2 bzw 4 und 6 iVm dem Ausführungsbeispiel.

Dem Oberbegriff des Patentanspruchs 1 nach erfolgt die Auswahl eines Peripherieelementes bei einem ersten Teil der Peripherieelemente über die vom Prozessorbaustein kommenden Auswahlleitungen. Unter diesen Auswahlleitungen führt nur eine ein Auswahlsignal und bestimmt damit das ausgewählte Peripherieelement. Einem zweiten Teil der Peripherieelemente wird hingegen entsprechend dem kennzeichnenden Teil des Anspruchs 1 eine gemeinsame Auswahlleitung zugeführt. Tritt auf dieser Auswahlleitung das Auswahlsignal auf, so sind alle Peripherieelemente des zweiten Teils (vor-)ausgewählt. Die weitere Auswahl eines der Peripherieelemente des zweiten Teils erfolgt über Instruktionen, die über die Informationsschnittstelle vom Prozessorbaustein an alle Peripherieelemente übertragen werden. Da das Instruktionsformat nicht voll für Instruktionscodes ausgeschöpft ist, können Einzelsignale (Bit 6 und Bit 7) der Instruktionen zu dieser Auswahl benutzt werden. In den Peripherieelementen des zweiten Teils kann eine Dekodierung dieser Einzelsignale bspw mit geeigneter Software vorgenommen werden.

Für den Fachmann, einen Elektronikingenieur, ist aus den Anweisungen im Anspruch 1 nachvollziehbar, wie mit geringem zusätzlichem Schaltungsaufwand, dh mit geringem Flächenbedarf, von einem Prozessorbaustein mit einer vorgegebenen Anzahl von Auswahlleitungen unter einer Anzahl von Peripherieelementen eine Auswahl getroffen werden kann, die größer ist als die Anzahl der Auswahlleitungen.

Das mit dem Patentanspruch 1 beanspruchte Verfahren zur Auswahl von Peripherielementen ist neu und beruht auf erfinderischer Tätigkeit.

In den von der Anmelderin genannten oder von der Prüfungsstelle im Prüfungsverfahren entgegengehaltenen Druckschriften findet sich keine, die das im Patentanspruch 1 dargelegte Verfahren vollständig beschreibt, so dass anzuerkennen ist, dass das beanspruchte Verfahren neu ist.

Von den entgegengehaltenen Druckschriften gibt der Auszug aus dem Buch "PC-gesteuerte Messtechnik" von Klaus Dembowski, Verlag Markt und Technik, 1993,

S 58 - 65 einen guten Überblick über die Grundprinzipien der I/O-Adressendekodierung, dh der Auswahl unter mehreren Peripherielementen. Im Abschnitt 3.2 werden die Grundzüge dreier Auswahlmethoden erläutert. Zuerst ist die Auswahl durch einen Dekodierer aus einzelnen TTL-Bausteinen für einen festen Adressbereich erwähnt. Ein Peripherielement ist dann ausgewählt, wenn die vom Prozessorbaustein ausgegebene (I/O-)Adresse in dem von einem Baustein dekodierten Adressbereich liegt (vgl "1.", S 59 aaO). Die zweite dargelegte Methode geht davon aus, dass jedem Peripherielement per DIP-Schalter eine bestimmte Adresse zugeordnet wird und ein Vergleicher die vom Prozessorbaustein kommende (I/O-)Adresse mit dieser zugeordneten Adresse vergleicht. Bei Übereinstimmung ist das betreffende Peripherielement ausgewählt. Als dritte Methode wird die Programmierung von PAL-Bausteinen erläutert. Ein solcher Baustein wird so programmiert, dass er die Adresse oder den Adressbereich dekodiert, der dem jeweiligen Peripherielement zugeordnet ist und entsprechend ein Auswahlsignal abgibt. Einen Hinweis für eine Vorauswahl und eine nachfolgende (End-)Auswahl findet sich in diesem Auszug aber nicht.

Die Auswahl von Peripherielementen mit PAL-Bausteinen, also entsprechend der letztgenannten Methode, ist auch Gegenstand der EP 0 733 976 A1, des IBM TDB Vol. 31, No. 8 vom Januar 1989, S 202, 203 und des Aufsatzes "EPROM decoder für device selection" in "Electronic Engineering" vom Juni 1986, S 36, wobei bei letzterem anstelle eines PAL ein gleichwirkendes EPROM zum Einsatz kommt. Allen diesen Druckschriften ist zu eigen, dass die Vorauswahl per PAL oder EPROM durch das Vorsehen von Dekodierern erweitert wird. Würde der Fachmann den Vorschlägen in diesen Druckschriften folgen, so müsste er zur Erweiterung der Anzahl der auswählbaren Peripherielemente die am Prozessorbaustein vorhandenen Auswahlleitungen um zusätzliche Dekodierer ergänzen, also den nicht gewünschten Nachteil eines zusätzlichen Aufwandes in Kauf nehmen. Die US 5 954 804, die JP 10-97463 A und das IBM TDB Vol. 22, No. 3 vom August 1979, S 882 - 883 gehen von der Auswahl von Peripherielementen nach der oben erwähnten zweiten Methode aus, dh der Zuordnung einer bestimmten

Adresse zu jedem Peripherieelement und der Auswahl durch Vergleich dieser Adresse mit der vom Prozessorbaustein kommenden Adresse. Diese Methode unterscheidet sich grundsätzlich von der Dekodierung nach dem Patentanspruch 1, die auf einer Auswahl von Peripherieelementen durch eine Kombination von Auswahlsignalen auf Auswahlleitungen und Einzelsignalen, die auf einer Informationsschnittstelle übertragen werden, beruht.

Die einzige Druckschrift, die sich mit der Auswahl von Peripherieelementen (Input/output expandern) über die Informationsschnittstelle eines Prozessorbausteins befasst, ist der Aufsatz "Expanding the I/O facilities of the 8051 microcomputer" von Robert Brawner in "Electronics" vom 3. November 1983, S 162. Dieser Druckschrift kann der Fachmann entnehmen, dass die Anzahl der durch einen Prozessorbaustein auswählbaren Peripherieelemente durch I/O-Expander erweitert werden kann und zur Auswahl der Peripherieelemente allein Signale auf der Informationsschnittstelle des Prozessorbausteins verwendet werden können. Eine Anregung, zur Auswahl der Peripherieelemente darüber hinaus noch Auswahlsignale des Prozessorbausteins einzusetzen, ist in dieser Druckschrift nicht enthalten. Denn offenbar sind Prozessorbaustein und I/O-Expander derart aufeinander abgestimmt, dass eine ausreichende Anzahl von Peripherieelementen ohne Auswahlleitungen ausgewählt werden kann. Die Ausführungen in dieser Druckschrift können daher auch bei gemeinsamer Betrachtung mit den vorgenannten Druckschriften das Verfahren nach dem Anspruch 1 nicht nahe legen.

Die weiteren im Prüfungsverfahren genannten Druckschriften befassen sich mit anderen Problemstellungen. So beschäftigt sich die DE 196 09 883 C1 mit der Unterscheidung von systemkompatiblen und inkompatiblen Einheiten über eine Auswahlleitung (SL Leitung) und die GB 2 264 576 A mit der zweistufigen Auswahl zunächst eines Boards und dann von Einheiten auf dem Bord an einem Bus mit serieller Adressübertragung. Die DE 197 52 031 A1 behandelt letztlich die Erkennung von Bitverfälschungen. Die US 4 360 870 schließlich befasst sich mit der dynamischen Zuweisung von I/O-Adressen an Peripherieelemente in einem Initia-

lisierungsvorgang und geht im übrigen von der Auswahl durch einen Adressenvergleich aus, wie sie Gegenstand der oben erläuterten zweiten Methode ist.

Der entgegengehaltene Stand der Technik kann daher insgesamt das Verfahren zur Auswahl von Peripherieelementen gemäß dem Patentanspruch 1 nicht nahe legen.

Der Patentanspruch 2 ist auf eine Vorrichtung zur Auswahl von Peripherieelementen gerichtet, bei der die Auswahl in der zum Anspruch 1 dargelegten Weise ausgeführt wird. Der Gegenstand dieses Anspruchs ist somit durch die entgegengelassenen Druckschriften ebenfalls nicht nahegelegt. Dieser Anspruch ist daher auch gewährbar.

Die Änderungen in der Beschreibung umfassen lediglich eine redaktionelle Anpassung an die geltenden Patentansprüche und Ergänzungen in der Würdigung des Standes der Technik.

Dr. Fritsch

Prasch

Eder

Schuster

Hu