



BUNDESPATENTGERICHT

17 W (pat) 67/05

(Aktenzeichen)

Verkündet am
28. Oktober 2008

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 196 19 497.0-55

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 28. Oktober 2008 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch, des Richters Dipl.-Ing. Prasch sowie der Richterinnen Eder und Dipl.-Ing. Wickborn

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe:

I.

Die vorliegende Patentanmeldung mit der Bezeichnung:

„Burst-Mode-Enderkennungseinheit“

ist am 14. Mai 1996 beim Deutschen Patent- und Markenamt unter Inanspruchnahme der Priorität der koreanischen Anmeldung 95-11884 vom 15. Mai 1995 eingereicht worden.

Sie wurde durch Beschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts vom 18. Januar 2005 mit der Begründung zurückgewiesen, der Gegenstand des Patentanspruchs 1 beruhe gegenüber dem genannten Stand der Technik nicht auf erfinderischer Tätigkeit.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet. Sie stellt den Antrag, den angefochtenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

gemäß Hauptantrag mit
Patentanspruch 1, überreicht in der mündlichen Verhandlung,
Patentansprüchen 2-6 vom 22. August 2005, eingegangen am
24. August 2005, noch anzupassender Beschreibung und
3 Blatt Zeichnungen mit 3 Figuren vom 26. Juli 1996;

gemäß Hilfsantrag mit
Patentansprüchen 1-3, überreicht in der mündlichen Verhandlung,
noch anzupassender Beschreibung und
Zeichnungen mit Figuren wie Hauptantrag.

Der Patentanspruch 1 nach Hauptantrag mit einer möglichen Gliederung lautet:

„Burst-Mode-Enderkennungseinheit mit:

- a) einer Vielzahl von Bitzählern (12, 14, 16),
- b) die in Erwiderung auf ein Rücksetzsignal zurückgesetzt werden, um verschiedene Zählungen synchron zu einem Taktsignal in einer derartigen Weise zu erzeugen, dass die Zählungen sequentiell um eins erhöht werden,
- c) wobei das Rücksetzsignal erzeugt wird, wenn ein Burst-Mode bestimmt wurde,

und gekennzeichnet durch:

- d) eine erste Dekodiervorrichtung zur Vordekodierung externer Burstlängendaten, um die Burstlängendaten auf eine Eingangsleitung (15, 17, 19, 21) eines Vergleichers zu platzieren;
- e) eine zweite Dekodiervorrichtung (18) zur Dekodierung von Ausgangssignalen der Bitzähler (12, 14, 16);
- f) und wobei mehrere Vergleicher vorgesehen sind, von denen jeder bei einer bestimmten Burstlänge ein Signal an einem

Knoten (N1) erzeugt, um das Ende des Burstmodus anzuzeigen.“

Hinsichtlich der Unteransprüche 2-5 wird auf die Akte verwiesen.

Der Patentanspruch 6 nach Hauptantrag lautet:

„Halbleiterspeichervorrichtung mit einer Burst-Mode Enderkennungseinheit nach einem der vorstehenden Ansprüche.“

Der geltende Patentanspruch 1 gemäß Hilfsantrag mit einer möglichen Gliederung lautet:

„Burst-Mode-Enderkennungseinheit mit:

- a) einer Vielzahl von Bitzählern (12, 14, 16),
- b) die in Erwiderung auf ein Rücksetzsignal zurückgesetzt werden, um verschiedene Zählungen synchron zu einem Taktsignal in einer derartigen Weise zu erzeugen, dass die Zählungen sequentiell um eins erhöht werden,
- c) wobei das Rücksetzsignal erzeugt wird, wenn ein Burst-Mode bestimmt wurde,

und gekennzeichnet durch:

- d) eine erste Dekodiervorrichtung zur Vordekodierung externer Burstlängendaten, um die Burstlängendaten auf eine Eingangslinie (15, 17, 19, 21) eines Vergleichers zu platzieren;

- e) eine zweite Dekodiervorrichtung (18) zur Dekodierung von Ausgangssignalen der Bitzähler (12, 14, 16);
- f) und wobei mehrere Vergleicher vorgesehen sind, von denen jeder bei einer bestimmten Burstlänge ein Signal an einem Knoten (N1) erzeugt, um das Ende des Burstmodus anzuzeigen, und
- g) eine Ausgabevorrichtung (20) zur Ausgabe eines Burstmodusendesignals, wenn das Signal an dem Knoten (N1) das Ende des Burstmodus anzeigt, synchron zu dem Taktsignal;
- h) wobei die Vergleicher (MN5, MN6, MN7, MN8) jeweils Transistorreihenschaltungen umfassen, die parallel zwischen dem Knoten (N1) und einer Erdspannungsquelle (Vss) geschaltet sind.“

Hinsichtlich der Unteransprüche 2 und 3 wird auf die Akte verwiesen.

Ihnen liegt die Aufgabe zugrunde, eine Burst-Mode-Enderkennungseinheit für die genaue Erkennung der Endzeit des Burst-Modes zu schaffen (Beschreibung, eingegangen am 24. August 2005, S. 2a Abs. 1).

Die Anmelderin vertrat bezüglich des Hauptantrages die Auffassung, dass grundsätzliche Unterschiede zum Stand der Technik existierten, da vor dem Vergleich beide zu vergleichenden Signale dekodiert würden. Der Fachmann stelle sich die Aufgabe, die Zugriffszeit zur Speichervorrichtung zu verkürzen. Die Einfügung der Dekodiervorrichtungen widerspreche dieser Absicht. Denn zusätzliche Bauteile ziehe er zur Verkürzung der Zugriffszeit nicht in Erwägung, da er dies generell als nachteilig ansehe. Diese Nachteile würden jedoch in der beanspruchten Vorrichtung

an anderer Stelle durch Geschwindigkeitszuwachs kompensiert. Denn z. B. am Ausgang des ersten Vergleichers stehe bei einer Burstlänge von 1 bereits das Signal zur Signalisierung des Endes des Burstmodus am Knoten N1 zur Verfügung.

Die erste Dekodiervorrichtung gebe die Burstlänge vor, was aus D2 nicht entnehmbar sei.

Der Fachmann habe zudem keine Veranlassung, die funktionsfähige Schaltung gemäß D2 zu verändern und dabei die Ausführungen in der D5 zu berücksichtigen. Denn der Fachmann ziehe nicht ein fast 20 Jahre altes Buch zu Rate, zumal dessen Inhalt im Zusammenhang mit einem DRAM auch nicht relevant sei.

Die Vorrichtung ergebe sich deshalb nicht durch Routinegriffe des Fachmanns.

Zum Hilfsantrag führte die Anmelderin aus, dass der mit der Vorrichtung beim Speicherzugriff erzielbare Geschwindigkeitszuwachs durch die Einfügung, dass am Ausgang eines jeden Vergleichers bei einer bestimmten Burstlänge ein Signal an einem Knoten (N1) erzeugt wird, um das Ende des Burstmodus anzuzeigen, betont werden solle.

II.

Die Beschwerde wurde frist- und formgerecht eingelegt und ist auch sonst zulässig. Sie ist jedoch nicht begründet, denn der Gegenstand des Patentanspruchs 1 nach Hauptantrag sowie der Gegenstand des Patentanspruchs 1 nach Hilfsantrag 1 beruhen nicht auf einer erfinderischen Tätigkeit (§ 4 PatG).

1. Die Anmeldung betrifft das Erkennen des Endes eines im Burstmode durchgeführten Lese- oder Schreibzugriffs auf einen SDRAM.

Beim Ansteuern eines synchronen DRAMs im Burst-Mode, d. h. zum aufeinanderfolgenden Lesen und Schreiben von Daten, wird die Zeilenadresse vorgegeben und für die Adressierung der Speicherzellen innerhalb der Zeile wird nur eine Startadresse bereitgestellt. Diese Startadresse wird in einen vor-

einstellbaren Spaltenadresszähler geladen, der zyklisch inkrementiert wird. Die Burstlänge (Taktanzahl) gibt dabei an, wie viele Speicherstellen in der Zeile ab der Startadresse gelesen oder beschrieben werden sollen. Dem Fachmann ist bekannt, dass dabei ein Zugriff auf eine vorbestimmte unterschiedliche Anzahl von Speicherzellen, d. h. Burstlängen von 1, 2, 4 und 8 oder z. B. auch seitenweiser Betrieb unterstützt werden kann. Mit der Enderkennung wird bewirkt, dass der mit der Startadresse voreingestellte Spaltenadresszähler nur bis zum Erreichen der Burstlänge zählt und der Lese- oder Schreibzugriff (Burst-Mode) auf den Speicher beendet wird. Danach erfolgt eine Umschaltung in einen Bereitschaftsmodus, um nachfolgend für einen neuen Burst-Mode die entsprechenden Einstellungen vornehmen zu können.

Hierfür ist die genaue Erkennung des Endes des Burst-Modus erforderlich (Beschreibung, eingegangen am 24. August 2005 S. 1 - S. 2 Abs. 1).

In der Anmeldung wird ein Burst-Mode beschrieben, der Burstlängen von 1, 2, 4 und 8 unterstützt. Hierfür werden die für diesen Modus erforderlichen Burstlängendaten dekodiert, um ein der konkreten Burstlänge entsprechendes Signal auf jeweils eine separate Eingangsleitung zu legen, die einem jeder einzelnen Burstlänge zugeordneten Vergleicher zugeführt werden. Es wird ein aus einzelnen Bitzählern bestehender Synchronzähler, der im Dualcode zählt, verwendet, der bei Erkennung des Burst-Modus auf Null zurückgesetzt und anschließend taktsynchron inkrementiert wird. Die Ausgangssignale der einzelnen Bitzähler des Synchronzählers bilden die mit den den vorgegebenen Burstlängendaten entsprechenden Signalen zu vergleichenden weiteren Eingangssignale der Vergleicher. Sobald das Ausgangssignal des inkrementierenden Bitzählers mit dem auf der jeweiligen Eingangsleitung anliegenden der vorgegebenen Burstlänge entsprechenden Signal übereinstimmt, wird durch den jeweiligen Vergleicher das Ende des Burst-Modus über dessen Ausgangssignal, das jeweils an einem Knoten (N1) anliegt, signalisiert und damit ein Abbruch des Spaltenadresszählers veranlasst.

Konkret wird dabei der erste Bitzählerstand mit einem Signal für die Burstlänge 2 verglichen, der zweite Bitzählerstand über Gatter GA 1 und Inverter GI 1 mit einem Signal für der Burstlänge 4 und der 3. Bitzählerstand über Inverter GI 2 und Gatter GO 1 mit einem Signal für der Burstlänge 8 verglichen. Die aus den Gattern GA 1, GO 1 und den Invertern 1 und 2 bestehende Verknüpfung der Zählerausgangssignale der drei Bitzähler wird als Dekodiervorrichtung bezeichnet. Die einzelnen Vergleicher bestehen aus parallel zwischen dem Knoten (N1) und der Erdungsspannungsquelle liegenden Transistorreihenschaltungen zum bitweisen Vergleich mittels einer durch die Transistoren gebildeten NAND-Verknüpfung. Das am Knoten (N1) anliegende das Ende des Burstmodus anzeigende Ausgangssignal der Vergleicher wird einer Ausgabevorrichtung zugeführt, die das Burstmodusendsignal taktsynchron ausgibt.

Als **Fachmann** für einen derartigen Sachverhalt wird ein Elektronikingenieur angesehen, der mehrjährige Erfahrungen auf dem Gebiet der Speichersteuerung besitzt.

2. Zum Hauptantrag

2.1 Das Merkmal f gemäß Anspruch 1 nach Hauptantrag ist unvollständig und wird vom Fachmann dahingehend ergänzt, dass dem jeweiligen Vergleicher auch Signale der (dekodierten) Ausgangssignale der Bitzähler zugeführt werden und die Erkennung des Endes des Burst-Modus bei Gleichheit des Bitzählerstandes mit dem über die erste Dekodiervorrichtung zugeführten der vorgegebenen Burstlänge entsprechenden Signal erfolgt.

2.2 Die Burst-Mode-Enderkennungseinheit gemäß Anspruch 1 nach Hauptantrag ist nicht patentfähig, weil sie nicht auf erfinderischer Tätigkeit beruht.

Die Vorrichtung nach Anspruch 1 ist dem Fachmann bei Kenntnis der im Prüfungsverfahren genannten

D2: US 5 327 390

in Verbindung mit dem Fachwissen des Durchschnittsfachmanns, dokumentiert durch

D5: Kühn, E.; Schmied, H.: Handbuch Integrierte Schaltkreise.
Verlag Technik Berlin 1980 S. 137 - 139,

nahegelegt.

Die D2 betrifft Burstzugriffe auf einen synchronen DRAM, bei denen auf eine vorbestimmte Anzahl von Speicherzellen zugegriffen wird. Dabei wird das Ende eines Burstzugriffs mittels Burst-Mode-Enderkennungseinheiten erkannt. Die bekannte Burst-Mode-Enderkennungseinheit weist eine Zugriffszähleinrichtung 60 auf zum Zählen von Taktsignalen und zum Generieren eines Signals 64, das zum Erkennen des Endes des Burst-Modus, wenn eine der Burstlänge entsprechende vorbestimmte Anzahl von Spalten adressiert wurde, und zum Anhalten eines Spaltenadresszählers dient (Fig. 10 und 11 mit Erläuterungen Sp. 10 Z. 65 - Sp. 12 Z. 34). Diese Zugriffszähleinrichtung 60 weist hierzu einen Mehrbit-Zähler 66 auf (äquivalent zu **Merkmal a**), der bei Erkennung des Burst-Modus auf Null zurückgesetzt wird (**Merkmal c**) und taktsynchron inkrementiert wird (äquivalent zu **Merkmal b**) sowie ein Register 65, in das die Burstlänge (z. B. N=3) geschrieben wird. Bei Erfassung der Übereinstimmung des Registerwertes mit dem Zählerstand (match detect 67) wird über das Signal 64 das Inkrementieren des mit der Startadresse voreingestellten Spaltenadresszählers 18 abgebrochen und gleichzeitig das Signal 64 an die Ein-/Ausgabeschaltung 12 geführt (Sp. 11 Abs. 1, Z. 19-21, Abs. 3, 4, 7). Damit wird das Ende des Burst-Modus erkannt (äquivalent zu **Merkmal f**). Die Burstlänge kann dabei eine Anzahl von Takten oder eine Anzahl

von Blöcken (z. B. $N=3$) sein. Bei der blockweisen Adressierung werden dabei die beiden niederwertigsten Bits des Zählers 18 und des Registers 65, wobei der Zähler 18 und das Register 65 die gleiche Bitbreite aufweisen, auf Null gesetzt und Werte nur in die höherwertigen Stellen des Zählers bzw. Registers geschrieben, so dass bei bitweiser und blockweiser Adressierung ein schneller Zugriff erreicht wird (Sp. 11 Z. 19-21, Z. 60-64 in Verbindung mit Sp. 9 Abs. 3 und Sp. 10 vorl. Abs., Sp. 6 Z. 46-50).

Eine erste Dekodiervorrichtung, die die externen Burstlängendaten dekodiert, wird in D2 zwar nicht explizit angesprochen, wie von der Anmelderin geltend gemacht. Der Fachmann liest in D2 jedoch mit, dass die im Register 65 gespeicherte und als Vergleichswert zur Bestimmung der Endzeit des Burst-Modus erforderliche Burstlänge als vorbestimmte konkrete Anzahl von Takten oder Blockanzahl das Ergebnis einer vorherigen Dekodierung ist. Denn die Einstellung der Burstlänge als Zahlenwert (z. B. $N=3$) im Register 65 setzt voraus, dass vorab eine Dekodierung der für den konkreten Zugriff zu realisierenden Burstlänge vorgenommen wurde (äquivalent zu **Merkmal d**).

Ein zur ersten Dekodiervorrichtung äquivalentes Bauteil ist damit bei D2 kein zusätzliches, sondern ein erforderliches Bauteil, so dass die diesbezügliche Argumentation der Anmelderin nicht greift.

Der Fachmann hat auch Anlass, die aus D2 bekannte Burst-Mode-Enderkennungseinheit zu verändern. Denn die aus D2 bekannte Burst-Mode-Enderkennungseinheit ist geeignet für Burstzugriffe beliebiger Burstlängen.

Wenn sich der Fachmann demgegenüber die objektive Aufgabe stellt, die aus D2 bekannte Einrichtung zur ausschließlichen Unterstützung von Speicherzugriffen mit Burstlängen von 1, 2, 4, 8 zu optimieren, wird er den Mehrbitzähler 66 in D2 durch einen hieran angepassten Zähler, z.B. einen Synchronzähler im Dualcode (D5 S. 137 f. Abschnitt 12.4), ersetzen.

Ein solcher Binärzähler ist dem Fachmann, einem Elektronikingenieur, aus seiner Grundausbildung bekannt und gehört damit zu seinem Grundwissen, wie beispielsweise D5 belegt. Bei D5 handelt es sich entgegen der Auffassung der Anmelderin um ein Lehrbuch über Grundlagen Integrierter Schaltkreise. Das mit D5 belegte Grundlagenwissen wird der Fachmann ohne Weiteres auch für die Ansteuerungslogik eines DRAM einsetzen.

Ein derartiger Binärzähler besteht aus einzelnen synchronen Bitzählern (**Merkmal a**), die in bekannter Weise als Synchronzähler mit serieller Verknüpfung der Vorbereitungseingänge verschaltet sind (D5 S. 137 Bild 12.4 b), und taktweise inkrementiert werden (**Merkmal b**). Zur dabei erforderlichen Taktuntersetzung um den Faktor 2, bei dem jeder Bitzähler den 2. Takt des vorhergehenden zählt (D5 S. 137 Bild 12.4 c), ist als Eingangssignal des 3. Zähler eine UND-Verknüpfung der Ausgangssignale der ersten beiden Zähler erforderlich (D5 S. 137 Bild 12.4 b). Daraus ergibt sich für den Fachmann die Notwendigkeit der Verknüpfung der Ausgangssignale der Bitzähler als integraler Bestandteil des Synchronzählers zur Erzeugung der Zählsignale (**Merkmal e**). Die zweite Dekodiervorrichtung ist damit kein zusätzlich erforderliches sondern zwingend notwendiges Bauteil des verwendeten Zählers, so dass die diesbezügliche Argumentation der Anmelderin nicht greift.

Da bei Verwendung eines Synchronzählers im Dualcode separate Bitzähler existieren und deshalb jeder Zahlenwert bzw. jede Bitposition einzeln verglichen wird, liegen auch separate Ausgangssignale für jeden Zahlenwert vor. Es ergibt sich somit die Verwendung jeweils eines separaten Vergleichers für jede einzustellende Burstlänge zwangsläufig. Um bei Gleichheit der Eingangssignale eines der Vergleichers das Ende des Burst-Modus signalisieren zu können, müssen die Ausgangssignale der Vergleichers an einem gemeinsamen Knoten anliegen (**Merkmal f**). An die einzelnen Vergleichers sind dann auch die den zu vergleichenden Burstlängendaten entsprechenden Signale jeweils über eine separate Eingangsleitung zu führen. Der Fachmann wird hierfür die extern vorgegebenen Burstlängendaten umsetzen, so dass er eine der Anzahl der möglichen Burstlängen entsprechende Anzahl von Eingangsleitungen vorsieht (**Merkmal d**).

Die Verwendung der beiden Dekodiervorrichtungen ergibt sich somit entgegen der Auffassung der Anmelderin zwangsläufig aus der Verwendung des synchronen Binärzählers im Dualcode statt des Mehrbitzählers 66 in D2.

Die von der Anmelderin geltend gemachte mit der beanspruchten Vorrichtung erzielbare Verkürzung der Zugriffszeit auf den SDRAM wird bereits mit der Lehre gemäß D2 (Sp. 6 Z. 46-50) erreicht. Das tatsächliche Beenden des Burst-Modus erfolgt in D2 zeitverzögert, um die letzten n Daten auszugeben und dann erst die Ausgabe zu unterbrechen (D2 Sp. 12 Z. 8 f. in Verbindung mit Sp. 6 Z. 10-18). Eine Signalisierung des Endes des Burstzugriffs kann jedoch sofort erfolgen (D2 Sp. 13 le. Abs.). Was demgegenüber durch die beanspruchte Signalisierung des Endes des Burstmodus am Knoten (N1) für die Zugriffszeit zum DRAM insgesamt bewirkt wird, ist nicht beansprucht und wird auch in der Anmeldung nicht näher offenbart. Denn es ist aus den Anmeldeunterlagen nicht entnehmbar, was diese Signalisierung an den weiteren Betriebsabläufen ändert, um eine gegenüber D2 nochmalige Verkürzung der Zugriffszeit zum DRAM insgesamt zu bewirken, so dass die diesbezügliche Argumentation der Anmelderin nicht greift.

Bei Verwendung eines dem Fachmann geläufigen synchronen Binärzählers im Dualcode als Zähler 66 gemäß D2 ergibt sich der Anspruchsgegenstand deshalb für den Fachmann ohne erfinderisches Zutun.

Damit liegt der Gegenstand des Anspruchs 1 gemäß Hauptantrag gegenüber D2 im Bereich fachgemäßen Handelns.

Zusammenfassend ist festzustellen, dass der Patentanspruch 1 nach Hauptantrag nicht gewährbar ist, da sein Gegenstand nicht auf erfinderischer Tätigkeit beruht.

2.3 Mit dem Patentanspruch 1 fällt auch der nebengeordnete Anspruch 6, so dass es dahingestellt bleiben kann, ob ein Speicher nach Anspruch 6 ursprünglich offenbart ist.

2.4 Dem Hauptantrag der Anmelderin war deshalb nicht stattzugeben.

3. Zum Hilfsantrag:

3.1 Der Patentanspruch 1 nach Hilfsantrag basiert auf dem Patentanspruch 1 nach Hauptantrag. Er unterscheidet sich von diesem durch Hinzufügen der Konkretisierungen mit den Merkmalen g und h, wonach eine Ausgabevorrichtung zur Ausgabe eines Burstmodusendesignals synchron zu dem Taktsignal, wenn das Signal an dem Knoten (N1) das Ende des Burstmodus anzeigt, vorgesehen ist, und die Vergleicher jeweils Transistorreihenschaltungen umfassen, die parallel zwischen dem Knoten und einer Erdspannungsquelle geschaltet sind und beinhaltet ansonsten die Merkmale a-f nach Hauptantrag.

3.2 In einer solchen Konkretisierung des Anspruchs 1 nach Hilfsantrag kann keine erfinderische Leistung erkannt werden.

In D2 erfolgt ebenfalls die taktsynchrone Ausgabe eines Burstmodusendesignals an eine Ausgabevorrichtung 12, wenn das Ausgangssignal 64 des Vergleichers 67 das Ende des Burstmodus anzeigt (äquivalent zu **Merkmal g**). Denn sowohl der Adresszähler 18 als auch die Ein/Ausgabe- Steuerschaltung 36 der Ausgabevorrichtung 12, die beide das Signal 64 erhalten, arbeiten taktsynchron. Wie bereits zum Hauptantrag ausgeführt, wird der Fachmann wegen Anwendung des Synchronzählers im Dualcode mit Einzelbitvergleich der (dekodierten) Ausgangssignale der einzelnen Bitzähler das am Knoten anliegende Ausgangssignal der Vergleicher als das Ende des Burstmodus anzeigende Signal nutzen (**Merkmal g**).

Merkmal h stellt eine fachgemäße Maßnahme der konkreten Ausgestaltung der Vergleichsvorrichtung dar. Denn dem Fachmann ist bekannt, dass ein Vergleich zweier logischer Werte z. B. mittels eines NAND-Gatters erfolgen kann und diese logische Verknüpfung mittels einer Reihenschaltung von zwei Transistoren realisiert werden kann. Um den bitweisen Vergleich mit mehreren Vergleichern zu realisieren, ist deshalb eine parallele Verschaltung der einzelnen Transistor-

reihenschaltungen zwischen einem Knoten und der Erdungsspannungsquelle erforderlich. In D2 erfolgt der Vergleich des Wertes eines Mehrbitzählers mit dem Registereintrag. Dem Fachmann ist bekannt, dass dieser Vergleich bei seiner tatsächlichen Realisierung letztendlich ebenfalls bitweise auf Transistorebene erfolgt.

Für die mit dem Patentanspruch 1 nach Hauptantrag ansonsten übereinstimmenden Merkmale a-f gilt die Argumentation zu den Merkmalen a-f zum Hauptantrag in entsprechender Weise.

Die im Anspruch 1 nach Hilfsantrag beanspruchte Vorrichtung ist dem Fachmann daher durch die D2 in Verbindung mit seinem Fachwissen nahe gelegt.

3.3 Zusammenfassend ist festzustellen, dass der Patentanspruch 1 nach Hilfsantrag mangels eines auf erfinderischer Tätigkeit beruhenden Gegenstands nicht gewährbar ist.

3.4 Dem Hilfsantrag der Anmelderin war deshalb ebenfalls nicht stattzugeben.

4. Die Gegenstände der Ansprüche 1 und 6 nach Hauptantrag sowie der Gegenstand des Anspruchs 1 nach Hilfsantrag sind somit nicht patentfähig. Mit dem Anspruch 1 nach Hauptantrag fallen notwendigerweise auch die darauf rückbezogenen geltenden Unteransprüche 2-5, mit dem Anspruch 1 nach Hilfsantrag fallen notwendigerweise auch die darauf rückbezogenen geltenden Unteransprüche 2 und 3; zumal die Unteransprüche lediglich fachgemäße Ausgestaltungen beinhalten und dafür auch keine erfinderische Besonderheit geltend gemacht wurde.

Bei dieser Sachlage war die Beschwerde der Anmelderin gegen den Beschluss der Prüfungsstelle G11C zurückzuweisen.

Dr. Fritsch

Prasch

Eder

Wickborn

Me