



BUNDESPATENTGERICHT

23 W (pat) 1/06

Verkündet am
7. Mai 2009

(Aktenzeichen)

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 100 66 244.7- 33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 7. Mai 2009 unter Mitwirkung des Vorsitzenden Richters Dr. Tauchert, der Richterin Dr. Hock sowie der Richter Brandt und Maile

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung 100 66 244 ist eine Ausscheidung aus der Stammanmeldung 100 31 881, die am 30. Juni 2000 beim Deutschen Patent- und Markenamt unter Inanspruchnahme der japanischen Priorität JP 11-187 018 vom 30. Juni 1999 eingereicht wurde. Sie trägt die Bezeichnung „Halbleitereinrichtung und Verfahren zur Herstellung der Halbleitereinrichtung“.

Mit Beschluss vom 4. August 2005, im Abholfach des Vertreters der Anmelderin niedergelegt am 2. September 2005, hat die Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts die vorliegende Ausscheidungsanmeldung zurückgewiesen. In ihrer Begründung weist sie darauf hin, der geltende Anspruch 1 sei mit dem ursprünglichen Anspruch 1 der Stammanmeldung 100 31 881 identisch. Zu diesem habe sie der Anmelderin in ihrem Prüfungsbescheid vom 15. Oktober 2002 in der Stammanmeldung bereits mitgeteilt, dass die Halbleitereinrichtung nach diesem Anspruch gegenüber dem Stand der Technik gemäß der Druckschrift

(3) DE 44 02 216 A1

nicht neu sei, so dass mit diesen Unterlagen keine Patenterteilung in Aussicht gestellt werden könne.

Darüber hinaus führt die Prüfungsstelle in ihrem Bescheid zusätzlich aus, dass die Halbleitereinrichtung auch gegenüber dem Stand der Technik nach der Druckschrift

(1) US 5 739 563

nicht neu sei.

Gegen diesen Beschluss wendet sich die Beschwerde der Anmelderin vom 5. Oktober 2005, beim DPMA fristgerecht eingegangen am selben Tag.

In der mündlichen Verhandlung stellt die Anmelderin den Antrag,

den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 2, überreicht in der mündlichen Verhandlung vom 7. Mai 2009, Beschreibungsseiten 2, 3 und 3a, überreicht in der mündlichen Verhandlung vom 7. Mai 2009, Beschreibungsseiten 1, 4 bis 24, eingegangen am 10. August 2004, Zeichnung, Figuren 1 bis b, 13 Blatt, eingegangen am 10. August 2004 (Hauptantrag).

Hilfsweise stellt sie den Antrag,

das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 2, überreicht in der mündlichen Verhandlung vom 7. Mai 2009, Beschreibungsseiten 2, 3 und 3a, überreicht in der mündlichen Verhandlung vom 7. Mai 2009, Beschreibungsseiten 1, 4 bis 24, eingegangen am 10. August 2004, Zeichnung, Figuren 1 bis 9b, 13 Blatt, eingegangen am 10. August 2004 (1. Hilfsantrag).

Weiter hilfsweise stellt sie den Antrag,

das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 2, überreicht in der mündlichen Verhandlung vom 7. Mai 2009, Beschreibungsseiten 2, 3 und 3a, überreicht in der mündlichen Verhandlung vom 7. Mai 2009, Beschreibungsseiten 1, 4 bis 24, eingegangen am 10. August 2004, Zeichnung, Figuren 1 bis 9b, 13 Blatt, eingegangen am 10. August 2004 (2. Hilfsantrag).

Der geltende Anspruch 1 nach Hauptantrag lautet:

„Halbleitereinrichtung, gekennzeichnet durch ein Halbleitersubstrat und eine Vielzahl von Kondensatoren, die auf dem Halbleitersubstrat gebildet sind, wobei die Vielzahl von Kondensatoren umfasst:

- eine Isolationsschicht (14), die über dem Halbleitersubstrat gebildet ist und eine Vielzahl von Löchern (15) aufweist;
- eine Vielzahl von unteren Elektroden (16), die in den Löchern (15) der Isolationsschicht (14) durch Zurücklassen eines einzelnen Films in den Löchern (15) gebildet sind;
- einen ferroelektrischen Film (17), der die Vielzahl von unteren Elektroden (16) kontinuierlich abdeckend gebildet ist; und
- eine obere Elektrode (18), die auf der Oberfläche des ferroelektrischen Films (17) gebildet ist;

wobei jeder der Vielzahl von Kondensatoren für jede der unteren Elektroden (16) gebildet wird.“

Der Anspruch 1 nach dem 1. Hilfsantrag enthält neben diesen in veränderter Reihenfolge aufgeführten Merkmalen zusätzlich Angaben, wonach die obere Elektrode und die ferroelektrische Schicht am Rand eines oberen Strukturierungsbereichs eine Strukturierung aufweisen und wonach die Isolationsschicht wenigstens den oberen Strukturierungsbereich umfasst und die Vielzahl der unteren Elektroden voneinander isoliert, wobei ihre Oberfläche mit der Vielzahl der unteren Elektroden flächig abschließt. Die Angabe, dass die Elektroden in den Löchern durch Zurücklassen eines einzelnen Films gebildet sind, ist dagegen nicht mehr im Anspruch enthalten. Der vollständige Anspruch 1 nach dem 1. Hilfsantrag lautet:

„Halbleitereinrichtung, gekennzeichnet durch ein Halbleitersubstrat und eine Vielzahl von Kondensatoren, die auf dem Halbleitersubstrat gebildet sind, wobei die Vielzahl von Kondensatoren umfasst:

- eine Vielzahl von unteren Elektroden (16), die über dem Halbleitersubstrat gebildet sind;
- einen ferroelektrischen Film (17), der die Vielzahl von unteren Elektroden (16) kontinuierlich abdeckend gebildet ist;
- eine obere Elektrode (18), die auf der Oberfläche des ferroelektrischen Films (17) gebildet ist und die einen oberen Strukturierungsbereich umschließt, an dessen Rand die obere Elektrode (18) und der ferroelektrische Film 17 eine Strukturierung aufweisen;
- eine über dem Halbleitersubstrat gebildete Isolationsschicht (14), die eine Vielzahl von Löchern (15) aufweist, in denen die Vielzahl von unteren Elektroden (16) angeordnet sind, die Benachbarte der Vielzahl von unteren Elektroden (16) voneinander isoliert, deren Oberfläche mit der Vielzahl von unteren Elektroden (16) flächig abschließt und die wenigstens den oberen Strukturierungsbereich umfasst;

wobei jeder der Vielzahl von Kondensatoren für jede der unteren Elektroden (16) gebildet wird.“

Der Anspruch 1 nach dem 2. Hilfsantrag unterscheidet sich vom Anspruch 1 nach dem 1. Hilfsantrag lediglich dadurch, dass die Angabe, dass die Vielzahl von unteren Elektroden in den Löchern der Isolationsschicht durch Zurücklassen eines einzelnen Films in den Löchern gebildet sind, wieder in den Anspruch aufgenommen wurde. Das entsprechende Merkmal lautet somit:

„ ... ,

- eine über dem Halbleitersubstrat gebildete Isolationsschicht (14), die eine Vielzahl von Löchern (15) aufweist, in denen die Vielzahl von unteren Elektroden (16) durch Zurücklassen eines einzelnen Films in den Löchern (15) gebildet sind, die Benachbarte der Vielzahl von unteren Elektroden (16) voneinander isoliert, deren Oberfläche mit der Vielzahl von unteren Elektroden (16) flächig abschließt und die wenigstens den oberen Strukturierungsbereich umfasst;

...“

Hinsichtlich der Unteransprüche 2 nach dem Haupt- und den Hilfsanträgen sowie hinsichtlich weiterer Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich als nicht begründet, denn der Gegenstand des Anspruchs 1 nach dem Hauptantrag und die Gegenstände der Ansprüche 1 nach den Hilfsanträgen 1 und 2 beruhen jeweils nicht auf einer erfinderischen Tätigkeit des zuständigen Fachmanns.

Bei dieser Sachlage kann die Erörterung der Zulässigkeit der Ansprüche sowie der Neuheit der Gegenstände dieser Ansprüche dahinstehen, vgl. BGH GRUR 1991, 120, 121, II.1 - „Elastische Bandage“.

1. Die Anmeldung betrifft gemäß den geltenden Patentansprüchen eine Halbleitereinrichtung.

Bei RAM-Halbleiterspeichern, bei denen ferroelektrische Schichten als dielektrische Schichten des Speicherkondensators eingesetzt werden, wird zum Herstellen der Kondensatorstrukturen ein Trockenätzvorgang eingesetzt, bei dem die ferroelektrische Schicht dem Ätzplasma ausgesetzt ist. Dies führt in nachteiliger Weise zu einer Verschlechterung der dielektrischen Eigenschaften des Ferroelektrikums und damit der Speichereigenschaften der Kondensatorschicht.

Das der Anmeldung als Aufgabe zugrunde liegende technische Problem besteht somit darin, eine Halbleitereinrichtung bereitzustellen, die mit einem Kondensator versehen ist, wobei ein ferroelektrische Film als ein dielektrischer Film verwendet wird und verhindert wird, dass der ferroelektrische Film verschlechtert wird, vgl. die geltenden Beschreibungsunterlagen, S. 2, Zeilen 30 bis 35.

Gemäß dem Anspruch 1 nach Hauptantrag wird diese Aufgabe durch eine Halbleitereinrichtung gelöst, bei der eine Vielzahl von unteren Elektroden durch Zurücklassen eines einzelnen Films in den Löchern in einer Isolationsschicht gebildet wird, diese Vielzahl von unteren Elektroden durch einen ferroelektrischen Film kontinuierlich abgedeckt wird, auf dem eine obere Elektrode gebildet ist, wobei die Vielzahl von Kondensatoren durch jede der unteren Elektroden gebildet wird.

Gemäß dem Anspruch 1 nach Hilfsantrag 1 umschließt dabei die obere Elektrode einen Strukturierungsbereich, an dessen Rand die obere Elektrode und der ferroelektrische Film eine Strukturierung aufweisen. Die Isolationsschicht umfasst außerdem wenigstens diesen Strukturierungsbereich und isoliert die benachbarten

Elektroden der Vielzahl unterer Elektroden voneinander, wobei die Oberfläche der Isolationsschicht flächig mit der Vielzahl der unteren Elektroden abschließt.

Gemäß dem Anspruch 1 nach Hilfsantrag 2 sind die Vielzahl von unteren Elektroden dabei durch Zurücklassen eines einzelnen Films in den Löchern gebildet.

2. Die Halbleitereinrichtung nach dem geltenden Anspruch 1 nach Hauptantrag beruht nicht auf einer erfinderischen Tätigkeit des zuständigen Fachmanns. Dieser ist hier als mit der Entwicklung von Halbleiter-Speicherschaltungen befasster Diplomingenieur der Elektrotechnik oder Diplom-Physiker, jeweils mit Hochschulabschluss, zu definieren, der über einige Jahre Berufserfahrung im Entwurf und in der Fertigung von hochintegrierten Halbleiterspeicher-Schaltungen verfügt.

Die Druckschrift (1) offenbart eine Halbleitereinrichtung in Form eines DRAM-Halbleiterspeichers (*dynamic access memory (DRAM) / Fig. 1*) mit einem Substrat und einer Vielzahl von Kondensatoren, die auf dem Halbleitersubstrat gebildet sind (*This invention provides a semiconductor memory device wherein a plurality of memory cells, each comprising one switching transistor and one capacitor for accumulating electric charge are arranged in a two-dimensional pattern on a semiconductor substrate / Sp. 7, Zeilen 35 bis 39*).

Anhand der Fig. 1 und der zugehörigen Beschreibung in Sp. 15, Zeile 53 bis Sp. 16, Zeile 39 wird der Aufbau einer einzelnen Speicherzelle (*memory cell*) mit Schalttransistor (*switching transistor*) und Speicherkondensator (*capacitor for accumulating electric charge*) erläutert. Für den Fachmann ist selbstverständlich, dass auch die übrigen Speicherzellen des Speicherzellenfeldes mit den jeweiligen Kondensatoren den anhand der Fig. 1 exemplarisch erläuterten Aufbau aufweisen, vgl. BGH GRUR 1995, 330, 2. Leitsatz - „Elektrische Steckverbindung“.

Die Vielzahl von Kondensatoren umfasst demzufolge in Übereinstimmung mit der im Anspruch 1 nach Hauptantrag gegebenen Lehre

- eine Isolationsschicht (*flattening insulation film 49, abrasion-terminating layer 50 / Fig. 1*), die über dem Halbleitersubstrat gebildet ist und eine Vielzahl von Löchern aufweist (*Fig. 2A depicts a sectional view obtained after a process that the transistor of memory cell and bit line 48 are formed on a substrate, and then the flattening insulating film 49 and the abrasion-terminating layer 50 are formed. [...] As for the abrasion-terminating layer 50, an insulating film such as aluminum oxide may be employed. Then, as shown in Fig. 2B, a contact hole extending to the impurity diffusion region 46 was formed in the opening of the abrasion-terminating layer 50 / Fig. 2A und 2B i. V. m. Sp. 15, Zeile 64 bis Sp. 16, Zeile 11*),
- eine Vielzahl von unteren Elektroden, die in den Löchern der Isolationsschicht durch Zurücklassen eines Films gebildet sind (*Then, as shown in Fig. 2E, after a shallow trench was formed [...], a Pt thin film to be functioned as the lower electrode 53 was formed by sputtering. Then, the CMP method was again employed to remove the Pt thin film formed on the abrasion terminating layer 50. / Fig. 2E i. V. m. Sp. 16, Zeilen 29 bis 36*),
- einen ferroelektrischen Film, der die Vielzahl von unteren Elektroden kontinuierlich abdeckend gebildet ist, und eine obere Elektrode, die auf der Oberfläche des ferroelektrischen Films gebildet ist (*Thereafter, the SrTiO₃ epitaxial dielectric film 54 and the upper electrode 55 were successively formed / Fig. 2F i. V. m. Sp. 16, Zeilen 36 und 37*).

Jeder der Vielzahl von Kondensatoren wird demzufolge in Übereinstimmung mit der Lehre des letzten Teilmerkmals des Anspruchs 1 für jede der unteren Elektroden gebildet.

Bei dem in der Druckschrift (1) anhand der Figuren 2A bis 2F erläuterten Ausführungsbeispiel zur Herstellung einer solchen Halbleitereinrichtung werden die unteren Elektroden nicht durch Zurücklassen eines einzelnen Films in den Löchern gebildet, wie es der Anspruch 1 lehrt, sondern durch Zurücklassen einer Doppelschicht aus einer Elektrodenschicht und einer unter dieser angeordneten leitfähigen Diffusionsbarriereschicht aus einem Nickelsilizid, das bei der Reaktion einer

Nickelschicht mit dem darunter liegenden Silizium gebildet wird (*Subsequently, as shown in Fig. 2D, the surface of the singlecrystalline silicon was caused to react with nickel [...], thereby forming a single-crystalline nickel silicide layer to be functioned as a barrier metal. Then, the CMP method was again employed to remove a nickel layer formed on the abrasion-terminating layer 50, thereby forming the epitaxial barrier metal 52. Then, as shown in Fig. 2E, [...] a Pt film to be functioned as the lower electrode 53 was formed by sputtering. Then, the CMP method was again employed to remove the Pt thin film formed on the abrasion-terminating layer 50 / Sp. 16, Zeilen 21 bis 36*).

Die unteren Elektroden statt dieser im Ausführungsbeispiel erläuterten Vorgehensweise durch Zurücklassen eines einzelnen Films in den Löchern zu bilden, bedarf für den Fachmann jedoch keiner erfinderischen Tätigkeit.

Die Druckschrift (1) vermittelt dem Fachmann nämlich die Lehre, alternativ zu der oben angegebenen Vorgehensweise eine einzige Schicht zwischen dem Silizium des Anschlusses zum Schaltransistor und der dielektrischen ferroelektrischen Schicht anzuordnen. Hierzu sind bspw. leitfähige metallische Schichten geeignet, die die Funktion der Diffusionsbarriere übernehmen und gleichzeitig auch die untere Elektrode bilden (*It is preferable in order to avoid a counter diffusion between the singlecrystalline silicon layer and the dielectric film to interpose a metallic film [...] having excellent barrier properties as a barrier between the singlecrystalline silicon layer and the dielectric film / Sp. 10, Zeile 57 bis Sp. 11, Z. 6, und gleichlautend: For the purpose of avoiding counter diffusion between an underlying crystal and a lower electrode film or a ferroelectric thin film, a metallic film [...] may be interposed between the underlying crystal and the lower electrode film or the ferroelectric thin film. Examples of such a metallic film are high-melting point metals such as titanium or tungsten; and silicides, nitrides or carbides of a high-melting point metal / Sp. 13, Zeilen 1 bis 8*).

Folgt der Fachmann diesem Hinweis, so bleibt nach dem chemisch-mechanischen Poliervorgang (CMP), der sich - wie oben angegeben - gemäß der Lehre der Druckschrift (1) an das ganzflächige Aufbringen dieser Schicht anschließt, die entsprechende Elektroden- und Barrierschicht als einzelner Film in den Löchern in der Isolationsschicht zurück, der die untere Elektrode bildet.

Somit gelangt der Fachmann ohne erfinderisches Zutun zu der Halbleitereinrichtung nach dem Anspruch 1 nach Hauptantrag.

3. Auch die im Anspruch 1 nach Hilfsantrag 1 zusätzlich gegebene Lehre beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Für den Fachmann ist es selbstverständlich, dass die obere Elektrode bei der in der Druckschrift (1) offenbarten Halbleitereinrichtung strukturiert ist, nämlich die Form eines Elektrodenstreifens aufweist, der die gemeinsame obere Elektrode für alle jeweils in einer Zeile angeordneten Kondensatoren des Speicherzellenfeldes und gleichzeitig die Verbindungsleitung zu der an der Peripherie angeordneten Ansteuerung bildet. Dies ergibt sich insbesondere aus dem in der Fig. 5 gezeigten Ersatzschaltbild des Speicherzellenfeldes, in dem die oberen Elektroden der Kondensatoren (25) einer Zeile des Arrays über eine gemeinsame Verbindungsleitung (22) an einen Treiber (27) angeschlossen sind, und den zugehörigen Erläuterungen zum Betrieb dieses Speicherarrays in der Beschreibung, wonach die jeweilige obere Kondensatorelektrode beim Einschreiben einer Information über die allen oberen Kondensatorelektroden gemeinsame Verbindungsleitung (22) aktiviert wird. Für den Fachmann bedeutet dies, dass die obere Elektrode der Kondensatoren als durchgehender Elektrodenstreifen ausgebildet ist (*As shown in Fig. 5, a memory cell of 1 bit comprises one switching transistor 24 and one thin film capacitor 25, and is arranged in a matrix pattern. [...] A pair of electrodes of the thin film capacitor 25 are connected respectively with the other region selected from the source region 14-1 and the drain region 14-2 of the switching transistor 24, and with a drive line 22 / Sp. 17, Zeile 54 bis 64; When a writing is to be*

performe in this semiconductor memory device d, the word line 13 [...] is selected [...] and then an electric potential corresponding to the information of „1“ or „0“ is given to the bit line 15 in relative to the prescribed column address and at the same time the drive line 22 is activated by the drive line circuit 27 to transmit a writing signal / Sp. 18, Zeilen 4 bis 13).

Üblicherweise wird mit der Maske zur Herstellung des Elektrodenstreifens auch die unmittelbar darunter liegende ferroelektrische Schicht in Form eines Streifens strukturiert, da außerhalb der eben genannten Elektrodenstreifen keine ferroelektrischen Schichten verbleiben dürfen, die unerwünschte parasitäre Kapazitäten bilden könnten. Damit liegen die im dritten Teilmerkmal des geltenden Anspruchs 1 nach Hilfsantrag 1 genannten Maßnahmen im fachmännischen Können.

Die zusätzlich in das vierte Teilmerkmal aufgenommene Lehre entnimmt der Fachmann der Druckschrift (1). Denn bei dem chemisch-mechanischen Poliervorgang (*CMP*), der nach dem ganzflächigen Aufbringen der Elektrodenschicht erfolgt, wird diese Schicht - wie oben schon angegeben - bis auf die Oberfläche der Isolationsschicht (*abrasion terminating layer 50*) entfernt und verbleibt nur noch in den Löchern in der Isolationsschicht, so dass durch die Isolationsschicht seitlich voneinander getrennte und damit elektrisch voneinander isolierte untere Elektroden entstehen und die Oberfläche der Isolationsschicht flächig mit den Elektroden abschließt. Zudem isoliert die Isolationsschicht aber auch die obere Elektrode und die ferroelektrische Schicht gegenüber dem Substrat, so dass ihre Fläche wenigstens den Strukturierungsbereich dieser beiden Schichten umfasst.

Auch die Halbleitereinrichtung nach dem Anspruch 1 nach Hilfsantrag 1 beruht damit nicht auf einer erfinderischen Tätigkeit des Fachmanns.

4. Die im Anspruch 1 nach Hilfsantrag 2 zusätzlich gegebene Lehre, wonach die Vielzahl von unteren Elektroden durch Zurücklassen eines einzelnen Films in den Löchern in der Isolationsschicht gebildet sind, beruht ebenfalls nicht auf erfinderi-

scher Tätigkeit. Hierzu wird auf die Darlegungen zu dem gleichlautenden Teilmerkmal des Anspruchs 1 nach Hauptantrag unter Ziffer 2 verwiesen.

Die Halbleitereinrichtung nach Anspruch 1 nach Hilfsantrag 2 ist damit gleichfalls nicht patentfähig.

5. Das in der mündlichen Verhandlung vorgetragene Argument, der Stand der Technik gemäß der Druckschrift (1) repräsentiere angesichts seines fünf Jahre vor dem Anmeldetag der vorliegenden Anmeldung liegenden Prioritätsdatums eine Technologie mit einem niedrigeren Integrationsgrad, die nicht für die Herstellung höchstintegrierter Speicherschaltungen wie der anmeldungsgemäßen geeignet sei, konnte nicht zu einer anderen Bewertung führen. Zum Einen findet der Integrationsgrad in den Patentansprüchen keinen Niederschlag in gegenständlichen Merkmalen, die über den Stand der Technik hinausgehen. Zum Anderen ist es in der Fertigung höchstintegrierter Halbleiterspeicher üblich, den höheren Integrationsgrad einer nachfolgenden Speichergeneration im Rahmen eines sogenannten „Shrinking“, also durch eine Verringerung der Strukturgrößen bei weitestgehender Beibehaltung der bewährten und eingefahrenen Fertigungstechnologie und des Layouts der Strukturen zu erreichen.

6. Wegen der Antragsbindung fällt der Unteranspruch 2 nach dem Hauptantrag und nach den Hilfsanträgen 1 und 2 mit dem jeweiligen Anspruch 1, auf den er rückbezogen ist, vgl. BGH GRUR 2007, 862, Leitsatz, 863, Tz. 18 - „Informationsübermittlungsverfahren II“.

7. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Dr. Tauchert

Dr. Hock

Brandt

Maile

Pr