



BUNDESPATENTGERICHT

23 W (pat) 2/07

Verkündet am
19. Januar 2010

(AktENZEICHEN)

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2004 030 806.3-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 19. Januar 2010 unter Mitwirkung des Richters Lokys als Vorsitzendem sowie der Richter Paezold, Brandt und Dr. Friedrich

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 25. September 2006 aufgehoben und das Patent mit folgenden Unterlagen erteilt:

- Patentansprüche 1 bis 13, überreicht in der mündlichen Verhandlung vom 19. Januar 2010
- Beschreibung Seite 7, überreicht in der mündlichen Verhandlung vom 19. Januar 2010
- Beschreibung Seiten 1 bis 6 und 8 bis 24, eingegangen am 4. August 2006
- Figuren 1A bis 1 F gemäß der Offenlegungsschrift
- Figuren 2 A bis 2C, 3A bis 3C, 4A und 4B, 5A bis 5C und Figur 8 gemäß Offenlegungsschrift, Figur 4C, 6 und 7, überreicht in der mündlichen Verhandlung vom 19. Januar 2010

Bezeichnung: "Halbleitervorrichtung und Verfahren zur Herstellung derselben"

Anmeldetag: 25. Juni 2004.

Gründe

I.

Die vorliegende Anmeldung ist am 25. Juni 2004 unter Inanspruchnahme der Priorität der koreanischen Anmeldung KR 2003-41333 vom 25. Juni 2003 mit der Bezeichnung „Halbleitervorrichtung und Verfahren zur Herstellung derselben“ beim Deutschen Patent- und Markenamt eingereicht worden.

Im Prüfungsverfahren hat die Prüfungsstelle auf den Stand der Technik gemäß den Druckschriften

D1 US 6 451 651 B1

D2 US 6 091 154 A

D3 US 5 759 914 A

D4 US 6 184 126 B1

hingewiesen.

Von der Anmelderin sind zum Stand der Technik die Druckschriften D1 und

D5 KR 100200697 B1

genannt worden.

Die Anmeldung ist nach einem - einzigen - Prüfungsbescheid durch Beschluss vom 25. September 2006 mit der Begründung zurückgewiesen worden, dass der unabhängige Anspruch 7 nicht erkennen lasse, was mit ihm unter Schutz gestellt werden solle (§ 34 (3) Nr. 3 PatG), denn der Wortlaut des Anspruchs sei in sich widersprüchlich hinsichtlich der Ausgestaltung des zweiten die Kontakte definie-

renden Musters und unverständlich hinsichtlich des Erstreckens des Metallkontakts durch die dritte und vierte Isolierschicht.

Gegen diesen Beschluss, der Anmelderin zugestellt am 20. Oktober 2006, richtet sich die am 15. November 2006 beim Deutschen Patent- und Markenamt eingegangene und mit Eingabe vom 15. Januar 2007 begründete Beschwerde der Anmelderin.

In der mündlichen Verhandlung am 19. Januar 2010 stellt sie den Antrag,

den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 25. September 2006 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

- Patentansprüche 1 bis 13, überreicht in der mündlichen Verhandlung vom 19. Januar 2010,
- Beschreibung Seite 7, überreicht in der mündlichen Verhandlung vom 19. Januar 2010,
- Beschreibung Seiten 1 bis 6 und 8 bis 24, eingegangen am 4. August 2006,
- Figuren 1A bis 1F gemäß der Offenlegungsschrift,
- Figuren 2A bis 2C, 3A bis 3C, 4A und 4B, 5A bis 5C und Figur 8 gemäß Offenlegungsschrift, Figur 4C, 6 und 7, überreicht in der mündlichen Verhandlung vom 19. Januar 2010.

Der geltende Patentanspruch 1 lautet:

„Verfahren zur Herstellung einer Halbleitervorrichtung, mit den folgenden Schritten:

Ausbilden von Gatestrukturen (225) in einem Zellenbereich und einem zellenfreien Bereich eines Halbleitersubstrats (200);

Ausbilden einer ersten Kontaktzone und einer zweiten Kontaktzone in dem Zellenbereich des Substrats (200) zwischen den Gatestrukturen (225);

Ausbilden einer ersten Isolierschicht (235) auf dem Substrat (200);
Ausbilden von ersten Kontaktlöchern, welche die erste Kontaktzone und die zweite Kontaktzone freilegen, durch teilweises Ätzen der ersten Isolierschicht (235);

Ausbilden eines ersten Kontaktflecks (245) und eines zweiten Kontaktflecks (250) in den ersten Kontaktlöchern, wobei der erste Kontaktfleck (245) und der zweite Kontaktfleck (250) die erste Kontaktzone bzw. die zweite Kontaktzone kontaktieren;

Ausbilden einer zweiten Isolierschicht (255) auf der ersten Isolierschicht (235), auf dem ersten Kontaktfleck (245) und auf dem zweiten Kontaktfleck (250) in dem Zellenbereich und auf der ersten Isolierschicht (235) in dem zellenfreien Bereich;

Ausbilden eines zweiten Kontaktloches, welches den zweiten Kontaktfleck (250) freilegt, durch teilweises Ätzen der zweiten Isolierschicht (255) in dem Zellenbereich;

Ausbilden eines ersten Kontaktes, der den zweiten Kontaktfleck (250) kontaktiert, in dem zweiten Kontaktloch;

Ausbilden einer Bitleitungsstruktur (270) auf dem ersten Kontakt und auf der zweiten Isolierschicht (255) in dem Zellenbereich, und Ausbilden eines Bitleitungs-Kontaktflecks (271) auf der zweiten Isolierschicht (255) in dem zellenfreien Bereich;

Ausbilden einer dritten Isolierschicht (275) auf der zweiten Isolierschicht (255) und auf der Bitleitungsstruktur (270) in dem Zellenbereich, sowie auf der zweiten Isolierschicht (255) und auf dem Bitleitungs-Kontaktfleck (271) in dem zellenfreien Bereich;

Ausbilden eines dritten Kontaktloches, welches den ersten Kontaktfleck (245) freilegt, durch teilweises Ätzen der dritten Isolierschicht (275) und der zweiten Isolierschicht (255) in dem Zellenbereich;

Ausbilden eines zweiten Kontaktes (280), welcher den ersten Kontaktfleck (245) kontaktiert in dem dritten Kontaktloch;

Ausbilden eines ersten Kontakte definierenden Musters (285), welches den zweiten Kontakt (280) freilegt, auf der dritten Isolierschicht (275) in dem Zellenbereich, und Ausbilden eines zweiten Kontakte definierenden Musters (286) auf der dritten Isolierschicht (275) in dem zellenfreien Bereich derart, dass ein Abschnitt über dem peripheren Abschnitt des Bitleitungs-Kontaktflecks (271) frei bleibt;

Ausbilden eines dritten Kontaktflecks (290) auf dem freigelegten zweiten Kontakt (280), und gleichzeitiges Ausbilden eines leitenden

den Musters (291), welches über dem peripheren Abschnitt des Bitleitungs-Kontaktflecks (271) liegt oder darüber verläuft, wobei das zweite leitende Muster (291) eine Öffnung über einer im wesentlichen zentralen Zone des Bitleitungs-Kontaktflecks (271) aufweist; und

Ausbilden von Kondensatoren in dem Zellenbereich des Substrats (200);

Ausbilden einer vierten Isolierschicht (300) über der gesamten Oberfläche des Substrats (200) nach der Ausbildung der Kondensatoren in dem Zellenbereich des Substrats (200);

Ausbilden eines vierten Kontaktloches (294), um den Bitleitungs-Kontaktfleck (271) freizulegen, durch teilweises Ätzen der vierten Isolierschicht (300) und des zweiten Kontakte definierenden Musters (286), wobei das Material des leitenden Musters (291) eine Ätzselektivität relativ zu dem zweiten Kontakte definierenden Muster (286) aufweist, sodass das vierte Kontaktloch (294) relativ zu dem Bitleitungs-Kontaktfleck (271) selbstausgerichtet ist; und

Ausbilden eines Metallkontaktes (295), der den Bitleitungs-Kontaktfleck (271) kontaktiert, in dem vierten Kontaktloch (294), wobei sich der Metallkontakt (295) durch die Öffnung hindurch erstreckt.“

Der geltende, unabhängige Patentanspruch 6 lautet:

„Halbleitervorrichtung, mit:

Gatestrukturen (225), die in einem Zellenbereich und einem zellenfreien Bereich eines Halbleitersubstrats (200) ausgebildet sind;

einer ersten Kontaktzone und einer zweiten Kontaktzone in dem Zellenbereich zwischen den Gatestrukturen (225);

einer ersten Isolierschicht (235), die über der ersten und der zweiten Kontaktzone darüber liegt;

einem ersten Kontaktfleck (245) und einem zweiten Kontaktfleck (250), die jeweils die erste Kontaktzone bzw. die zweite Kontaktzone über die erste Isolierschicht (235) kontaktieren;

einer zweiten Isolierschicht (255), die auf der ersten Isolierschicht (235), auf dem ersten Kontaktfleck (245) und auf dem zweiten Kontaktfleck (250) in dem Zellenbereich und auf der ersten Isolierschicht (235) in dem zellenfreien Bereich ausgebildet ist;

einer Bitleitungsstruktur (270), die auf der zweiten Isolierschicht (255) in dem Zellenbereich ausgebildet ist, wobei die Bitleitungsstruktur (270) mit dem zweiten Kontaktfleck (250) verbunden ist;

einem Bitleitungs-Kontaktfleck (271), welcher auf der zweiten Isolierschicht (255) in dem zellenfreien Bereich ausgebildet ist;

einer dritten Isolierschicht (275), die in dem Zellenbereich auf der Bitleitungsstruktur (270) und auf der zweiten Isolierschicht (255), und die in dem zellenfreien Bereich auf dem Bitleitungs-Kontaktfleck (271) und auf der zweiten Isolierschicht (255) ausgebildet ist;

einem ersten Kontakte definierenden Muster (285), welches auf der dritten Isolierschicht (275) in dem Zellenbereich ausgebildet

ist, wobei das erste Kontakte definierende Muster (285) den ersten Kontaktfleck (245) freilegt;

einem zweiten Kontakte definierenden Muster (286), welches auf der dritten Isolierschicht (275) in dem zellenfreien Bereich ausgebildet ist, wobei das zweite Kontakte definierende Muster (286) Löcher (289) aufweist, die über einem peripheren Abschnitt des Bitleitungs-Kontaktflecks (270) darüber liegen;

einem Kontaktpfropfen (280), der den ersten Kontaktfleck (245) durch die dritte Isolierschicht (275) und die zweite Isolierschicht (255) hindurch kontaktiert;

einem dritten Kontaktfleck (290), welcher auf dem Kontaktpfropfen (280) in dem Zellenbereich ausgebildet ist;

einem leitenden Muster (291), das innerhalb der Löcher (289) ausgebildet ist und über dem peripheren Abschnitt des Bitleitungs-Kontaktflecks (271) darüber liegt, wobei das leitende Muster (285) eine Öffnung über einem im wesentlichen zentralen Abschnitt des Bitleitungs-Kontaktflecks aufweist;

einer vierten Isolierschicht (300), die auf dem ersten Kontakte definierenden Muster (286), auf dem dritten Kontaktfleck (290), auf dem zweiten Kontakte definierenden Muster (286) und dem leitenden Muster (285) ausgebildet ist; und

einem Metallkontakt (295), der Kontakt mit dem Bitleitungs-Kontaktfleck (271) über die vierte Isolierschicht (300) und das leitende Muster (291) bildet, wobei sich der Metallkontakt (295) durch die Öffnung hindurch erstreckt,

wobei das leitende Muster (291) eine Ätzselektivität relativ zu dem zweiten Kontakte definierenden Muster (286) aufweist.“

Hinsichtlich der Unteransprüche sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die form- und fristgerecht erhobene Beschwerde ist zulässig und auch begründet, denn die geltenden, nebengeordneten Patentansprüche 1 und 6 vermitteln dem Fachmann eine klare Lehre zum technischen Handeln, sind zulässig und durch den im Verfahren befindlichen Stand der Technik auch nicht patenthindernd getroffen.

1. Die geltenden Patentansprüche 1 und 6 geben dem Fachmann eine klare Lehre. Als solcher ist hier ein mit der Entwicklung und Fertigung von integrierten Halbleiterschaltungen betrauter, berufserfahrener Physiker oder Ingenieur der Fachrichtung Halbleitertechnik mit Hochschulausbildung anzusehen.

Denn der im angefochtenen Beschluss dargelegten Auffassung, dass das Merkmal, wonach das zweite Kontakte definierende Muster (286) Löcher (289) aufweist, die über einem peripheren Abschnitt des Bitleitungs-Kontaktflecks (271) liegen, widersprüchlich zur weiteren Lehre der Patentansprüche sei, kann insofern nicht gefolgt werden, als dieses Merkmal nicht bedeutet, dass der Zentralbereich des Musters (286) keine Öffnung aufweisen darf. Vielmehr lässt diese Formulierung zu, dass auch im Zentralbereich dieses Musters (286) Löcher ausgebildet sind, in denen gemäß der weiteren Lehre der beiden Patentansprüche ein leitendes Muster (291) eine Öffnung über einem zentralen Abschnitt des Bitleitungs-Kontaktflecks (271) aufweist.

Dass der Metallkontakt 295 auch durch die dritte Isolationsschicht 275 verlaufen muss, ist in den Patentansprüchen 1 und 6 implizit enthalten, denn wenn sich, wie in den Ansprüchen formuliert, die dritte und vierte Isolierschicht (275, 300) übereinander auf dem Bitleitungs-Kontaktfleck (271) befinden und der Metallkontakt (295) über die vierte Isolierschicht (300) einen Kontakt mit dem Bitleitungs-Kontaktfleck (271) bildet, dann muss zwangsläufig der Metallkontakt (295) auch durch die dritte Isolierschicht 275 verlaufen, um den Bitleitungs-Kontaktfleck (271) kontaktieren zu können. Die Patentansprüche 1 und 6 sind daher entgegen der im Beschluss vertretenen Auffassung für den Fachmann auch ohne Aufnahme des Merkmals, dass sich der Metallkontakt (295) durch die dritte Isolierschicht erstreckt, klar und verständlich.

Begriffe in den Patentansprüchen sind bei der Prüfung auf Patentfähigkeit so zu deuten, wie sie der angesprochene Fachmann nach dem Gesamthalt der Beschreibungsunterlagen unter Berücksichtigung der in ihr objektiv offenbarten Lösung versteht (*BGH GRUR 2001, 232 Leitsatz i. V. m. 233 re. Sp. 1e. Abs. - „Brieflocher“*). Diesen Fachmann führen die in den ursprünglichen wie in den geltenden Patentansprüchen verwendeten Begriffe „Zellenbereich“ und „zellenfreier Bereich“ bzw. „Nicht-Zellenbereich“ zur korrekten Zuordnung dieser Bereiche, dahingehend, dass der „Zellenbereich“ den von einem Speicherzellenfeld bedeckten Bereich umfasst und der „zellenfreie Bereich“ bzw. „Nicht-Zellenbereich“ den übrigen Bereich.

2. Die geltenden Patentansprüche 1 bis 13 sind zulässig.

Der auf ein Herstellungsverfahren gerichtete geltende Patentanspruch 1 entspricht bis auf die Einführung von Bezugszeichen und kleinere Umformulierungen („*Kontaktfleck*“ statt ursprünglich „*Pad*“, „*zellenfreier Bereich*“ statt ursprünglich „*Nicht-Zellbereich*“, „*Kontakte definierendes Muster*“ statt ursprünglich „*Kontaktmuster*“) den ursprünglichen Patentansprüchen 29 und 34 und enthält zusätzlich die in der ursprünglichen Beschreibung (vgl. S. 20, Z. 26 bis S. 21, Z. 5, sowie S. 22, Z. 26

bis 29) offenbaren Merkmale des gleichzeitigen Ausbildens des dritten Kontaktflecks (290) und des leitenden Musters (291) sowie der Ätzselektivität zwischen dem leitenden (291) und dem zweiten Kontakte definierenden Muster (286).

Der eine Halbleitervorrichtung betreffende geltende Patentanspruch 6 entspricht dem ursprünglichen Anspruch 20 und enthält ebenfalls das ursprünglich offenbarte, zusätzliche Merkmal der Ätzselektivität aus der Beschreibung.

Die Unteransprüche 2 bis 5 und 7 bis 13 stimmen inhaltlich mit den ursprünglichen abhängigen Ansprüchen 30 bis 33 sowie 21 bis 26 und 28 überein.

3. Die Anmeldung betrifft eine Halbleitervorrichtung, insbesondere eine Kontaktstruktur einer Halbleiterspeichervorrichtung und ein Verfahren zur Herstellung derselben.

Ausweislich der Beschreibungseinleitung der Anmeldung enthalten Halbleiter- und speziell DRAM-Vorrichtungen Einheitszellen, die Transistoren und Kondensatoren aufweisen. Mit steigender Zelldichte werden die Durchmesser der Kontaktlöcher zwischen den leitfähigen Schichten dieser Vorrichtungen immer kleiner, während die Dicken der Isolierschichten zunehmen. Dies führt zu einem hohen Aspektverhältnis der Kontaktlöcher (Verhältnis zwischen Höhe und Durchmesser der Öffnung) und zu Problemen bei deren photolithographischer Strukturierung mittels konventioneller Methoden. Zudem treten aufgrund von Fehljustierungen Schwierigkeiten bei der Kontaktierung der gefüllten Kontaktlöcher auf. Als Lösung werden im Stand der Technik sowohl die Kontaktlöcher zur Reduzierung des Aspektverhältnisses mit Lande-Pads, d. h. Verbreiterungen im oberen Kontaktlochbereich, versehen als auch Selbstausrichtungskontaktstrukturen oder Schutzringe verwendet. Im Fall von DRAM-Vorrichtungen, die neben dem Zellbereich des Speicherzellenfeldes auch einen peripheren Bereich zum Ansteuern des Speicherzellenfeldes enthalten, sind die Intervalle zwischen den Bitleitungen sehr klein, was bei deren Kontaktierung über entsprechende Kontaktlöcher zu Kurzschlüssen führen

kann. Werden selbstausgerichtete Kontaktstrukturen ausgebildet, verkompliziert dies den Herstellungsprozess aufgrund zusätzlicher Ätzprozesse. Zudem können die Lande-Pads aufgrund der hoch integrierten Struktur der DRAM-Vorrichtungen im peripheren Bereich nur klein ausgebildet werden, was die Gefahr von Fehljustierungen erhöht. Zwar könnten die Abstände im peripheren Bereich vergrößert werden, dies würde jedoch den Durchsatz reduzieren (*vgl. geltende Beschreibungsseite 2, zweiter Absatz bis Beschreibungsseite 3, erster Absatz sowie geltende Beschreibungsseite 6, letzter Absatz bis Seite 7, zweiter Absatz*).

Der vorliegenden Anmeldung liegt somit als technisches Problem die Aufgabe zugrunde, bei einer Halbleitervorrichtung mit einem Zellenbereich und einem zellenfreien Bereich Kurzschlüsse beim Ankontaktieren von Kontakten im Zellenbereich und eines Bitleitungs-Kontaktflecks im zellenfreien Bereich zu vermeiden sowie ein Herstellungsverfahren für eine solche Halbleitervorrichtung mit möglichst wenigen Herstellungsschritten bereitzustellen, *vgl. geltende Beschreibungsseite 7, letzter Absatz*.

Diese Aufgabe wird gelöst durch das Verfahren nach dem geltenden Patentanspruch 1 und durch die Halbleitervorrichtung gemäß dem geltenden Patentanspruch 6.

Für beide Ansprüche ist wesentlich,

- dass im zellenfreien Bereich der Halbleitervorrichtung ein Kontaktfleck (290) auf dem freigelegten zweiten Kontakt (280) gebildet ist,
- dass im Zellenbereich der Halbleitervorrichtung leitende Muster (291) über dem Randbereich, jedoch nicht über dem Zentralbereich des Bitleitungs-Kontaktflecks (271) ausgebildet sind
- und dass sich ein Metallkontakt (295) zwischen den über dem Randbereich befindlichen leitenden Mustern (291) und durch die Isolierschichten (275, 300) ober- und unterhalb des leitenden

den Musters (291) zum Zentralbereich des Bitleitungs-Kontaktflecks (271) erstreckt, wobei sich aufgrund der Ätzselektivität zwischen dem leitenden Muster (291) und dem zweite Kontakte definierenden Muster (286) eine Selbstausrichtung des Metallkontakts (295) ergibt.

Die Erfindung beruht somit auf dem allgemeinen Gedanken, Kurzschlüsse beim Ankontaktieren von Kontakten im Zellenbereich und von Bitleitungs-Kontaktflecken im zellenfreien Bereich dadurch zu vermeiden, dass einerseits die Kontakte im Zellenbereich mit Kontaktflecken versehen sind und andererseits oberhalb der Bitleitungs-Kontaktflecken leitende Muster als vergrabene Maske ausgebildet und dadurch die Metallkontakte zu den Bitleitungs-Kontaktflecken selbstausrichtet sind.

4. Sowohl das - zweifellos gewerblich anwendbare - Herstellungsverfahren nach dem geltenden Patentanspruch 1 als auch die zugehörige Halbleitervorrichtung nach dem geltenden, nebengeordneten Anspruch 6 sind gegenüber dem im Verfahren befindlichen Stand der Technik neu und beruhen diesem gegenüber auch auf einer erfinderischen Tätigkeit des zuständigen, oben definierten Durchschnittsfachmanns.

Die Lehre der Druckschrift D1 geht von der gleichen Problemstellung wie die vorliegende Anmeldung aus, nämlich von der Bereitstellung einer DRAM-Vorrichtung mit verringerter Neigung zur Bildung von Kurzschlüssen aufgrund von Fehljustierungen (*It is another feature of an embodiment of the present invention to provide an improved dynamic random access memory (DRAM) device and method of manufacturing the same, which can prevent increase of contact resistance between the bit lines and the metal contacts and short circuit between the metal contacts and adjacent or surrounding elements due to misalignment of the metal contacts / vgl Spalte 3, Zeile 48 bis 54*). Sie offenbart in Übereinstimmung mit der Lehre des Patentanspruchs 1 ein:

Verfahren zur Herstellung einer Halbleitervorrichtung mit den folgenden Schritten:

Ausbilden von Gatestrukturen (11) in einem Zellenbereich und einem zellenfreien Bereich eines Halbleitersubstrats (10) (*In the cell area of FIG. 3, the gate pattern 11 is not shown since the cell area of FIG. 3 is a cross-section of bit line contact pad/plug portion taken parallel to a longitudinal direction of gate lines. Also, in the peripheral/core area of FIG. 3, the bit line contact pads 12 are not shown since they are not formed around the gate electrodes of the transistors / vgl. Fig. 3 i. V. m. Sp. 6, Zn. 49 bis 54*));

Ausbilden einer ersten Kontaktzone und einer zweiten Kontaktzone in dem Zellenbereich des Substrats (10) zwischen den Gatestrukturen (11) (*After spacers are formed on side walls of the gate pattern 11, a high concentration ion implantation is carried out to the substrate 10. As a result, transistors are formed to have channels and source/drain regions having dual doped structures / vgl. Fig. 3 i. V. m. Sp. 6, Zn. 9 bis 13*);

Ausbilden einer ersten Isolierschicht (15) auf dem Substrat (10) (*Over the whole surface of the substrate on which the transistors are formed, a silicon oxide layer is deposited and planarized to form a first interlayer insulating layer 15 / vgl. Fig. 3 i. V. m. Sp. 6, Zn. 14 bis 16*);

Ausbilden von ersten Kontaktlöchern, welche die erste Kontaktzone und die zweite Kontaktzone freilegen, durch teilweises Ätzen der ersten Isolierschicht (15);

Ausbilden eines ersten Kontaktflecks (13) und eines zweiten Kontaktflecks (12) in den ersten Kontaktlöchern, wobei der erste Kontaktfleck (13) und der zweite Kontaktfleck (12) die erste Kontaktzone bzw. die zweite Kontaktzone kontaktieren (*To form contact pads, the first interlayer insulating layer 15 is etched to form contact holes exposing an active region of the substrate under gaps of the gate pattern at a cell area and then a conductive layer of material such as polysilicon is formed over the substrate to fill the contact holes. Then, the conductive layer and the first interlayer insulating layer 15 are etched to form bit line contact pads 12 and storage node contact pads 13 by means of a chemical-mechanical planarization (CMP) process / vgl. Fig. 3 u. 4 i. V. m. Sp. 6, Zn. 16 bis 25*);

Ausbilden einer zweiten Isolierschicht (17) auf der ersten Isolierschicht (15), auf dem ersten Kontaktfleck (13) und auf dem zweiten Kontaktfleck (12) in dem Zellenbereich und auf der ersten Isolierschicht (15) in dem zellenfreien Bereich (*Thereafter, a second interlayer insulating layer 17 composed of a silicon oxide layer is formed over the substrate on which the contact pads are formed / vgl. Fig. 3 u. 4 i. V. m. Sp. 6, Zn 25 bis 28*);

Ausbilden eines zweiten Kontaktloches, welches den zweiten Kontaktfleck (12) freilegt, durch teilweises Ätzen der zweiten Isolierschicht (17) in dem Zellenbereich (*The etch stop layer 122 and the second interlayer insulating layer 17 are patterned to form bit line contact holes which expose the bit line contact pads 12 / vgl. Fig. 3 i. V. m. Sp. 6, Zn. 32 bis 34*);

Ausbilden eines ersten Kontaktes (115), der den zweiten Kontaktfleck (12) kontaktiert, in dem zweiten Kontaktloch (*As a result, bit line contact plugs 115, 115' and metal contact pads 114 which are composed of the barrier metal layer 19' and the tungsten layer 20 are obtained / vgl. Fig. 3 i. V. m. Sp. 6, Zn. 44 bis 47*);

Ausbilden einer Bitleitungsstruktur (21) (*Fig. 4, linke Seite*) auf dem ersten Kontakt und auf der zweiten Isolierschicht (17) in dem Zellenbereich, und Ausbilden eines Bitleitungs-Kontaktflecks (21) (*Fig. 4, rechte Seite*) auf der zweiten Isolierschicht (17) in dem zellenfreien Bereich (*To form bit lines on the second interlayer insulating layer 17, the titanium nitride layer 19 and the bit line conducting layer 21 are formed to a thickness of 400 Å and 1000 Å, respectively / vgl. Fig. 4 i. V. m. Sp. 6, Zn. 64 bis 67 ... At this time, in the peripheral/core area, the bit line pattern is formed to have portions having narrow or normal widths connected to the bit line contact plugs 115' and portions having wide or enlarged widths which are to be connected with metal contact plugs 143 later / vgl. Fig. 4 i. V. m. Sp. 7, Zn. 18 bis 22*);

Ausbilden einer dritten Isolierschicht (271) auf der zweiten Isolierschicht (17) und auf der Bitleitungsstruktur (21) in dem Zellenbereich, sowie auf der zweiten Isolierschicht (17) und auf dem Bitleitungs-Kontaktfleck (21) in dem zellenfreien Bereich (*Thereafter, a third interlayer insulating layer, which may also be called a bit line interlayer insulating layer, 271 is deposited on the bit line pattern and then a CMP*

process is carried out to expose an upper surface of the sacrificial layer 232 of the bit line pattern / vgl. Fig. 4 i. V. m. Sp. 7, Zn. 11 bis 16);

Ausbilden eines dritten Kontaktloches, welches den ersten Kontaktfleck (13) freilegt, durch teilweises Ätzen der dritten Isolierschicht (271) und der zweiten Isolierschicht (17) in dem Zellenbereich (By using the photo-resist pattern as a mask, the etch stop layer 29, the additional silicon oxide layer 272, the third interlayer insulating layer (bit line interlayer insulator layer) 271 and the second interlayer insulating layer 17 are continuously patterned to form storage node contact holes / vgl. Fig. 7 i. V. m. Sp. 8, Zn. 29 bis 34);

Ausbilden eines zweiten Kontaktes (131), welcher den ersten Kontaktfleck (13) kontaktiert, in dem dritten Kontaktloch (Thereafter, a polysilicon layer is deposited and then planarized to form the storage node contact plugs 131 / vgl. Fig. 7 i. V. m. Sp. 8, Zn. 39 u. 40);

Ausbilden von Kondensatoren (33) in dem Zellenbereich des Substrats (10) (Referring to FIG. 8, to form cylindrical shaped storage nodes 33 which are connected to the storage node contact plugs 131, a molding oxide layer is deposited and patterned to form storage node holes exposing the storage node contact plugs 13 / vgl Fig. 8 i. V. m. Sp. 8, Zn. 41 bis 45);

Ausbilden einer vierten Isolierschicht (39) über der gesamten Oberfläche des Substrats (10) nach der Ausbildung der Kondensatoren (33) in dem Zellenbereich des Substrats (10) (Thereafter, a fourth interlayer insulating layer (which may also be called a wiring interlayer insulating layer) 39 is formed and planarized / vgl Fig. 8 i. V. m. Sp. 8, Zn. 59 bis 61);

Ausbilden eines vierten Kontaktloches, um den Bitleitungs-Kontaktfleck (21) freizulegen, durch teilweises Ätzen der vierten Isolierschicht (39) wobei das vierte Kontaktloch relativ zu dem Bitleitungs-Kontaktfleck (21) selbstausgerichtet ist (Referring to FIG. 9, metal contact plugs 141, 142, 143 which connect upper circuit wiring with lower semiconductor elements are formed by a photo-exposure and etching process of using a photo-resist pattern as a mask / vgl. Fig. 9 i. V. m. Sp. 8, Zn. 62 bis 65 ... As apparent from the foregoing description, it can be appreciated that the present invention provides a dynamic random access memory (DRAM)

device and method of forming the same, which can: ... (c) increase process margin by enhancing self-alignment function in forming of the metal contacts at a peripheral/core area / vgl Sp. 9, Zn. 44 bis 53);

und Ausbilden eines Metallkontaktes (143), der den Bitleitungs-Kontaktfleck (21) kontaktiert, in dem vierten Kontaktloch, wobei sich der Metallkontakt (143) durch die vierte Isolierschicht (39) erstreckt (*Referring to FIG. 9, metal contact plugs 141, 142, 143 which connect upper circuit wiring with lower semiconductor elements are formed by a photo-exposure and etching process of using a photo-resist pattern as a mask. In the photo-exposure and etching process, the fourth interlayer insulating layer 39 and the third interlayer insulating layer 271 are etched to expose the metal contact pads 114, the enlarged width portions of the bit line 21 having wide widths and portions of circumference regions of the plate electrodes 37 / vgl. Fig. 9 i. V. m. Sp. 8, Z. 62 bis Sp. 9, Z. 4).*

Damit unterscheidet sich das Verfahren des Patentanspruchs 1 von dem aus Druckschrift D1 bekannten Verfahren dadurch, dass anmeldungsgemäß zum einen der Metallkontakt (295) den Bitleitungs-Kontaktfleck (271) mit Hilfe eines leitenden Musters (291) in einem Kontakte definierenden Muster (286) kontaktiert, und zum anderen mit dem leitenden Muster (291) auch ein dritter Kontaktfleck (290) auf den zweiten Kontakt (280) aufgebracht wird. Das leitende Muster (291) hat dabei die Funktion einer vergrabenen Maske zwischen der dritten und vierten Isolierschicht (275, 300), die aufgrund der Ätzselektivität zum Kontakte definierenden Muster (286) die Selbstausrichtung des Metallkontakts (295) zum Bitleitungs-Kontaktfleck (271) ermöglicht und auf diese Weise durch Fehlalignierungen verursachte Kurzschlüsse vermeidet.

Im Gegensatz hierzu werden bei dem Verfahren nach der Druckschrift D1 Kurzschlüsse, die durch Fehljustierungen bei der Ausbildung der Metallkontakte 143 verursacht werden, durch selbstjustierte Spacer-Strukturen 125 auf den Bitleitungskontakten 21 verhindert (*Also, in case of a metal contact pad 143, even though a contact hole for the metal contact pad 143 is formed to be slightly misa-*

ligned on the upper surface of a bit line conducting layer 21 having wide width, i. e., enlarged width portion of a bit line, a portion of the third interlayer insulating layer 271 adjacent to a side of the enlarged width portion of the bit line is not etched owing to a spacer 125 / vgl. Fig. 10 i. V. m. Sp. 9, Zn. 27 bis 33).

Die Druckschrift D1 kann somit keinen Hinweis zu der anmeldungsgemäßen Lehre geben, den Metallkontakt zum Bitleitungs-Kontaktleck selbstausrichtend mit Hilfe eines entsprechenden leitenden Musters herzustellen.

Zwar offenbart die einschlägige Druckschrift D3, deren Problemstellung ebenfalls in der Verringerung der Folgen von Fehljustierungen besteht (*vgl. Sp. 1, Zn. 23 bis 28 i. V. m. Sp. 1, Zn. 44 bis 50*), ein Verfahren,

bei dem auf einer Isolierschicht (14) (*Afterwards, a second insulating layer 14 is formed on the lower metal interconnection 13 and the first insulating layer 12 / vgl. Fig. 2A i. V. m. Sp. 2, Zn. 59 bis 61*)

ein Kontakte definierendes Muster (15, 15') derart aufgebracht wird, dass ein Abschnitt über dem peripheren Abschnitt eines Kontaktflecks (13) frei bleibt (*Among the nitride patterns, some of the nitride layer patterns 15' are formed on a top surface of the second insulating layer 14 overlying the lower metal interconnection pattern 13 and the others of the nitride layer patterns 15 are formed on a top surface of the second insulating layer 14 overlying a gap between one pattern and an adjacent pattern thereto of the lower metal interconnection pattern 13 / vgl. Fig. 2A i. V. m. Sp. 3, Zn. 5 bis 12*),

bei dem ein leitendes Muster (16, 16'), welches über dem peripheren Abschnitt des Kontaktflecks (13) liegt, aufgebracht wird, wobei das leitende Muster (16, 16'), eine Öffnung (15') über einer im Wesentlichen zentralen Zone des Kontaktflecks (13) aufweist,

und bei dem ein Metallkontakt (19), der den Kontaktleck (13) kontaktiert, ausgebildet wird, wobei sich der Metallkontakt (13) durch die Öffnung (15') hindurch erstreckt (*Referring to FIG. 2C, the first filling metal layer 16 is etched back until the surface of the nitride layer patterns 15 and 15' is exposed, thereby forming a*

dummy pattern 16'. A Chemical mechanical polishing (CMP) method may be used for exposing the nitride layer pattern 15 and 15'. Referring to FIG. 2D, a photoresist mask pattern 17 is formed on the dummy patterns 16' and the nitride layer patterns 15. The exposed nitride patterns 15' and the underlying second insulating layer 14 are removed in sequence by an anisotropic etching method, thereby forming contact holes 18 and exposing the lower metal interconnection layer 13 as shown in FIG. 2E. Referring to FIG. 2F, after the photoresist mask pattern 17 as shown in FIG. 2E is removed, tungsten as a second filling metal is deposited such that the contact holes 18 are sufficiently filled with tungsten. Thereafter, the deposited tungsten is etched back until the surface of the nitride layer patterns 15 and 15' and the surface of the dummy patterns 16', are exposed, thereby forming tungsten plugs 19 / vgl. Fig. 2C bis 2F i. V. m. Sp. 3 Zn. 21 bis 39).

Jedoch bildet bei dem Verfahren der Druckschrift D3 das leitende Muster (16) keine vergrabene Maske gemäß der Anmeldung, sondern ist ein Kontaktfleck, der als eine Verbreiterung des Metallkontakts (19) die Kontaktausbildung zu den obenliegenden Leiterbahnen (20) erleichtert. Der Fachmann erhält dementsprechend aus Druckschrift D3 auch keine Anregung, entsprechend der Anmeldung erst eine weitere Isolationsschicht auf das leitende Muster (16) aufzubringen und dann den Metallkontakt (19) auszubilden, denn dadurch könnte sich kein direkter Kontakt mehr zwischen den leitenden Mustern (15) und der Leiterbahn (20) ausbilden und das leitende Muster verlöre seinen ihm in Druckschrift D3 zugeordneten Zweck.

Die Druckschriften D2, D4 und D5 beschreiben das Ausbilden von Halbleiterbauelementen mit selbstausgerichteten Kontaktstrukturen (D2), Doppeldamaszenerstrukturen (D4) und Kontaktstrukturen mit Schutzringen (D5). Keiner dieser Druckschriften ist jedoch ein als vergrabene Maske zwischen zwei Isolationsschichten dienendes leitendes Muster zu entnehmen, noch gibt es in dem nachgewiesenen Stand der Technik diesbezüglich eine Anregung.

Das Verfahren nach dem geltenden Patentanspruch 1 ist demnach patentfähig.

5. Gleiches gilt für die sich aus dem Herstellungsverfahren des Patentanspruchs 1 ergebende Halbleitervorrichtung gemäß dem nebengeordneten Patentanspruch 6.

Insbesondere entnimmt der Fachmann dem im Verfahren befindlichen Stand der Technik keinen Hinweis für die Ausbildung eines leitenden Musters zwischen einer dritten und vierten Isolationsschicht und mit einer Öffnung über einem zentralen Abschnitt eines Bitleitungskontaktflecks, durch die ein Metallkontakt hindurchgeht, wobei das leitende Muster und ein dazu benachbartes Kontakte definierendes Muster zueinander ätzselektiv sind.

Auch die Halbleitervorrichtung nach dem geltenden, nebengeordneten Patentanspruch 6 ist demnach patentfähig.

6. An diese Patentansprüche können sich die Unteransprüche 2 bis 5 und 7 bis 13 anschließen, da diese vorteilhafte Weiterbildungen des Verfahrens nach dem Patentanspruch 1 bzw. der Vorrichtung nach dem Patentanspruch 6 angeben.

7. In der geltenden Beschreibung ist der Stand der Technik, von dem die Erfindung ausgeht, angegeben und die Erfindung anhand der Zeichnung ausreichend erläutert.

8. Bei dieser Sachlage war der angefochtene Beschluss aufzuheben und das Patent wie beantragt zu erteilen.

Lokys

Paetzold

Brandt

Dr. Friedrich

Pr