



# BUNDESPATENTGERICHT

23 W (pat) 6/09

---

(AktENZEICHEN)

An Verkündungs Statt  
zugestellt am:  
16. Juli 2010

...

## BESCHLUSS

In der Beschwerdesache

...

...

**betreffend die Patentanmeldung 10 2004 027 423.1 - 55**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 18. Mai 2010 in der Sitzung vom 6. Juli 2010 un-

ter Mitwirkung des Richters Lokys als Vorsitzendem sowie der Richterin Dr. Hock und der Richter Brandt und Dr. Friedrich

beschlossen:

Die Beschwerde wird zurückgewiesen.

## **Gründe**

### **I.**

Die Anmeldung 10 2004 027 423 wurde am 4. Juni 2004 mit der Bezeichnung „Speicherschaltung mit redundanten Speicherbereichen“ beim Deutschen Patent- und Markenamt eingereicht.

Die Prüfungsstelle für Klasse G11C hat im Prüfungsverfahren auf die Druckschriften

- D1 DE 199 47 041 C2
- D2 DE 199 54 346 A1
- D3 DE 101 26 301 A1
- D4 DE 103 18 771 A1 (ältere Anmeldung, nicht vorveröffentlicht)
- D5 DE 695 00 007 T2 und
- D6 US 5 668 818 A

hingewiesen und u. a. dargelegt, die Speicherschaltung nach dem geltenden Anspruch 1 sei gegenüber dem Stand der Technik gemäß der Druckschrift D2 nicht neu.

Nachdem die Anmelderin dem widersprochen und die Patenterteilung mit den ursprünglichen Ansprüchen 1 bis 8 und 10 sowie einem veränderten Verfahrens-

spruch 9 begehrt sowie eine Anhörung beantragt hat, hat die Prüfungsstelle die Anmeldung mit Beschluss vom 12. Juli 2005 zurückgewiesen, weil der Gegenstand des Patentanspruchs 1 gegenüber der Druckschrift D2 nicht neu sei.

Gegen den am 27. Juli 2005 zugestellten Beschluss wendet sich die Beschwerde der Anmelderin vom 17. August 2005, eingegangen am selben Tag.

Über das Vermögen der Anmelderin, der Q... AG wurde zwischenzeitlich das Insolvenzverfahren eröffnet. Der Insolvenzverwalter hat den Patentanwälten W... .. mit Datum vom 4. Dezember 2009 Vollmacht zur Vertretung vor dem Bundespatentgericht erteilt. Mit Schreiben vom 27. Januar 2010 haben die bevollmächtigten Anwälte beantragt, das wegen der Insolvenz zwischenzeitlich unterbrochene Beschwerdeverfahren wieder aufzunehmen.

Mit der Terminsladung hat der Senat dem Anmelder noch die Druckschriften

D7 US 2004/0057293 A1 und

D8 US 6 601 194 B1

übermittelt und deren Bedeutung im Hinblick auf die Patentfähigkeit der Gegenstände der geltenden Ansprüche erläutert.

In der mündlichen Verhandlung vom 18. Mai 2010 beantragt der Anmelder,

den Beschluss der Prüfungsstelle für Klasse G11C des Deutschen Patent- und Markenamts vom 12. Juli 2005 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 6, eingereicht in der mündlichen Verhandlung vom 18. Mai 2010,

Beschreibungsseiten 1, 2, 2a, 4, 5, 7, 7a, 9, 10, 12, eingereicht am 17. Mai 2010,

ursprüngliche Beschreibungsseiten 3, 6, 8, 11, Bezugszeichenliste (1 Blatt), eingereicht am 4. Juni 2004,

Figuren 1 bis 4, eingereicht am 15. Juli 2004.

Der geltende, auf eine Speicherschaltung gerichtete Anspruch 1 lautet:

„Speicherschaltung mit regulären Speicherbereichen (2) und redundanten Speicherbereichen (3),  
wobei den redundanten Speicherbereichen (3) jeweils eine Redundanzschaltung (9) zugeordnet ist,  
wobei jede Redundanzschaltung (9) permanent einstellbare Speicherelemente (10) zum Festlegen einer ersten Speicheradresse aufweist, und  
wobei jede Redundanzschaltung (9) ausgelegt ist, um in einem ersten Einstellungszustand bei Adressierung des regulären Speicherbereichs mit der ersten Speicheradresse den zugeordneten redundanten Speicherbereich (3) zu adressieren und um in einem zweiten Einstellungszustand bei Adressierung des regulären Speicherbereichs mit einer zweiten Speicheradresse den zugeordneten redundanten Speicherbereich (3) zu adressieren,  
gekennzeichnet durch  
eine Fehlerkorrekturschaltung (27), die mit den mehreren Redundanzschaltungen (9) für mehrere redundante Speicherbereiche (3) verbunden ist,  
wobei die Fehlerkorrekturschaltung (27) weitere permanent einstellbare Speicherelemente (28) zum Festlegen der zweiten Speicheradresse aufweist und ausgelegt ist, um ein Aktivierungssignal abhängig von dem Anliegen der zweiten Speicheradresse zu generieren und den mit der Fehlerkorrekturschaltung (27) verbundenen Redundanzschaltungen (9) zur Verfügung zu stellen, und  
wobei jede Redundanzschaltung (9) ein Korrektur-Speicherelement (26) mit einem ersten und einem zweiten Zustand umfasst,  
wobei der zweite Zustand des Korrektur-Speicherelements (26) die Redundanzschaltung (9) auf den zweiten Einstellungszustand festlegt

und der Zustand der Korrektur-Speicherelemente (26) so ausgewählt ist, dass bei jeder Redundanzschaltung (9) im ersten Einstellungszustand das Korrektur-Speicherelement (26) sich im ersten Zustand befindet und bei einer Redundanzschaltung (9) der zweite Einstellungszustand durch den zweiten Zustand des Korrektur-Speicherelements (26) festgelegt ist.“

Der nebengeordnete Verfahrensanspruch 5 lautet:

„Verfahren zum Reparieren einer Speicherschaltung mit regulären Speicherbereichen (2) und redundanten Speicherbereichen (3), wobei den redundanten Speicherbereichen (3) jeweils eine Redundanzschaltung (9) zugeordnet ist, wobei jede Redundanzschaltung (9) permanent einstellbare Speicherelemente (10) zum Festlegen einer ersten Speicheradresse aufweist, wobei in einem ersten Reparaturschritt jede Redundanzschaltung (9) in einem ersten Einstellungszustand bei Adressierung des regulären Speicherbereichs mit der ersten Speicheradresse den zugeordneten redundanten Speicherbereich (3) adressiert, und wobei in einem zweiten Reparaturschritt jede Redundanzschaltung (9) in einem zweiten Einstellungszustand bei Adressierung des regulären Speicherbereichs mit einer zweiten Speicheradresse den zugeordneten redundanten Speicherbereich (3) adressiert, gekennzeichnet durch eine Fehlerkorrekturschaltung (27), die mit den mehreren Redundanzschaltungen (9) für mehrere redundante Speicherbereiche (3) verbunden ist und weitere permanent einstellbare Speicherelemente (28) zum Festlegen der zweiten Speicheradresse aufweist, wobei von der Fehlerkorrekturschaltung (27) ein Aktivierungssignal abhängig von dem Anliegen der zweiten Speicheradresse ge-

neriert und den mit der Fehlerkorrekturschaltung (27) verbundenen Redundanzschaltungen (9) zur Verfügung gestellt wird, und wobei jede Redundanzschaltung (9) ein Korrektur-Speicherelement (26) mit einem ersten und zweiten Zustand umfasst, wobei der zweite Zustand des Korrektur-Speicherelements (26) die Redundanzschaltung (9) auf den zweiten Einstellungszustand festlegt, wobei der Zustand der Korrektur-Speicherelemente (26) so ausgewählt wird, dass bei jeder Redundanzschaltung (9) im ersten Einstellungszustand das Korrektur-Speicherelement (26) sich im ersten Zustand befindet und bei einer Redundanzschaltung der zweite Einstellungszustand durch den zweiten Zustand des Korrektur-Speicherelements (26) festgelegt wird.“

Hinsichtlich der Unteransprüche 2 bis 4 und des Unteranspruchs 6 sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die zulässige Beschwerde des Anmelders erweist sich als nicht begründet, denn die Speicherschaltung nach dem geltenden Anspruch 1 beruht nicht auf einer erfinderischen Tätigkeit des zuständigen Fachmanns. Dieser ist hier als mit der Entwicklung von hochintegrierten Halbleiter-Speicherschaltungen und der zugehörigen Peripherie betrauter und auf diesem Gebiet berufserfahrener Diplom-Ingenieur der Elektrotechnik oder Diplom-Physiker zu definieren.

Bei dieser Sachlage kann die Zulässigkeit der geltenden Ansprüche sowie die Erörterung der Neuheit der Gegenstände dieser Ansprüche dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1 - „Elastische Bandage“.

1. Die Anmeldung betrifft eine Speicherschaltung mit regulären und redundanten Speicherbereichen sowie ein Verfahren zum Reparieren einer Speicherschaltung mit redundanten Speicherbereichen.

Da die heute üblichen hochintegrierten Speicherschaltungen mit ihren sehr großen Speicherkapazitäten und ihrer dementsprechend hohen Anzahl von Speicherzellen so gut wie nicht fehlerfrei herstellbar sind, werden auf den Speicherchips von vorneherein redundante Speicherbereiche vorgesehen, die defekte Speicherbereiche ersetzen können. Zum Ersetzen der defekten Speicherbereiche durch redundante Bereiche wird nach einem entsprechenden Funktionstest des Speicherchips am noch ungehäusten Chip ein Reparaturschritt ausgeführt, bei dem Adresserschaltungen des Speicherzellenfeldes so umprogrammiert werden, dass mit der Adresse des fehlerhaften Speicherbereichs nun ein redundanter Speicherbereich adressiert wird, so dass die zu speichernde Information in einen redundanten Speicherbereich umgeleitet wird. Die Programmierung der Adresse erfolgt dabei durch Auftrennen einzelner Sicherungen einer Parallel-Anordnung von Sicherungen („laser fuses“) mit Hilfe eines Lasers.

Derart reparierte Speicherschaltungen werden üblicherweise zu Modulen zusammengesetzt, in denen mehrere solcher Speicherchips eingehäust sind. Aufgrund von Zelldegradationseffekten können neuerlich Fehler an den Speicherschaltungen auftreten, die in einem weiteren Reparaturschritt durch das Aktivieren weiterer redundanter Speicherbereiche behoben werden. Zum Programmieren der entsprechenden Speicheradressen werden in diesem Fall elektrische Sicherungen („electrical fuses“) verwendet, die durch einen Überstrompuls durchtrennt werden, da ein Durchtrennen von Sicherungen mittels Laserstrahlung im eingehäusten Zustand der Speicherchips nicht mehr möglich ist. Hierfür müssen zusätzliche redundante Speicherbereiche vorgesehen werden, die nur in dem Fall verwendet werden, dass ein Fehler nach dem Zusammenbau des Speichermoduls auftritt. Diese benötigen zusätzliche Chipfläche und erhöhen die Herstellungskosten der

Speicherschaltungen, vgl. S. 1, 2. Abs. bis S. 2a, 3. Abs. der geltenden Beschreibungsunterlagen.

Der Anmeldung liegt daher gemäß S. 2a, 4. Abs. der geltenden Beschreibungsunterlagen als technisches Problem die Aufgabe zugrunde, eine Speicherschaltung zur Verfügung zu stellen, mit der nach dem Zusammenbau von Speichermodulen auftretende Fehler in Speicherbereichen in einfacher Weise repariert werden können, ohne dass eine große zusätzliche Chipfläche benötigt wird. Es ist weiterhin Aufgabe, ein Verfahren zum Reparieren einer Speicherschaltung zur Verfügung zu stellen.

Gemäß dem geltenden Anspruch 1 wird diese Aufgabe hinsichtlich der Speicherschaltung durch eine Speicherschaltung mit regulären Speicherbereichen (2) und mit redundanten Speicherbereichen (3) gelöst, wobei den redundanten Speicherbereichen jeweils Redundanzschaltungen (9; 21, 22) zugeordnet sind. Die Redundanzschaltungen weisen permanent einstellbare Speicherelemente auf (Adress-Fuseelemente 10, 12 in Form von Laser-Fuses zum Festlegen einer Speicheradresse für die Reparatur der ungehäusten Speicherschaltung, vgl. die geltende Beschreibung S. 5, Abs. 1 i. V. m. S. 9, Abs. 2 und 3 sowie S. 11, Abs. 2). Jede Redundanzschaltung ist so ausgelegt, dass sie in einem ersten Einstellungszustand (nicht durchtrennte Fuseelemente/Sicherungen (26)) bei Adressierung des regulären Speicherbereichs mit der ersten Speicheradresse den zugeordneten redundanten Speicherbereich und in einem zweiten Einstellungszustand (durchtrennte Fuseelemente (Sicherungen (26)) bei Adressierung des regulären Speicherbereichs mit einer zweiten Speicheradresse den zugeordneten redundanten Speicherbereich in Abhängigkeit von einem Aktivierungssignal (Abschnitt [0009]) adressiert.

Die zweite Speicheradresse wird dabei von weiteren permanent einstellbaren Speicherelementen (elektrische Fuseelemente 28, 29 für die Reparatur der gehäusten Speicherschaltung, vgl. die geltende Beschreibung S. 5, Abs. 1 i. V. m.

S. 10, le. Abs. bis S. 10, Abs. 1) festgelegt, die Bestandteil einer Fehlerkorrekturschaltung (27) sind, die mit den mehreren Redundanzschaltungen (9; 21, 22) für mehrere redundante Speicherbereiche (3) verbunden ist. Die Fehlerkorrekturschaltung ist ausgelegt, um ein Aktivierungssignal (Aktivierungsfuse-Element 30) abhängig vom Anliegen der zweiten Speicheradresse zu generieren und den mit ihr verbundenen Redundanzschaltungen zur Verfügung zu stellen.

Außerdem umfasst jede Redundanzschaltung ein Korrektur-Speicherelement (Korrektur-Fuseelement 26 in Form eines Laser-Fuseelements oder eines elektrischen Fuseelements, vgl. die geltende Beschreibung S. 10, Abs. 3 i. V. m. S. 11, Abs. 2) mit einem ersten und einem zweiten Zustand, wobei der zweite Zustand die Redundanzschaltung auf den zweiten Einstellungszustand festlegt. Der Zustand der Korrektur-Speicherelemente (26) ist weiterhin so ausgewählt, dass bei jeder Redundanzschaltung im ersten Einstellungszustand sich das Korrektur-Speicherelement (26) im ersten Zustand (nicht durchtrennte Speicherelemente/Fuseelemente (26)) befindet und bei einer Redundanzschaltung der zweite Einstellungszustand (durchtrennte Speicherelemente/Fuseelemente (26)) durch den zweiten Zustand des Korrektur-Speicherelements (26) festgelegt ist.

Gemäß dem nebengeordneten Anspruch 5 wird die Aufgabe hinsichtlich des Verfahrens durch ein Verfahren zum Reparieren einer Speicherschaltung mit regulären Speicherbereichen und mit redundanten Speicherbereichen gelöst, bei der den redundanten Speicherbereichen jeweils eine Redundanzschaltung zugeordnet ist, wobei jede Redundanzschaltung permanent einstellbare Speicherelemente zum Festlegen einer ersten Speicheradresse aufweist. In einem ersten Reparaturschritt adressiert jede Redundanzschaltung in einem ersten Einstellungszustand bei Adressierung des regulären Speicherbereichs den zugeordneten redundanten Speicherbereich und in einem zweiten Reparaturschritt adressiert jede Redundanzschaltung in einem zweiten Einstellungszustand bei Adressierung des regulären Speicherbereichs mit einer zweiten Adresse den zugeordneten redundanten Speicherbereich. Ferner ist eine Fehlerkorrekturschaltung vorgesehen, die mit den

mehreren Redundanzschaltungen für mehrere redundante Speicherbereiche verbunden ist und weitere permanent einstellbare Speicherelemente zum Festlegen der zweiten Speicheradresse aufweist. Im Rahmen des Verfahrens generiert die Fehlerkorrekturschaltung abhängig vom Anliegen der zweiten Speicheradresse ein Aktivierungssignal und stellt dieses den mit ihr verbundenen Redundanzschaltungen zur Verfügung. Jede Redundanzschaltung umfasst außerdem ein Korrektur-Speicherelement mit einem ersten und einem zweiten Zustand (nicht durchtrennte bzw. durchtrennte Sicherungen/Fuseelemente (26)), wobei der zweite Zustand die Redundanzschaltung auf den zweiten Einstellungszustand festlegt. Der Zustand der Korrektur-Speicherelemente ist weiterhin so ausgewählt, dass bei jeder Redundanzschaltung im ersten Einstellungszustand sich das Korrektur-Speicherelement im ersten Zustand befindet und bei einer Redundanzschaltung der zweite Einstellungszustand durch den zweiten Zustand des Korrektur-Speicherelements festgelegt wird.

2. Die Speicherschaltung nach dem geltenden Anspruch 1 beruht nicht auf einer erfinderischen Tätigkeit des zuständigen Fachmanns.

Die Druckschrift D8 (US 6 601 194 B1) offenbart eine Speicherschaltung, bei der wie bei der anmeldungsgemäßen Speicherschaltung defekte Speicherbereiche sowohl im ungehäusten als auch im gehäusten Zustand des Speichers durch redundante Speicherbereiche ersetzt werden können (*It is accordingly an object of the invention to provide a circuit configuration for repairing a semiconductor memory, [...] in which a repair can be carried out on an unhusd and on an husd semiconductor memory / Sp. 1, le. Abs. bis Sp. 2, Abs. 1*), wobei die Adresse des jeweiligen redundanten Speicherbereichs bei der Reparatur im ungehäusten Zustand durch Laser-Fuseelemente und bei der Reparatur im gehäusten Zustand durch elektrische Fuseelemente vorgegeben wird (*A non-volatile first memory unit is used for storing an address [...] by use of an energy beam produced there, of a normal unit to be replaced. A non-volatile second memory unit is used for storing an address that can be supplied via electrical contact with the integrated circuit.*

*The first memory unit and the second memory unit are connected to a selection circuit for selecting one of the redundant units for transmitting the address stored in the first memory unit or the address stored in the second memory unit to the selection circuit. The first memory unit contains [...] a laser fuse bank [...], which can be cut through an externally supplied energy beam. [...] The second memory unit contains [...] a fuse bank with electrically programmable fuses / Sp. 2, Zeilen 30 bis 51).*

In Übereinstimmung mit der im Oberbegriff des geltenden Anspruchs 1 gegebenen Lehre offenbart die Druckschrift D8 somit eine Speicherschaltung mit regulären und redundanten Speicherbereichen (*An integrated semiconductor memory, comprising: memory cells, some of said memory cells combinable to form individually addressable normal units, and others of said memory cells combinable to form individually addressable redundant units für replacement of said normal units / Anspruch 1, Gattungsbegriff und erstes Teilmerkmal*). Den redundanten Speicherbereichen sind dabei jeweils Redundanzschaltungen zugeordnet (*To assist understanding, the invention will be explained with respect to only a single redundant word line RWL, so that only one of the regular word lines WL can be repaired. In practice, an integrated memory generally has a plurality of redundant word lines or, in general form, redundant units for replacing normal units, with a corresponding number of redundant circuits / Sp. 5, Zeilen 5 bis 12 i. V. m. der allgemeinen Lehre des Anspruchs 1*), die beim Zugriff auf einen defekten regulären Speicherbereich jeweils einen redundanten Speicherbereich adressieren.

Jede dieser Redundanzschaltungen (*redundant circuit comprising non-volatile memory unit 10, volatile memory unit 30, switching elements T*) weist wie die anmeldungsgemäße Redundanzschaltung permanent einstellbare Speicherelemente in Form von Laser-Fuseelementen (*non volatile memory unit 10 with non-volatile memory elements 1 in the form of laser fuses*) zum Festlegen einer ersten Adresse eines defekten regulären Speicherbereichs auf und ist so ausgelegt, dass sie in einem ersten Einstellungszustand bei Adressierung des regulären Speicher-

bereichs mit dieser ersten Speicheradresse den zugeordneten redundanten Speicherbereich adressiert (*Fig. 1b shows a circuit configuration, in which an address of a defective normal unit [...] is stored in memory elements 3 of a volatile memory unit 30. [...] The address is supplied to a selection circuit DEC which, when a memory access is made, replaces the address of the faulty unit WL by the address of the fault free redundant unit, in the example above the redundant word line RWL. Furthermore, the address is permanently stored in a memory unit 10 and is transmitted via a switching device T to the memory unit 30, for example, after initialization of the semiconductor memory. The memory unit contains non-volatile memory elements 1, which have elements that can be programmed by an energy beam, in this case in the form of laser fuses. The non-volatile memory elements 1 are connected first to the switching device T and second to a line 50 [...] The non-volatile memory elements 1 have a low resistance in the unprogrammed state, and a high resistance in the programmed state / Sp. 5, Zeilen 13 bis 33*).

Ferner ist jede Redundanzschaltung ausgelegt, um in einem zweiten Einstellungs-  
zustand bei Adressierung eines defekten regulären Speicherbereichs mit einer  
zweiten Speicheradresse den zugeordneten redundanten Speicherbereich zu ad-  
ressieren, wobei diese zweite Speicheradresse von weiteren permanent einstell-  
baren Speicherelementen in Form von elektrischen Fuselementen festgelegt wird  
(*Fig. 3 shows a circuit configuration which, apart from the memory unit 10, has a  
further non-volatile memory unit 20, which is intended for storing an address of a  
normal unit WL to be replaced. The memory unit 20 contains non-volatile memory  
elements 2 that have elements that can be programmed by electrical contact, in  
this case in the form of electrically programmable fuses. Outputs A2 of the mem-  
ory unit 20 are connected via lines 60 and 61 to a control circuit 40. The control  
circuit 40 is connected via lines 51 and 52 to inputs E1 of the memory unit 10.  
Outputs A1 of the memory unit 10 are each connected via the switching device T  
to inputs E3 of the memory unit 30. Outputs A3 of the memory unit 30 are con-  
nected to inputs ED of the selection circuit DEC / Sp. 5, Zeilen 46 bis 59*).

Die Speicherschaltung nach der Druckschrift D8 weist außerdem eine Fehlerkorrekturschaltung (*circuit configuration comprising functional unit 90, memory unit 20 with control circuit 40 and signal lines 51, 52, 60, 61, 70, 71*) auf, die bei der im Ausführungsbeispiel erläuterten Speicherschaltung mit der einen dort gezeigten Redundanzschaltung für den einen redundanten Speicherbereich verbunden ist und dieser abhängig vom Anliegen der zweiten Speicheradresse ein Aktivierungssignal zur Verfügung stellt (*A state of the functional unit 90 determines whether the circuit configuration, like the circuit configuration illustrated in Fig. 1, has a suitable behavior for repairing defective memory cells. In this case, signals on lines 70 and 71 are actuated jointly and identically by the control circuit 40. Furthermore, the control circuit 40 causes the signal levels on the lines 51 and 52 to assume „logic 0“ value [...]. The circuit accordingly behaves like the circuit illustrated in Fig. 1, in which the information programmed in the memory elements 1 is transferred in parallel form to the memory elements 3 in the memory unit 30 vgl. Sp. 5, Zeile 63 bis Sp. 6, Zeile 7 If the functional unit 90 assumes a corresponding different state, the address (which is stored in the memory unit 20) of a normal unit WL to be replaced is written to the memory unit 30. This depends on the memory elements 1 in the memory unit 10 having a low resistance, that is to say not being programmed. [...] The data are passed from the memory unit 20, via the control circuit 40, to the lines 51 and 52. [...] To transmit the information stored in the memory unit 20 to the memory unit 30, the switchable elements T are actuated appropriately by the control circuit 40 via the lines 70 and 71 / Sp. 6, Zeilen 8 bis 24).*

Gemäß dieser Zitatstelle weist die Fehlerkorrekturschaltung die weiteren permanent einstellbaren Speicherelemente (*memory unit 20 containing non-volatile memory elements 2*) zum Festlegen der zweiten Speicheradresse auf (*If the functional unit 90 assumes a corresponding different state, the address (which is stored in the memory unit 20) of a normal unit WL to be replaced is written to the memory unit 30 a. a. O.*).

Für den Fachmann beruht es nicht auf einer erfinderischen Tätigkeit, die Fehlerkorrekturschaltung mit mehreren Redundanzschaltungen für mehrere redundante Speicherbereiche zu verbinden, wie es der Anspruch 1 in dem die Fehlerkorrekturschaltung betreffenden Merkmal lehrt.

Wie in der Druckschrift D8 angegeben wird, weist die Speicherschaltung mehrere Redundanzschaltungen mit mehreren redundanten Speicherbereichen auf (*In practice, an integrated memory generally has a plurality of redundant units [...] with a corresponding number of redundant units / Sp. 5, Zeilen 5 bis 12*), wobei alle redundanten Speicherbereiche über Laser-Fuseelemente adressiert und damit für die Reparatur im ungehäusten Zustand herangezogen werden können und eine Teilmenge dieser redundanten Speicherbereiche zusätzlich auch über elektrische Fuseelemente adressiert und damit für die Reparatur im gehäusten Zustand herangezogen werden kann, sofern der jeweilige redundante Speicherbereich in diesem Zustand noch zur Verfügung steht. Die auf der Speicherschaltung vorgesehenen redundanten Speicherbereiche können damit bei möglichst kleinem Flächenbedarf der Reparaturschaltung bestmöglich für Reparaturzwecke genutzt werden, da die Notwendigkeit entfällt, gesonderte redundante Speicherbereiche für die Reparatur der Speicherschaltung im gehäusten Zustand vorzusehen (*In order to keep the space requirements for all the redundant circuits that need to be provided as small as possible overall, it is expedient to provide an additional electrically programmable fuse bank, as well as a laser fuse bank, only for a sufficiently small portion of the redundant elements. First, this avoids the necessity to provide dedicated redundant units for a repair after being packaged in a housing. The existing redundancy can be fully utilized for a repair on the unboxed module, since all the redundant circuits have a laser fuse bank. [...] Second, the considerably increased space requirement for repair solutions with purely electrically programmable banks is avoided. The electrically programmable fuse banks to be provided, whose number, as described, is limited, can advantageously be accommodated in an area in which the layout of the circuit is not governed by line separ-*

*rations in the memory cell array. Such areas are located, for example, under line buses of the integrated circuit / Sp. 3, Zeilen 3 bis 23 ).*

In Fortführung dieser Lehre zur weiteren Verbesserung der Nutzungsmöglichkeiten der vorhandenen redundanten Speicherbereiche die Fehlerkorrekturschaltung mit mehreren Redundanzschaltungen für mehrere redundante Speicherbereiche zu verbinden, so dass für die Reparatur im gehäuteten Zustand einer von mehreren redundanten Speicherbereichen genutzt werden kann, bedarf für den Fachmann keiner erfinderischen Tätigkeit.

Auch die im letzten Teilmerkmal des geltenden Anspruchs 1 angegebene Lehre, die das Vorsehen eines Korrektur-Speicherelements und das Auswählen der Zustände dieses Korrektur-Speicherelements im Hinblick auf die Einstellungszustände der Redundanzschaltung betrifft, beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Die in den weiteren permanenten Speicherelementen festgelegte zweite Speicheradresse kann bei der Speicherschaltung nach der Druckschrift D8 nur dann an die Redundanzschaltung übertragen werden, wenn die der Redundanzschaltung zugeordneten permanenten Speicherelemente nicht bereits mit einer Speicheradresse programmiert sind, d. h. wenn die als Speicherelemente dienenden „Laser fuses“ alle leitend sind (*In a further embodiment of the circuit configuration, the first memory unit and the second memory unit are connected in series with one another, so that the address stored in the second memory unit is transmitted to the selection circuit via the first memory unit. A precondition for this is that the memory elements of the first memory unit have not yet been programmed, that is to say the redundant element associated with the relevant fuse bank has not yet been used for repairing a defect. The memory elements in the first memory unit in this case represent a low-resistance connection when in the non-programmed state, so that the information is transmitted through these memory elements / Sp. 3, Zeilen 54 bis 65*). Für den Fachmann ist damit selbstverständlich, dass bei der Speicher-

schaltung nach der Druckschrift D8 der Einstellungszustand der Redundanzschaltung, nämlich der Programmier- bzw. Nichtprogrammier-Zustand jeweils mit Hilfe eines entsprechenden Speicherelements kenntlich gemacht werden muss.

Hierfür gemäß der im letzten Teilmerkmal des geltenden Anspruchs 1 gegebenen Lehre ein Korrektur-Speicherelement mit einem ersten und einem zweiten Zustand vorzusehen, wird durch die Druckschriften D8 und D 7 angeregt und beruht somit nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Denn auch die weitere Druckschrift D7 gibt bereits die Lehre, bei einer Speicherschaltung mit einer Redundanzschaltung eines der permanenten Speicherelemente der Redundanzschaltung, nämlich - wie beim Anmeldungsgegenstand - eine von mehreren "Laser fuses" zu verwenden, um den jeweiligen Einstellungszustand der Redundanzschaltung, d. h. den Programmier- oder den Nichtprogrammierzustand anzugeben, wobei die beiden Einstellungszustände durch die beiden Zustände des Speicherelements unterschieden werden (*The select circuit comprises an OR-gate 352. The OR-gate comprises first and second input terminals 351a-b and output terminals 358. One of the input terminals is coupled to the first fuse block and the other is coupled to the second fuse block. The OR-gate passes information from either the first or second fuse block. The output is coupled to the redundant element. [...] When using an OR or XOR gate as the selection circuit as described in Fig. 3-4, the tester used for testing the ICs should keep track of which redundancy units have been used. For example, if a redundancy unit is already programmed by one of the fuse blocks, this unit should not be programmed again by the other fuse block. [...] This can be tracked by, for example, using a fuse in the first fuse block (e.g., laser fuse block) which indicates that redundancy for the associated redundant element is activated (e.g., master fuse bit). For example, if this fuse is blown, then the redundancy element has already been programmed by the laser fuse block and should not be programmed again / Abschnitt [0016]).*

Somit werden die beiden Einstellzustände der Redundanzschaltung nach der Druckschrift D7 durch einen ersten und einen zweiten Zustand des Korrektur-Speicherelements festgelegt, wobei ein zweiter Zustand des Korrekturspeicherelements (*fuse is not blown*) die Redundanzschaltung auf den zweiten Einstellzustand festlegt, in dem die Redundanzschaltung den zugeordneten redundanten Speicherbereich mit einer zweiten Speicheradresse adressiert. Dementsprechend muss der Zustand der Korrektur-Speicherelemente der Redundanzschaltungen nach der Druckschrift D7 zwangsläufig so ausgewählt sein, dass das Korrektur-Speicherelement sich bei jeder Redundanzschaltung, die im zweiten Einstellzustand (*programmed*) ist, im zweiten Zustand befindet (*fuse is blown*) und bei einer Redundanzschaltung der erste Einstellzustand (*not programmed*) durch den ersten Zustand (*fuse is not blown*) des Korrektur-Speicherelements festgelegt ist.

Diese Lehre bei der Speicherschaltung nach der Druckschrift D8 umzusetzen, beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Die im Anspruch 1 gegebene Lehre ist damit nicht patentfähig.

3. Es kann dahingestellt bleiben, ob auch das Verfahren nach dem nebengeordneten Anspruch 5 nicht patentfähig ist, denn mit dem Patentanspruch 1 fallen wegen der Antragsbindung auch der Patentanspruch 5 sowie die auf die beiden nebengeordneten Ansprüche rückbezogenen Unteransprüche, vgl. BGH GRUR 2007, 862, 863, Tz. 18 - „Informationsübermittlungsverfahren II“ m. w. N.

4. Bei dieser Sachlage war die Beschwerde des Anmelders zurückzuweisen.

Lokys

Dr. Hock

Brandt

Dr. Friedrich

prä