



BUNDESPATENTGERICHT

21 W (pat) 23/07

(Aktenzeichen)

Verkündet am
15. November 2011

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 100 52 721.3-35

...

hat der 21. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts aufgrund der mündlichen Verhandlung vom 15. November 2011 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Winterfeldt sowie der Richter Dr. Kortbein, Dipl.-Phys. Dr. Müller und Dipl.-Ing. Veit

beschlossen:

1. Der Beschluss der Prüfungsstelle G 01 R vom 6. März 2007 wird aufgehoben.
2. Das Patent 100 52 721.3 wird unter Inanspruchnahme der ausländischen Priorität JP 11-310972 vom 1. November 1999 auf der Grundlage folgender Unterlagen erteilt:
 - a) Patentansprüche Nr. 1 bis 5 (Integrierte Schaltung und Verfahren zum Testen einer integrierten Schaltung) gemäß dem in der mündlichen Verhandlung eingereichten Hilfsantrag vom 15. November 2011
 - b) Beschreibung gemäß Offenlegungsschrift mit den in der mündlichen Verhandlung eingereichten Änderungen.
3. Die weitergehende Beschwerde wird zurückgewiesen.

Gründe

I

Die Patentanmeldung wurde am 24. Oktober 2000 mit der Bezeichnung "Integrierte Schaltung und Designverfahren zur Testfähigkeit hierfür" beim Deutschen Patent- und Markenamt eingereicht. Die Offenlegung erfolgte am 7. Juni 2001.

Im Prüfungsverfahren sind die Druckschriften

- D1** MASUZAWA T., WADA H., SALUJA K.K., FUJIWARA H.: A Non-Scan DFT Method for RTL Data Paths to Achieve Complete Fault Efficiency. In: Information Science Technical Report TR98009, Juli 1998;
- D2** GHOSH I., RAGHUNATHAN A., JHA N.K.: A Design for Testability Technique for RTL Circuits Using Control/Data Flow Extraction. In: IEEE/ACM Internat. Conference on Computer-Aided Design ICCAD-96, San Jose, 10. - 14. Nov. 1996, S. 329 - 336; und
- D3** EP 0 921 406 A2

in Betracht gezogen worden.

In der Beschreibung der Patentanmeldung sind noch die Druckschriften

- D4** JP 11-166962 A; und (mit Korrektur eines offensichtlichen Schreibfehlers)
- D5** WADA H., MASUZAWA T., SALUJA K.K., FUJIWARA H.: A Non-Scan DFT Method for Data Paths to Provide Complete Fault Efficiency. In: Transactions of IEICE (DI), Vol. J82-D-I, Nr. 7, Jul. 1999, S. 843 - 851

genannt.

Die Prüfungsstelle für Klasse G 01 R hat die Anmeldung mit dem in der Anhörung vom 6. März 2007 verkündeten Beschluss zurückgewiesen. Der Zurückweisung lagen die am 2. Juni 2003 eingereichten Patentansprüche 1 bis 9 zugrunde. Zur Begründung ist in dem Beschluss ausgeführt, dass der Gegenstand des Patentanspruchs 1 nicht so deutlich offenbart sei, dass ein Fachmann die in ihm angegebene

ne Lehre ausführen könne. Dies gelte auch für die nebengeordneten Ansprüche 4 und 9. Außerdem seien die Gegenstände der Ansprüche 1, 4 und 9, soweit dies aufgrund der Unklarheiten beurteilt werden könne, aus der Druckschrift **D2** bekannt.

Gegen diesen Beschluss richtet sich die Beschwerde der Anmelderin, die ihre Anmeldung mit den am 20. Juni 2008 bei Gericht eingereichten Ansprüchen 1, 4 und 9 und den am 2. Juni 2003 eingereichten Unteransprüchen 2, 3 und 5 bis 8 als Hauptantrag sowie hilfsweise mit den in der mündlichen Verhandlung eingereichten Patentansprüchen 1 bis 5 (Hilfsantrag) weiterverfolgt.

Die nebengeordneten Patentansprüche nach Hauptantrag lauten danach wie folgt (Merkmalsgliederung hinzugefügt):

Anspruch 1:

- M1** Integrierte Schaltung mit einem Design für Testfähigkeit mit
- M2** einem Datenpfadabschnitt (2) zum Durchführen einer Datenverarbeitung, der ein oder mehrere kombinatorische Schaltungselemente umfasst;
- M3** einem Controllerabschnitt (3) zur Steuerung eines Betriebs des Datenpfadabschnitts, wenn sich dieser in einem Normalbetrieb befindet;
- M4** einem Testcontrollerabschnitt (4), der eine Sequenz von Steuervektoren zur Steuerung des Betriebs des Datenpfadabschnitts entsprechend einem Testplan (TP) erzeugt, um jedes der kombinatorischen Schaltungselemente in einem Testbetrieb des Datenpfadabschnitts zu testen;

gekennzeichnet durch

- M5** eine Schaltstufe (5) um zwischen einem von dem Controllerabschnitt (3) erzeugten Steuersignal und einem von dem

Testcontrollerabschnitt (4) erzeugten Steuervektorsignal umzuschalten, um auszuwählen welches Signal dem Datenpfadabschnitt (2) zuzuführen ist;

- M6** und dadurch, dass der Testplan für jedes der kombinatorischen Schaltungselemente den Betrieb des Datenpfadabschnitts in Testphasen eines jeden kombinatorischen Schaltungselements definiert,
- M7** wobei in jeder Phase des Testplans die selbe Steuervektorsequenz zur Steuerung des Betriebs des Datenpfadabschnitts benutzt wird.

Anspruch 4:

- M1** Integrierte Schaltung mit einem Design für Testfähigkeit mit
- M2** einem Datenpfadabschnitt (2) zum Durchführen einer Datenverarbeitung, der ein oder mehrere kombinatorische Schaltungselemente umfasst;
- M3** einem Controllerabschnitt (3) zur Steuerung eines Betriebs des Datenpfadabschnitts, wenn sich dieser in einem Normalbetrieb befindet;
- M4** einem Testcontrollerabschnitt (4), der eine Sequenz von Steuervektoren zur Steuerung des Betriebs des Datenpfadabschnitts entsprechend einem Testplan (TP) erzeugt, um jedes der kombinatorischen Schaltungselemente in einem Testbetrieb des Datenpfadabschnitts zu testen;

gekennzeichnet durch

- M5** eine Schaltstufe (5) um zwischen einem von dem Controllerabschnitt (3) erzeugten Steuersignal und einem von dem Testcontrollerabschnitt (4) erzeugten Steuervektorsignal umzuschalten, um auszuwählen welches Signal dem Datenpfadabschnitt (2) zuzuführen ist;

- M6'** und dadurch, dass der Testplan den Betrieb des Datenpfadabschnitts zum Testen eines jeden kombinatorischen Schaltungselements definiert,
- M7'** und in dem Testplan die selbe Steuervektorsequenz zur Steuerung des Betriebs des Datenpfadabschnitts benutzt wird.

Anspruch 9:

- N1** Verfahren zum Auslegen einer Prozedur zum Auslegen einer integrierten Schaltung auf Testfähigkeit, welche einen Datenpfadabschnitt (2) zur Durchführung einer Datenverarbeitung, einen Steuerabschnitt (3) zur Steuerung eines normalen Betriebs des Datenpfadabschnitts und einen Testcontrollerabschnitt (4) zur Steuerung eines Testbetriebs des Datenpfadabschnitts entsprechend einem Testplan (TP) enthält, wobei die Prozedur die Schritte umfasst:
- N2** Erzeugen einer Sequenz von Steuervektoren des an den Datenpfadabschnitt zuzuführenden Testplans, um jedes der kombinatorischen Schaltungselemente des Datenpfadabschnitts zu testen,
- N3** Zuordnen eines Testplans (TP_J , TP_T , TP_P), der eine Vielzahl von Phasen hat, zu jedem der kombinatorischen Schaltungselemente des Datenpfadabschnitts (2),

gekennzeichnet durch

- N4** ein Zur-Verfügung-Stellen einer Übertragungsfunktion für jedes kombinatorische Schaltungselement in dem Datenabschnitt, indem ein Element, das die Übertragungsfunktion implementiert, hinzugefügt wird, wenn das kombinatorische Schaltungselement keine Übertragungsfunktion zwischen einem Eingangs- und Ausgangsanschluss hat,

- N5** wobei die selbe Steuervektorsequenz in jeder Phase des Testplans gebildet wird.

Die nebengeordneten Patentansprüche nach Hilfsantrag lauten (Merkmalsgliederung hinzugefügt):

Anspruch 1:

- P1** Integrierte Schaltung mit einem Design zur Testfähigkeit, umfassend:
- P2** einen Datenpfadabschnitt (22) zur Durchführung einer Datenverarbeitung, der eine Vielzahl von kombinatorischen Schaltungselementen umfasst,
- P2a** denen jeweils ein Testplan (TP_J , TP_T , TP_P) zugeordnet ist, der durch eine Kontrollvektorsequenz für einen Testbetrieb gebildet ist;
- P3** einen Controllerabschnitt (23), der ein Kontrollsignal ($ctr1$) zum Steuern des Datenflusses des Datenpfadabschnittes in einem Normalbetrieb erzeugt;
- P4** einen Testcontrollerabschnitt (24, 44), der einen Testplan erzeugt, der dem Datenpfadabschnitt zum Testen von jedem der kombinatorischen Schaltungselemente des Datenpfadabschnittes zugeführt wird, wenn der Testbetrieb ausgeführt wird; und
- P5** eine Schaltstufe (5) zum Umschalten eines Signales, welches dem Datenpfadabschnitt (22) zugeführt werden soll, zwischen dem Kontrollsignal, welches von dem Controllerabschnitt (23) erzeugt wird, und dem Testplan, der von dem Testcontrollerabschnitt (24, 44) erzeugt wird,
- P6** wobei die Kontrollvektorsequenz, die den Testplan darstellt, aus einem einzigen Kontrollvektor besteht, und

- P7** wobei der Testcontrollerabschnitt (24, 44) einen Datenspeicherabschnitt (TMR) sowie einen Testplangeneratorabschnitt (31) umfasst,
- P7a** wobei der Datenspeicherabschnitt (TMR) externe Eingabedaten (TMNO) speichert, die das kombinatorische Schaltungselement identifizieren, das in dem Datenpfadabschnitt getestet werden soll, und
- P7b** wobei der Testplangeneratorabschnitt (31) aus einer kombinatorischen Schaltung gebildet ist und
- P7ba** einen extern eingegebenen Testvektor (CTP) weiterleitet, der an das kombinatorische Schaltungselement in dem Datenpfadabschnitt angelegt werden soll, das auf der Basis der Eingabedaten (TMNO), die in dem Datenspeicherabschnitt (TMR) gespeichert sind, identifiziert wird, und
- P7bb** den Testplan des Kontrollvektors, der an den Datenpfadabschnitt zugeführt werden soll, erzeugt, um einen Pfad, der einen externen Eingang (DPI) mit einem Dateneingangsport verbindet, und einen Pfad aufzubauen, der einen Datenausgangsport mit dem externen Ausgang (DPO) verbindet.

Anspruch 5:

- Q1** Verfahren zum Testen einer integrierten Schaltung nach einem der Ansprüche 1 bis 4, **gekennzeichnet durch** die Schritte:
- Q2** Zuordnen jeweils eines Testplanes (TP_J , TP_T , TP_P) zu jedem der kombinatorischen Schaltungselemente des Datenpfadabschnittes (22) für einen Testbetrieb,
- Q2a** wobei jeder Testplan durch eine Kontrollvektorsequenz gebildet wird; und

- Q3** Erzeugen eines Testplanes, der an den Datenpfadabschnitt zugeführt werden soll, um jedes der kombinatorischen Schaltungselemente des Datenpfadabschnittes zu testen; und
- Q4** ein Zur-Verfügung-Stellen einer Übertragungsfunktion für jedes kombinatorische Schaltungselement in dem Datenpfadabschnitt, indem ein Element, welches die Übertragungsfunktion implementiert, hinzugefügt wird, wenn das kombinatorische Schaltungselement keine Übertragungsfunktion zwischen seinen Eingangs- und Ausgangsports hat; und
- Q5** wobei die Kontrollvektorsequenz, die den Testplan darstellt, aus einem einzigen Kontrollvektor besteht.

Hinsichtlich der Unteransprüche 2, 3 und 5 bis 8 nach Hauptantrag sowie der Unteransprüche 2 bis 4 nach Hilfsantrag wird auf den Akteninhalt verwiesen.

Die Anmelderin beantragt,

den Beschluss der Prüfungsstelle für Klasse G 01 R des Deutschen Patent- und Markenamts vom 6. März 2007 aufzuheben und das Patent DE 100 52 721 mit den am 20. Juni 2008 eingereichten Patentansprüchen 1, 4 und 9 sowie den am 2. Juni 2003 eingereichten Unteransprüchen 2, 3 und 5 bis 8 zu erteilen (Hauptantrag),
hilfsweise mit den in der mündlichen Verhandlung vom 15. November 2011 überreichten Patentansprüchen 1 bis 5, der Beschreibung und Zeichnung gemäß Offenlegungsschrift mit den in der mündlichen Verhandlung eingereichten Änderungen (Hilfsantrag).

Wegen weiterer Einzelheiten wird auf den Inhalt der Akten Bezug genommen.

II

Die Beschwerde ist zulässig und hat auch insoweit Erfolg, als sie zur Aufhebung des angefochtenen Beschlusses und zur Erteilung des Patentbeschlusses auf der Grundlage der in der mündlichen Verhandlung eingereichten Patentansprüche 1 bis 5 in der Fassung des Hilfsantrags führt. Denn die in den Ansprüchen gemäß Hilfsantrag angegebene Erfindung ist in der Anmeldung ausführbar offenbart und erweist sich in Anbetracht des im Verfahren befindlichen Standes der Technik auch als patentfähig. Die weitergehende Beschwerde ist dagegen zurückzuweisen, da die Gegenstände der Ansprüche 1 und 4 sowie das Verfahren nach Anspruch 9 in der Fassung des Hauptantrags den Anmeldungsgegenstand in unzulässiger Weise erweitern (§ 38 PatG).

1. Nach der Beschreibungseinleitung betrifft die Patentanmeldung eine hoch integrierte Schaltung (VLSIC), die so aufgebaut ist, dass sie vollständig und möglichst schnell getestet werden kann ("Design zur Testfähigkeit"). Die Schaltung weist hierfür einen Testplangenerator auf, um eine Test-Steuersignalsequenz für einen Datenpfad zu erzeugen (vgl. Offenlegungsschrift, Spalte 1, Zeilen 3 bis 10).

In der Beschreibung der Anmeldung ist weiter ausgeführt, dass Funktionsfehler einer Schaltung durch Anlegen einer Eingangssequenz an die Schaltung und Auswerten der zugehörigen Ausgangssequenz erfasst werden können. Als Maßstab für die Qualität des Tests dient der sog. Fehlerdetektions-Wirkungsgrad bzw. die Fehlererfassungsrate (vgl. Spalte 1, Zeilen 11 bis 59). Eine zu testende integrierte Schaltung besteht auf Registerebene ("Registertransferriveau") aus einem Datenpfad (Schaltungselemente wie bspw. Addierer, Multiplizierer, Multiplexer und Register) und einem Controller zum Steuern des Datenpfads (vgl. Figur 31). Zum Testen des Datenpfads wird an dessen Dateneingang eine Testvektorsequenz und gleichzeitig an dessen Steuereingang eine Steuervektorsequenz angelegt

(vgl. Spalte 1, Zeile 60 bis Spalte 2, Zeile 38). Der sog. Testplan, der die o. g. Steuervektorsequenz umfasst, kann dem zu testenden Datenpfad von außen über einen externen Eingangspin oder intern über den Controller zugeführt werden. Nachteilig dabei sei, dass für die Zufuhr von außen zusätzliche externe Pins benötigt würden und die interne Zufuhr über den Controller erhebliche Zeit benötige, so dass die Zeitdauer für die Tests unerwünscht erhöht werde (vgl. Spalte 2, Zeile 39 bis Spalte 3, Zeile 3). Bei einem weiteren bekannten, druckschriftlich nicht belegten Verfahren zur internen Zufuhr eines Testplans wird ein Controller mit Register verwendet, dessen Flip-Flops gescannt (abgefragt) werden können. Nachteilig dabei sei, dass durch die Scanfunktion die Zeitdauer für die Durchführung des Tests erhöht werde und der Test nicht mit der tatsächlichen Betriebsgeschwindigkeit durchgeführt werden könne (vgl. Spalte 3, Zeilen 4 bis 28).

Vor diesem Hintergrund liegt der Erfindung objektiv die Aufgabe zugrunde, eine integrierte Schaltung mit einem Design für eine verbesserte Testfähigkeit bereitzustellen und ein verbessertes Verfahren zum Testen der integrierten Schaltung anzugeben. Dabei soll die Zeitdauer für die Ausführung des Tests reduziert werden, so dass dieser mit der tatsächlichen Betriebsgeschwindigkeit der integrierten Schaltung durchgeführt werden kann.

2. Die Gegenstände der Ansprüche 1 und 4 sowie das Verfahren nach Anspruch 9 in der Fassung des Hauptantrags finden keine Stütze in den ursprünglichen Anmeldungsunterlagen und erweitern daher den Anmeldungsgegenstand (§ 38 PatG).

Der Anspruch 1 nach Hauptantrag ist unter Aufnahme weiterer Angaben aus der ursprünglichen Beschreibung aus dem ursprünglichen Anspruch 1 hervorgegangen. Das Merkmal **M7**, *wonach in jeder Phase des Testplans die selbe Steuervektorsequenz zur Steuerung des Betriebs des Datenpfadabschnitts benutzt wird*, findet jedoch keine Stütze in den ursprünglichen Anmeldungsunterlagen. Laut dem zweiten Absatz des ursprünglichen Anspruchs 1 ist jedem der kombinatorischen

Schaltungselemente eines Datenpfadabschnitts (2) jeweils ein Testplan zugeordnet, der eine Vielzahl von Phasen für einen Testbetrieb hat, wobei jede der Phasen durch eine Kontrollvektorsequenz verwirklicht ist. Im letzten Absatz des ursprünglichen Anspruchs 1 heißt es schließlich, dass die Kontrollvektorsequenz, die jede der Phasen des Testplans darstellt, aus einem einzigen Kontrollvektor besteht. Daraus folgt, dass jede der Phasen des Testplans durch einen einzigen Kontrollvektor verwirklicht ist, und nicht wie im Merkmal **M7** des Anspruchs 1 nach Hauptantrag angegeben, in jeder Phase des Testplans *die selbe Steuervektorsequenz* benutzt wird. Denn unter einer Kontrollvektorsequenz (Steuervektorsequenz) ist gemäß den Angaben in der ursprünglichen Beschreibung eine Folge von Kontrollvektoren (Steuervektoren) und nicht ein einzelner Kontrollvektor (Steuervektor) zu verstehen (vgl. die Figuren 16, 17C, 19C und 21 i. V. m. den Angaben in der urspr. Beschreibung auf Seite 14, Zeilen 2 bis 11, ab Seite 23, Zeile 32 bis Seite 24, Zeile 13 und Seite 34, Zeilen 9 bis 24). Auch in dem Teil der ursprünglichen Beschreibung, der sich auf das im ursprünglichen Anspruch 1 beanspruchte erste Ausführungsbeispiel bezieht (ab Seite 6, Zeile 31 bis Seite 28, Zeile 1) ist an keiner Stelle davon die Rede, dass gemäß dem Merkmal **M7** in jeder Phase des Testplans *die selbe Steuervektorsequenz* benutzt werden soll. Dieses Merkmal findet auch keine Stütze in dem Teil der ursprünglichen Beschreibung, der sich auf das zweite Ausführungsbeispiel bezieht (ab Seite 28, Zeile 3 bis Seite 34, Zeile 8). Denn im zweiten beschriebenen Ausführungsbeispiel wird der Testplan nicht mehr in Phasen unterteilt und nur von einem einzigen Kontrollvektor, jedoch nicht von einer Kontroll(Steu)vektorsequenz, gebildet (vgl. bspw. Seite 28, Zeilen 8 bis 10 und Seite 29, Zeilen 11 bis 13).

Auch das Merkmal **M7'** des Anspruchs 4 nach Hauptantrag findet keine Stütze in den ursprünglichen Anmeldungsunterlagen und führt zu einer Erweiterung des Anmeldungsgegenstandes. Der Anspruch 4 nach Hauptantrag gründet auf dem ursprünglichen Anspruch 4, der sich auf das zweite in der ursprünglichen Beschreibung ab Seite 28, Zeile 3 bis Seite 34, Zeile 8 angegebene Ausführungsbeispiel bezieht. Gemäß diesem Ausführungsbeispiel wird der Testplan eines jeden kombi-

natorischen Schaltungselements nicht mehr in Phasen unterteilt und besteht nur aus einem einzigen Kontrollvektor (vgl. a. a. O.), jedoch nicht wie im Merkmal **M7'** angegeben, aus *der selben Steuervektorsequenz*.

Ebenso führt das Merkmal **N5** des Anspruchs 9 nach Hauptantrag zu einer Erweiterung des Anmeldungsgegenstandes. Dieser Anspruch ist aus dem ursprünglichen Anspruch 9 hervorgegangen, der sich auf das erste in der ursprünglichen Beschreibung ab Seite 6, Zeile 31 bis Seite 28, Zeile 1 angegebene Ausführungsbeispiel bezieht, bei dem jede der Phasen des Testplans durch einen einzigen Kontrollvektor verwirklicht ist (vgl. bspw. Seite 14, Zeilen 7 bis 11), und nicht wie im Merkmal **N5** angegeben, *die selbe Steuervektorsequenz* in jeder Phase des Testplans gebildet wird.

Mit den nicht gewährbaren Patentansprüchen 1, 4 und 9 nach Hauptantrag fallen aufgrund der Antragsbindung auch die Unteransprüche 2, 3 und 5 bis 8 (vgl. BGH, GRUR 1983, 171 - Schneidhaspel).

3. Die Patentansprüche gemäß Hilfsantrag sind zulässig, denn sie sind in den am Anmeldetag eingereichten Unterlagen als zur Erfindung gehörend offenbart.

Der Patentanspruch 1 nach Hilfsantrag gründet auf den ursprünglichen Ansprüchen 4 (Merkmale **P1** bis **P6**) und 5 (Merkmale **P7** bis **P7bb**), wobei das Merkmal **P2** durch die Aufnahme der Angabe "*eine Vielzahl von kombinatorischen Schaltungselementen ...*" präzisiert wurde (vgl. ursprüngliche Beschreibung, Seite 9, Zeile 32: "der Datenpfad besteht aus Schaltungselementen und ...") und im Merkmal **P7ba** im Unterschied zum urspr. Anspruch 5 die unzutreffende Angabe "erzeugt" durch die Angabe "weiterleitet" ersetzt (vgl. die Figur 22 und die ursprüngliche Beschreibung, Seite 28, Zeile 26 f.: "Der Testplangenerator 31 wird mit ... einem Testmuster CTP ... während eines Testbetriebs beliefert" i. V. m. Seite 31, Zeile 3 f.: "So wird das Testmuster CTP von dem Testplangenerator 31 an den Kontrolleingang des Datenpfades 22 zugeführt ...") sowie ein offensichtli-

cher Schreibfehler ("das auf der Basis ..." anstelle von "der auf der Basis ...") korrigiert wurde.

Die Unteransprüche 2 bis 4 nach Hilfsantrag entsprechen inhaltlich den ursprünglichen Ansprüchen 6 bis 8.

Der Verfahrensanspruch 5 nach Hilfsantrag gründet auf den ursprünglichen Ansprüchen 9 und 10, wobei die Bezeichnung gegenüber dem ursprünglichen Anspruch 9 in "Verfahren zum Testen einer integrierten Schaltung nach einem der Ansprüche 1 bis 4" (Merkmal **Q1**) geändert ist. Diese Änderung stellt lediglich eine Richtigstellung dar, da bereits der ursprüngliche Anspruch 9 dem Inhalt der in ihm angegebenen Verfahrensschritte nach auf ein Verfahren zum Testen einer integrierten Schaltung, und nicht, wie in der urspr. Anspruchsbezeichnung angegeben, auf *ein Verfahren zum Auslegen einer integrierten Schaltung auf Testfähigkeit* gerichtet war. Ferner ist in den Merkmalen **Q2**, **Q2a** und **Q5** nunmehr von einem Testplan die Rede und nicht wie im ursprünglichen Anspruch 9, von den Phasen eines Testplans. Damit ist der Anspruch 5 nach Hilfsantrag, ebenso wie der Anspruch 1 nach Hilfsantrag, in zulässiger Weise nunmehr auf das in der ursprünglichen Beschreibung angegebene zweite Ausführungsbeispiel gerichtet (vgl. Seite 28, Zeile 3 bis Seite 34, Zeile 8).

4. Die in den Ansprüchen gemäß Hilfsantrag angegebene Erfindung ist in der Anmeldung so deutlich und vollständig offenbart, dass ein Fachmann sie ausführen kann (§ 34 Abs. 4 PatG).

Eine für die Ausführbarkeit ausreichende Offenbarung ist gegeben, wenn der mit den Merkmalen des Patentanspruchs umschriebene technische Erfolg vom Fachmann, der im vorliegenden Fall als ein Elektroingenieur mit beruflicher Erfahrung in der Entwicklung und im Testen von integrierten Schaltungen anzusehen ist, erreicht werden kann. Dabei ist es nicht erforderlich, dass mindestens eine praktisch brauchbare Ausführungsform als solche unmittelbar und eindeutig offenbart ist.

Vielmehr ist eine Erfindung bereits dann ausführbar offenbart, wenn die in der Patentanmeldung enthaltenen Angaben dem fachmännischen Leser so viel an technischer Information vermitteln, dass er mit seinem Fachwissen und seinem Fachkönnen in der Lage ist, die Erfindung erfolgreich auszuführen (BGH GRUR 2010, 916 ff. – Klammernahtgerät).

Diesen Anforderungen genügen die Unterlagen der Anmeldung in der Fassung des Hilfsantrags.

Die Patentansprüche gemäß Hilfsantrag sind auf das in den ursprünglichen Anmeldungsunterlagen ab Seite 28, Zeile 3 bis Seite 34, Zeile 8 beschriebene zweite Ausführungsbeispiel gerichtet, bei dem der jeweilige Testplan für ein bestimmtes zu testendes kombinatorisches Schaltungselement in einem Datenpfadabschnitt durch lediglich einen einzigen Kontrollvektor realisiert ist (Merkmal **P6** des Anspruchs 1 bzw. Merkmal **Q5** des Anspruchs 5). Ein Beispiel für die konkrete Bitbelegung eines Kontrollvektors zum Testen eines in den Figuren 14 und 15 gezeigten Schaltungselements (M1), für einen mehrere Phasen aufweisenden Testplan, ist in der Figur 16 angegeben (vgl. urspr. Beschreibung, ab Seite 21, Zeile 22 bis Seite 23, Zeile 3). Zwar betrifft dieses Beispiel das in den ursprünglichen Anmeldungsunterlagen ab Seite 6, Zeile 31 bis Seite 28, Zeile 1 beschriebene erste Ausführungsbeispiel, bei dem der Testplan mehrere Phasen aufweist (vgl. in der Figur 16: Zuleitungs-, Test- und Ableitungsphase) und für jede Phase ein Kontrollvektor mit einer bestimmten Bitbelegung verwendet wird (Figur 16). Der Unterschied des in den Patentansprüchen gemäß Hilfsantrag beanspruchten zweiten Ausführungsbeispiels zum ersten Ausführungsbeispiel besteht aber lediglich darin, dass der Kontrollvektor für den jeweiligen Testplan eines kombinatorischen Schaltungselements eine bestimmte, für die Dauer des Tests unveränderliche Bitbelegung aufweisen soll (vgl. die Figuren 26A bis 26C i. V. m. der urspr. Beschreibung, Seite 30, Zeilen 5 bis 10). In der Anmeldung ist zwar kein Beispiel angegeben, anhand dessen die konkrete Bitbelegung eines solchen einzigen Kontrollvektors ersichtlich wäre. Der Fachmann kann sich dies jedoch für ein bestimmtes zu testen-

des Modul aufgrund seines allgemeinen Fachwissens ohne Schwierigkeiten überlegen. Wie in den Figuren 26A bis 26C gezeigt ist, steuert der Kontrollvektor CI11 die Zu- und Ableitungspfade während des Tests eines bestimmten Moduls M. Die in diesem Zu- und Ableitungspfad befindlichen elektronischen Gatter (bspw. Register [REG], Multiplexer [MUX]; vgl. die Figuren 23 bis 25 mit Beschreibung) müssen während des Tests des Moduls M so angesteuert werden, dass die an den externen Eingängen DPI11 und DPI12 anliegenden Testvektoren (Testmusterbits: v1, v2 ...; w1, w2 ...) auf die Eingänge des Moduls M durchgeschaltet und das am Ausgang des Moduls abgreifbare Testergebnis auf den jeweils gewünschten externen Ausgang (DPO11, DPO12) durchgeschaltet wird. Dem Fachmann ist aufgrund seines allgemeinen Fachwissens bekannt, dass zum Durchschalten eines bestimmten Gatters (bspw. Register [REG], Multiplexer [MUX]), ein vom jeweiligen Gattertyp abhängiges Steuersignal auf den Kontrolleingang des Gatters gegeben werden muss (angedeutet durch die strichliert gezeichneten horizontalen Pfeile in den Figuren 23 bis 25). Anhand der im jeweiligen Zuleitungs- und Ableitungspfad eines zu testenden Moduls befindlichen Gatter kann sich der Fachmann daher leicht überlegen, welche konkrete Bitbelegung der Kontrollvektor aufweisen muss, um diese Gatter während des Tests durchzuschalten. Der Fachmann ist daher aufgrund der Angaben in der Beschreibung i. V. m. seinem allgemeinen Fachwissen in der Lage, den in den Patenansprüchen gemäß Hilfsantrag umschriebenen technischen Erfolg zu erreichen. Die Ausführbarkeit der Erfindung ist somit gegeben.

5. Der Gegenstand des Anspruchs 1 und das Verfahren nach Anspruch 5 in der Fassung des Hilfsantrags sind gegenüber dem im Verfahren befindlichen Stand der Technik neu und beruhen auch auf einer erfinderischen Tätigkeit des Fachmanns. Denn aus keiner der im Verfahren befindlichen Druckschriften ist eine integrierte Schaltung mit einem Testcontrollerabschnitt gemäß den Merkmalen **P4** und **P7** bis **P7bb**, der einen aus einem einzigen Kontrollvektor bestehenden Testplan erzeugt (Merkmal **P6**), sowie einer Schaltstufe gemäß dem Merkmal **P5** bekannt. Ebenso ist aus diesen Druckschriften auch kein Verfahren zum Testen einer inte-

grierten Schaltung bekannt, bei dem gemäß dem Merkmal **Q5** der Testplan aus einem einzigen Kontrollvektor besteht. Diese Merkmale werden dem Fachmann auch nicht durch sein allgemeines Fachwissen nahegelegt.

So ist aus der Druckschrift **D1** eine integrierte Schaltung mit einem Design zur Testfähigkeit bekannt (vgl. den Abschnitt "4 DFT for strong testability") [= Merkmal **P1**]. Diese Schaltung besteht aus einem Datenpfad (data path) zur Durchführung einer Datenverarbeitung, der eine Vielzahl von kombinatorischen Schaltungselementen enthält (combinational circuits; vgl. die Figur 1(a) i. V. m. dem Abschnitt "2 Data Paths") [= Merkmal **P2**] und einem Controller, der Kontrollsignale zum Steuern des Datenflusses des Datenpfades in einem Normalbetrieb erzeugt (vgl. den letzten Abs. im Abschnitt "2 Data Paths" auf Seite 3, linke Spalte: "Control signals usually come from a controller to the data path") [= Merkmal **P3**]. Die in der **D1** gezeigte integrierte Schaltung verfügt nicht über einen Testcontrollerabschnitt gemäß den Merkmalen **P4** und **P7** bis **P7bb** und weist daher auch keine Schaltstufe zum Umschalten zwischen einem dem Datenpfadabschnitt zuzuführenden Kontrollsignal, das von dem Controller erzeugt wird, und einem Testplan, der von einem Testcontrollerabschnitt erzeugt werden soll, auf (Merkmal **P5**). Vielmehr werden die Kontrollsignale zum Steuern des Datenpfades immer von ein- und demselben Controller (= Controllerabschnitt) erzeugt (vgl. den letzten Abs. im Abschnitt "2 Data Paths"). Den kombinatorischen Schaltungselementen (combinational circuits M) der bekannten integrierten Schaltung ist für den Testbetrieb jeweils ein Testplan zugeordnet ("A test plan specifies the control signals to propagate the test vectors and the responses"), der sich aus Triplets (set of triplets (a, cv, t)) zusammensetzt (= Kontrollvektorsequenz), die den jeweils anzusteuern den Kontrolleingang (a) eines Gatters (hardware element) im Datenpfad sowie den Wert des Kontrollsignals (cv) und den Ansteuerzeitpunkt (t) angeben (vgl. den Abschnitt "3 Strong Testability") [= Merkmal **P2a**]. Aus der Druckschrift **D1** geht jedoch nicht hervor, dass die Kontrollvektorsequenz (set of triplets (a, cv, t)), die den Testplan darstellt, gemäß dem Merkmal **P6** aus einem einzigen Kontrollvektor besteht. Da der Testplan bei der bekannten integrierten Schaltung über der Zeit betrachtet

(Folge von Zeitpunkten t) aus einer Serie von Triplets (set of triplets (a, cv, t)) besteht, ist vielmehr davon auszugehen, dass der sich daraus ergebende Testvektor nicht für alle Zeitpunkte t eines Testplans immer die gleiche Bitbelegung aufweist.

Aus der Druckschrift **D1** ist auch ein Verfahren zum Testen einer integrierten Schaltung bekannt (vgl. den Abschnitt "3 Strong Testability") [= Merkmal **Q1**], bei dem jedem der kombinatorischen Schaltungselemente (combinational circuits) eines Datenpfadabschnitts (data path; vgl. die Figur 1(a) i. V. m. dem Abschnitt "2 Data Paths") ein Testplan für einen Testbetrieb zugeordnet wird ("A test plan specifies the control signals to propagate the test vectors and the responses") [= Merkmal **Q2**], der sich aus Triplets (set of triplets (a, cv, t)) zusammensetzt (= Kontrollvektorsequenz), die den jeweils anzusteuern den Kontrolleingang (a) eines Gatters (hardware element) im Datenpfad sowie den Wert des Kontrollsignals (cv) und den Ansteuerzeitpunkt (t) angeben (vgl. den Abschnitt "3 Strong Testability") [= Merkmal **Q2a**]. Zum Testen der kombinatorischen Schaltungselemente (combinational circuits) des Datenpfadabschnitts (data path) wird bei dem bekannten Verfahren ein Testplan erzeugt (vgl. den Abschnitt "5 Test plan generation"), der an den Datenpfadabschnitt zugeführt werden soll ("A test plan specifies control signals for propagating a test vector and its response"; vgl. den Abschnitt "5.3 Test plan generation algorithm" auf Seite 7) [= Merkmal **Q3**], und zu jedem kombinatorischen Schaltungselement (combinational circuits) ein Element hinzugefügt, welches eine Übertragungsfunktion implementiert (mask element), wenn das kombinatorische Schaltungselement keine Übertragungsfunktion zwischen seinen Eingangs- und Ausgangsports hat ("For each operational module M with two inout ports, a mask element is added ... so that M provides a bijection between its first input port x and its output port z "; vgl. die Figur 4 i. V. m. dem Abschnitt "4.4 DFT elements (stage 3)" und den Abschnitt "4.1 Overview"). Aus der Druckschrift **D1** geht jedoch nicht hervor, dass die Kontrollvektorsequenz (set of triplets (a, cv, t)), die den Testplan darstellt, gemäß dem Merkmal **Q5** aus einem einzigen Kontrollvektor besteht. Da der Testplan bei dem bekannten Verfahren über der Zeit betrachtet (Folge von Zeitpunkten t) aus einer Serie von Triplets (set of triplets $(a,$

cv, t)) besteht, ist vielmehr davon auszugehen, dass der sich daraus ergebende Testvektor nicht für alle Zeitpunkte t eines Testplans immer die gleiche Bitbelegung aufweist.

Aus der Druckschrift **D2** ist eine integrierte Schaltung mit einem Design für Testfähigkeit bekannt (vgl. die Figur 11 mit Beschreibung im Abschnitt "2.3 The test architecture") [= Merkmal **P1**], mit einem Datenpfadabschnitt zum Durchführen einer Datenverarbeitung (data path), der eine Vielzahl von kombinatorischen Schaltungselementen (data path modules; vgl. bspw. auch die Figur 1: ADDER) umfasst [= Merkmal **P2**] und einem Controllerabschnitt (controller, Figur 11), der Kontrollsignale (control signals) zum Steuern des Datenflusses des Datenpfadabschnittes in einem Normalbetrieb erzeugt ("S₀ and S₁ should also be 0 for normal operation"; Seite 333, rechte Spalte) [= Merkmal **P3**]. Die bekannte integrierte Schaltung verfügt über ein Testkonfigurationsregister (Test Configuration Register TCR) für Signale zur Auswahl von Test-Multiplexern, die dem Datenpfad beim Testen eines kombinatorischen Schaltungselements (data path module) hinzugeschaltet werden, um einen durchgängigen Testpfad zu erhalten ("... (i) the select signals of the test multiplexers that are added to the circuit ..."; Seite 333, rechte Spalte). Außerdem werden zwei Bits (S₀ und S₁) in diesem Register (TCR) gespeichert, die u. a. das Laden des Controller-Statusregisters steuern ("... (ii) two bits S₀ and S₁, that control the loading of the controller state register ..."). Die Steuerung des Datenpfads beim Testen eines Schaltungselements (data path module) erfolgt hingegen weiterhin durch den Controller, der auch den Normalbetrieb des Datenpfads steuert. Für den Testbetrieb werden lediglich die beiden Bits S₀, S₁ entsprechend gesetzt (S₁, S₀: 0 1 - testing datapath comparators, 1 0 - testing other datapath modules; vgl. Figur 11 mit Beschreibung). Die während des Testbetriebs von dem Controller abgegebenen Kontrollsignale (control signals) bilden dann einen Testplan für das jeweilige zu testende Schaltungselement (data path module) [= teilweise Merkmal **P2a**]. Somit verfügt die in der Druckschrift **D2** beschriebene integrierte Schaltung nicht über einen Testcontrollerabschnitt gemäß den Merkmalen **P4** und **P7** bis **P7bb** und weist daher auch keine Schaltstufe zum Umschalten

zwischen einem dem Datenpfadabschnitt zuzuführenden Kontrollsignal, das von dem Controller erzeugt wird, und einem Testplan, der von einem Testcontrollerabschnitt erzeugt werden soll, auf (Merkmal **P5**). Wie die während des Testens eines kombinatorischen Schaltungselements vom Controller abgegebenen Kontrollsignale (control signals) konkret aufgebaut sind, ist in der Druckschrift **D2** nicht angegeben. Aus dieser Druckschrift geht daher auch nicht hervor, dass der Testplan gemäß dem Merkmal **P6** aus einem einzigen Kontrollvektor bestehen soll. Somit ist aus dieser Druckschrift auch nicht das Merkmal **Q5** des Verfahrensanspruchs 5 gemäß Hilfsantrag bekannt, wonach die Kontrollvektorsequenz, die den Testplan darstellt, aus einem einzigen Kontrollvektor bestehen soll.

Die Druckschrift **D3** zeigt eine integrierte Schaltung mit einem Design zur Testfähigkeit (vgl. die Figuren 1, 6, 7 und 8 mit Beschreibung in den Abs. [0022], [0023] und [0028] bis [0045]) [= Merkmal **P1**], mit einem Datenpfadabschnitt zur Durchführung einer Datenverarbeitung (combinational logic circuit 14), der üblicherweise eine Vielzahl von kombinatorischen Schaltungselementen umfasst [= Merkmal **P2**]. Die bekannte integrierte Schaltung verfügt auch über einen Controllerabschnitt für den Normal- und Testbetrieb, der durch einen Controller zum Erzeugen gültiger Zustände (next-state generation logic circuit 10) und einen Controller zum Erzeugen ungültiger Zustände (invalid-state generation logic circuit 20) gebildet ist [= Merkmal **P3**]. Unter einem gültigen Zustand (valid state) wird ein Zustand verstanden, der im Normalbetrieb ausgehend von einem Reset (s0) erreicht werden kann (vgl. Abs. [0029]). Zum vollständigen Testen des Datenpfades (14) sind jedoch auch sog. ungültige Zustände (invalid states) erforderlich (vgl. die Figuren 6 und 8), um den Datenpfad in allen theoretisch möglichen Zuständen testen zu können (vgl. Abs. [0028]). Bei der aus der Druckschrift **D3** bekannten integrierten Schaltung wird durch Anlegen eines Testmusters (test sequence) am Einganganschluss (primary input PI) jeweils der ganze Datenpfad (combinational logic circuit 14) - und somit alle darin enthaltenen kombinatorischen Schaltungselemente - auf einmal in seiner Funktion getestet (vgl. Abs. [0037] bis [0045]), und nicht - wie im Merkmal **P2a** bzw. **Q2** des Anspruchs 1 bzw. 5 in der Fassung des Hilfsantrags

angegeben - ein bestimmtes kombinatorisches Schaltungselement innerhalb des Datenpfades. Die **D3** zeigt daher auch keinen Testcontrollerabschnitt gemäß den Merkmalen **P4** und **P7** bis **P7bb** und weist auch keine Schaltstufe gemäß dem Merkmal **P5** auf. Auch ein Testplan für jedes der kombinatorischen Schaltungselemente in dem Datenpfad ist somit nicht notwendig und in der Druckschrift **D3** auch nicht beschrieben (Merkmale **P2a** und **P6** des Anspruchs 1 bzw. **Q2a**, **Q3** und **Q5** des Anspruchs 5). Schließlich wird bei der bekannten integrierten Schaltung auch keine Übertragungsfunktion zum Hinzufügen zu jedem der kombinatorischen Schaltungselemente benötigt, wie im Merkmal **Q4** des Anspruchs 5 angegeben, da die Schaltungselemente nicht einzeln getestet werden.

Die Druckschrift **D4** zeigt die von der Druckschrift **D3** in Anspruch genommene japanische Prioritätsanmeldung (als JP 11-166962 A veröffentlicht) und geht inhaltlich nicht über die **D3** hinaus.

Auch die in der Beschreibung der Anmeldung noch genannte Druckschrift **D5** zeigt keinen Testplan, der gemäß dem Merkmal **P6** des Anspruchs 1 bzw. **Q5** des Anspruchs 5 durch einen einzigen Kontrollvektor gebildet ist. Bei dem in Tabelle 1 (Table 1) auf Seite 849 dieser Druckschrift gezeigten Testplan werden vielmehr verschiedene Steuervektoren (1, 2, 3, 4) verwendet. Die Druckschrift **D5** zeigt auch keinen Testcontrollerabschnitt gemäß den Merkmalen **P4** und **P7** bis **P7bb** des Anspruchs 1.

Da aus keiner der im Verfahren befindlichen Druckschriften eine integrierte Schaltung mit einem Testcontrollerabschnitt gemäß den Merkmalen **P4** und **P7** bis **P7bb** des Anspruchs 1, der einen aus einem einzigen Kontrollvektor bestehenden Testplan erzeugt (Merkmal **P6** des Anspruchs 1), bekannt ist, kann der Fachmann diesen Druckschriften auch keine Anregung entnehmen, die ihn zum Gegenstand des Anspruchs 1 nach Hilfsantrag führen könnte. Diese Merkmale werden dem Fachmann auch nicht durch sein allgemeines Fachwissen nahegelegt, da das Vorsehen eines zusätzlichen Testcontrollerabschnitts die Chipfläche und somit die Herstellungskosten der integrierten Schaltung erhöhen würde. Außerdem ist es für den Fachmann einfacher, für das Testen des jeweiligen Schaltungselementes einen Testplan zu verwenden, der aus einer Kontrollvektorsequenz mit Kontrollvektoren unterschiedlicher Bitbelegung besteht, da damit beliebige Testpfade auf einfache Weise Schritt für Schritt durchgeschaltet werden können, während beim Einsatz nur eines Kontrollvektors zum Durchschalten des Testpfades der Zu- und Ableitungspfad bspw. keine gemeinsamen Gatter aufweisen darf.

Da das Merkmal **Q5** des Anspruchs 5, wonach die Kontrollvektorsequenz, die den Testplan darstellt, aus einem einzigen Kontrollvektor besteht, aus keiner der im Verfahren befindlichen Druckschriften bekannt ist, kann der Fachmann diesen Druckschriften auch keine Anregung entnehmen, die ihn zum Verfahren nach Anspruch 5 gemäß Hilfsantrag führen könnte. Dieses Merkmal wird, wie vorstehend bereits ausgeführt, dem Fachmann auch nicht durch sein allgemeines Fachwissen nahegelegt.

6. Die Patentfähigkeit der Unteransprüche 2 bis 4 wird von der des Patentanspruchs 1 mitgetragen und auch die übrigen Unterlagen erfüllen die an sie zu stellenden Anforderungen.

Dr. Winterfeldt

Dr. Kortbein

Dr. Müller

Veit

Pü