

BUNDESPATENTGERICHT

Leitsatz

Aktenzeichen:	23 W (pat) 47/09
Entscheidungsdatum:	24. Februar 2011
Rechtsbeschwerde zugelassen:	nein
Normen:	§ 38 PatG, § 21 PatG

Speicherschaltungskomponente

Ein auf die Einzelkomponente eines Gesamtsystems gerichteter Patentanspruch ist unzulässig, wenn dieser Merkmale enthält, die nach der ursprünglichen Offenbarung ausschließlich auf den Aufbau und die Funktion des Gesamtsystems, nicht aber einzelner Komponenten zurückzuführen sind.



BUNDESPATENTGERICHT

23 W (pat) 47/09

Verkündet am
24. Februar 2011

(AktENZEICHEN)

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 43 45 580.8-55

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 24. Februar 2011 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Brandt, Metternich und Dr. Friedrich

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

Gründe

I.

Die vorliegende Anmeldung DE 43 45 580 ist durch Ausscheidung aus der Patentanmeldung DE 43 90 991 entstanden, die am 3. März 1993 beim Deutschen Patent- und Markenamt eingereicht wurde und ihrerseits auf die PCT-Anmeldung PCT/US93/01726 zurückgeht, für die Deutschland als Bestimmungsland benannt ist. Diese PCT-Anmeldung wiederum nimmt die Priorität der US-Anmeldung 848 417 vom 6. März 1992 in Anspruch.

Im Prüfungsverfahren vor dem DPMA hat die Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts die Druckschriften

- D1 EP 0 347 557 A2
- D2 DE 91 17 296 U1 und
- D3 WO 91/16680 A1

entgegengehalten. Das Gebrauchsmuster gemäß der Druckschrift D2 wurde erst am 6. April 2000 eingetragen und ist somit kein vorveröffentlichter Stand der Technik. Aus diesem Grund wurde diese Schrift von der Prüfungsstelle durch die inhaltsgleiche, aber vorveröffentlichte Druckschrift D3 ersetzt.

Mit Beschluss vom 19. Mai 2009 hat die Prüfungsstelle die Anmeldung mit der Begründung zurückgewiesen, dass die Speicherschaltungskomponente nach dem zuletzt geltenden Anspruch 1 gegenüber dem Stand der Technik gemäß den

Druckschriften D1 und D3 nicht auf einer erfinderischen Tätigkeit des Fachmanns beruhe.

Die Anmelderin hat gegen den am 29. Juni 2009 zugestellten Zurückweisungsbeschluss mit Schriftsatz vom 6. Juli 2009, eingegangen am 7. Juli 2009, Beschwerde eingelegt.

Der Senat hat mit der Terminladung zur mündlichen Verhandlung darauf hingewiesen, dass neben der Patentfähigkeit auch die Zulässigkeit und die Ausführbarkeit der Lehre der geltenden Patentansprüche zu diskutieren sein könnten.

In der mündlichen Verhandlung vom 24. Februar 2011 stellt die Anmelderin den Antrag,

den Beschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts vom 19. Mai 2009 aufzuheben,

ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 12 gemäß Schriftsatz vom 5. September 2005, Beschreibungsseiten 1 und 4 bis 19 gemäß Schriftsatz vom 12. September 2003 sowie Beschreibungsseiten 2, 3, 3a und 20 gemäß Schriftsatz vom 5. September 2005, 10 Blatt Zeichnungen mit Figuren 1 - 8 gemäß Schriftsatz vom 12. September 2003 (Hauptantrag);

hilfsweise, ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 12 gemäß Hilfsantrag 1', überreicht in der mündlichen Verhandlung vom 24. Februar 2011, sowie Beschreibung und Zeichnungen gemäß Hauptantrag;

weiterhin hilfsweise, ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 12 gemäß Hilfsantrag 1“, überreicht in der mündlichen Verhandlung vom 24. Februar 2011, sowie Beschreibung und Zeichnungen gemäß Hauptantrag;

weiterhin hilfsweise, ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 11 gemäß Hilfsantrag I im Schriftsatz vom 3. Januar 2011 sowie Beschreibung und Zeichnungen gemäß Hauptantrag;

weiterhin hilfsweise, ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 10 gemäß Hilfsantrag II im Schriftsatz vom 3. Januar 2011 sowie Beschreibung und Zeichnungen gemäß Hauptantrag;

weiterhin hilfsweise, ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 9 gemäß Hilfsantrag III im Schriftsatz vom 3. Januar 2011 sowie Beschreibung und Zeichnungen gemäß Hauptantrag;

weiterhin hilfsweise, ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 11 gemäß Hilfsantrag IV im Schriftsatz vom 3. Januar 2011 sowie Beschreibung und Zeichnungen gemäß Hauptantrag;

weiterhin hilfsweise, ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 8 gemäß Hilfsantrag V im Schriftsatz vom 3. Januar 2011 sowie Beschreibung und Zeichnungen gemäß Hauptantrag.

Die geltenden Ansprüche 1 nach dem Hauptantrag, nach den Hilfsanträgen 1' und 1'' sowie nach den Hilfsanträgen I bis V lauten:

Hauptantrag:

1. Synchrone, integrierte Speicherschaltungskomponente, welche ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält, wobei die Speicherschaltungskomponente umfasst:

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendes Schaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden.

Hilfsantrag 1':

1. Synchrone DRAM-Vorrichtung, wobei die DRAM-Vorrichtung umfasst:

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendes Schaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden.

Hilfsantrag 1'':

1. System umfassend einen Bus und eine an den Bus gekoppelte DRAM-Vorrichtung, wobei die DRAM-Vorrichtung umfasst:

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt auf dem Bus ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so

dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendeschaltschaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt auf dem Bus ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden.

Hilfsantrag I:

1. Synchrone, integrierte Speicherschaltungskomponente, welche ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält, wobei die Speicherschaltungskomponente umfasst:

Eingangsschaltschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendeschaltschaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so

dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden;

wobei die Eingangsschaltkreise beinhalten:

einen Empfangstakt-Eingang, um den Empfangstakt von einer ersten Taktleitung zu empfangen; und

einen Sendetakt-Eingang, um den Sendetakt von einer zweiten Taktleitung zu empfangen.

Hilfsantrag II:

1. Synchrone, integrierte Speicherschaltungskomponente, welche ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält, wobei die Speicherschaltungskomponente umfasst:

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendesaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so

dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden;

wobei die Eingangsschaltkreise beinhalten:

einen Empfangstakt-Eingang, um den Empfangstakt von einer ersten Taktleitung zu empfangen; und

einen Sendetakt-Eingang, um den Sendetakt von einer zweiten Taktleitung zu empfangen;

wobei im Betrieb:

die Schreibdaten von einer externen Datenleitung dem Eingangsempfänger zu einem Zeitpunkt zugeführt werden, wenn der Empfangstakt auf einer zweiten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft; und

die Lesedaten von den Sendeschaltkreisen der externen Datenleitung zu einem Zeitpunkt zugeführt werden, wenn der Sendetakt auf einer ersten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft.

Hilfsantrag III:

1. Synchrone, integrierte Speicherschaltungskomponente, welche ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält, wobei die Speicherschaltungskomponente umfasst:

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig

und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendeschaltschaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden;

wobei die Eingangsschaltschaltkreise beinhalten:

einen Empfangstakt-Eingang, um den Empfangstakt von einer ersten Taktleitung zu empfangen; und

einen Sendetakt-Eingang, um den Sendetakt von einer zweiten Taktleitung zu empfangen;

wobei im Betrieb:

die Schreibdaten von einer externen Datenleitung dem Eingangsempfänger zu einem Zeitpunkt zugeführt werden, wenn der Empfangstakt auf einer zweiten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft; und

die Lesedaten von den Sendeschaltkreisen der externen Datenleitung zu einem Zeitpunkt zugeführt werden, wenn der Sendetakt

auf einer ersten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft; und

wobei der Empfangstakt eine verzögerte Version des Sendetaktes ist und der Empfangstakt aus dem Sendetakt resultiert, indem er über ein Umkehrelement läuft, welches die ersten und zweiten Taktleitungen verbindet.

Hilfsantrag IV:

1. Synchrone, integrierte Speicherschaltungskomponente, welche ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält, wobei die Speicherschaltungskomponente umfasst:

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendesaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden; und

eine Synchronisierschaltung, um den Sendetakt mit dem Empfangstakt zu vergleichen und den Ort der integrierten Schaltung relativ zu einer integrierten Steuerschaltung zu bestimmen.

Hilfsantrag V:

1. Synchrone, integrierte Speicherschaltungskomponente, welche ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält, wobei die Speicherschaltungskomponente umfasst:

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so dass Daten-Bits der Schreibdaten bei der doppelten Frequenz des Empfangstaktes übertragen werden; und

Sendes Schaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleiche Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden;

wobei die Eingangsschaltkreise beinhalten:

einen Empfangstakt-Eingang, um den Empfangstakt von einer ersten Taktleitung zu empfangen; und

einen Sendetakt-Eingang, um den Sendetakt von einer zweiten Taktleitung zu empfangen;

wobei im Betrieb:

die Schreibdaten von einer externen Datenleitung dem Eingangsempfänger zu einem Zeitpunkt zugeführt werden, wenn der Empfangstakt auf einer zweiten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft;

und die Lesedaten von den Sendeschaltkreisen der externen Datenleitung zu einem Zeitpunkt zugeführt werden, wenn der Sendetakt auf einer ersten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft; und

wobei der Empfangstakt eine verzögerte Version des Sendetaktes ist und der Empfangstakt aus dem Sendetakt resultiert, indem er über ein Umkehrelement läuft, welches die ersten und zweiten Taktleitungen verbindet;

wobei die Speicherschaltungskomponente weiter eine Synchronisierschaltung enthält, um den Sendetakt mit dem Empfangstakt zu vergleichen und den Ort der integrierten Schaltung relativ zu einer integrierten Steuerschaltung zu bestimmen.

Hinsichtlich der jeweiligen Unteransprüche sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich als nicht begründet, denn der Anspruch 1 nach dem Hauptantrag, der Anspruch 1 nach dem Hilfsantrag 1' sowie die jeweiligen Ansprüche 1 nach den Hilfsanträgen I bis V sind unzulässig und das System nach Anspruch 1 des Hilfsantrags 1'' beruht nicht auf einer erfinderschen Tätigkeit des Fachmanns.

Als Fachmann ist im vorliegenden Fall ein mit der Entwicklung von Halbleiterspeicher-Systemen betrauter berufserfahrener Diplom-Ingenieur der Elektrotechnik mit Hochschulabschluss anzusehen.

1. Die Anmeldung betrifft gemäß den geltenden Beschreibungsunterlagen der vorliegenden Ausscheidungsanmeldung eine synchrone, integrierte Speicherschaltungskomponente, welche ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält.

Üblicherweise werden bei Computersystemen die verschiedenen Systembestandteile (in der Anmeldung als „Geräte“ bezeichnet) zur Datenübertragung mit einem Datenbus gekoppelt. Synchrone Bussysteme verwenden ein Taktsignal, um die über den Datenbus übertragenen Daten beim jeweiligen Empfänger zu validieren, so dass die Systembestandteile neben dem Datenbus auch mit einer Taktleitung verbunden sind. Bei solchen Bussystemen kann es aufgrund unterschiedlicher Signalausbreitungsverzögerung entlang des Datenbusses und entlang der Taktleitung zu einem Takt-Daten-Offset kommen, der zu Fehlern bei der Validierung von Daten führt. Ein solcher Takt-Daten-Offset macht sich insbesondere dann als Fehlerquelle bemerkbar, wenn hohe Datenübertragungsgeschwindigkeiten gewünscht werden, da die Taktperiodendauer dann die Größenordnung der Taktsignalausbreitungsverzögerung erreicht.

Gemäß der geltenden Beschreibungseinleitung S. 3, 2. und 3. Abs. ist es bekannt, den Takt-Daten-Offset dadurch zu verringern, dass mehrere Taktleitungen an einen Taktgenerator angeschlossen werden, wobei die Taktleitungen (in ihrer Länge) so abgestimmt sind, dass die Taktsignale jeweils zum gleichen Zeitpunkt an jedem Gerät eintreffen. Ein solches Bussystem ist jedoch relativ komplex, da mehrere Taktleitungen benötigt werden, die aufeinander abgestimmt werden müssen.

Weiterhin sind auch Master-Slave-Systeme bekannt, bei denen die Master-Einheit zwei Taktsignale, nämlich einen Empfangs- und einen Sendetakt erzeugt, wobei der Empfangstakt zum Takten sowohl der Übertragung der Datensignale durch die Slave-Einheiten als auch des Empfangs von Daten durch das Master-Gerät verwendet wird. Hierdurch wird die Taktperiode von der Ausbreitungsverzögerung des Datenbusses entkoppelt. Bei diesem System sind jedoch zwei Taktquellen nötig; außerdem lässt diese Betriebsweise nur ein Master-Gerät zu.

Gemäß der geltenden Beschreibungseinleitung, S. 4, 1. Abs., liegt der Anmeldung als technisches Problem die Aufgabe zugrunde, eine synchrone, integrierte Speicherkomponente für ein synchrones Bussystem zur Verfügung zu stellen, in dem der Takt-Daten-Offset verringert oder beseitigt wird.

Gemäß dem geltenden Anspruch 1 nach Hauptantrag wird die Aufgabe durch eine synchrone, integrierte Speicherschaltungskomponente gelöst,

die ein Feld dynamischer Speicherzellen zur Datenspeicherung enthält und die

Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstaktes, wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten und die Schreibdaten gemäß einer Dualflankenübertragung bezüglich des Empfangstaktes empfangen werden, so

dass Daten-Bits bei der doppelten Frequenz des Empfangstaktes übertragen werden, und

Sendeschaltschaltkreise zur Übertragung von Lesedaten, so dass sich die Lesedaten gleichzeitig und in die gleicher Richtung wie ein Sendetakt ausbreiten, wobei die Lesedaten gemäß einer Dualflankenübertragung bezüglich des Sendetaktes gesendet werden, so dass Daten-Bits der Lesedaten bei der doppelten Frequenz des Sendetaktes übertragen werden,

umfasst.

Der geltende Anspruch 1 nach Hilfsantrag 1' unterscheidet sich allein durch die abgeänderte Gattungsangabe „synchrone DRAM-Vorrichtung“ von dem Anspruch 1 nach Hauptantrag, in dem die Gattungsangabe „synchrone, integrierte Speicherschaltungskomponente“ lautet; die übrigen Merkmale sind mit denen des Anspruchs 1 nach Hauptantrag identisch.

Der geltende Anspruch 1 nach Hilfsantrag 1'' beansprucht Schutz für ein System, das einen Bus und eine an den Bus gekoppelte DRAM-Vorrichtung umfasst, wobei die DRAM-Vorrichtung die im Anspruch 1 nach Hauptantrag genannten Merkmale aufweist und außerdem angegeben wird, dass sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt auf dem Bus ausbreiten und dass sich die Lesedaten gleichzeitig und in der gleichen Richtung wie ein Sendetakt auf dem Bus ausbreiten.

Im Anspruch 1 nach Hilfsantrag I wird gegenüber dem Anspruch 1 nach Hauptantrag zusätzlich angegeben, dass die Eingangsschaltschaltkreise einen Empfangstakt-Eingang, um den Empfangstakt von einer ersten Taktleitung zu empfangen, und einen Sendetakt-Eingang aufweisen, um den Sendetakt von einer zweiten Taktleitung zu empfangen.

Der Anspruch 1 nach Hilfsantrag II ergänzt die Lehre des Anspruchs 1 nach Hilfsantrag I dahingehend, dass im Betrieb die Schreibdaten von einer externen Datenleitung dem Eingangsempfänger zu einem Zeitpunkt zugeführt werden, wenn der Empfangstakt auf einer zweiten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft, und die Lesedaten von den Sendeschaltkreisen der externen Datenleitung zu einem Zeitpunkt zugeführt werden, wenn der Sendetakt auf einer ersten Taktleitung an der synchronen, integrierten Speicherschaltung vorbeiläuft.

Der Anspruch 1 nach Hilfsantrag III ergänzt diese Lehre weiter dahingehend, dass der Empfangstakt eine verzögerte Version des Sendetaktes ist und der Empfangstakt aus dem Sendetakt resultiert, indem er über ein Umkehrelement läuft, welches die ersten und zweiten Taktleitungen verbindet.

Der Anspruch 1 nach Hilfsantrag IV präzisiert die Lehre des Anspruchs 1 nach Hauptantrag dahingehend, dass die synchrone, integrierte Speicherschaltungskomponente außerdem eine Synchronisierschaltung umfasst, um den Sendetakt mit dem Empfangstakt zu vergleichen und den Ort der integrierten Schaltung relativ zu einer integrierten Steuerschaltung zu bestimmen.

Der Anspruch 1 nach Hilfsantrag V konkretisiert die im Anspruch 1 nach dem Hilfsantrag III gegebene Lehre durch die Angabe, dass die Speicherschaltungskomponente eine Synchronisierschaltung umfasst, um den Sendetakt mit dem Empfangstakt zu vergleichen und den Ort der integrierten Schaltung relativ zu einer integrierten Steuerschaltung zu bestimmen.

2. Die im Anspruch 1 nach Hauptantrag sowie die in den jeweiligen Ansprüchen 1 nach dem Hilfsantrag 1' und nach den Hilfsanträgen I bis V gegebene Lehre geht über den Inhalt der ursprünglichen Offenbarung hinaus; diese Ansprüche sind damit unzulässig.

Die ursprüngliche Offenbarung ist im vorliegenden Fall durch die DE 43 90 991 T1 bestimmt, die das Deutsche Patent- und Markenamt für das Bestimmungsland Deutschland als Übersetzung der in englischer Sprache eingereichten internationalen Anmeldung PCT/US/01726 veröffentlicht hat. Wie oben schon erläutert, geht die der vorliegenden Ausscheidungsanmeldung DE 43 45 580 zugrunde liegende Stammanmeldung 43 90 991 auf diese internationale Anmeldung zurück, so dass die Übersetzung gemäß der oben genannten T1-Schrift die ursprüngliche Offenbarung für die vorliegende Ausscheidungsanmeldung darstellt.

Der Anspruch 1 nach dem Hauptantrag und die jeweiligen Ansprüche 1 nach den Hilfsanträgen I bis V geben übereinstimmend die Lehre, dass die synchrone integrierte Speicherschaltungskomponente Eingangsschaltkreise zum Empfangen von Daten und eines Empfangstaktes umfasst, „wobei sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt ausbreiten“, und außerdem Sendeschaltkreise zur Übertragung von Lesedaten umfasst, „wobei sich die Lesedaten gleichzeitig und in derselben Richtung wie ein Sendetakt ausbreiten“. In gleicher Weise lehrt dies der Anspruch 1 nach Hilfsantrag 1' für die Eingangsschaltkreise und Sendeschaltkreise der DRAM-Vorrichtung, die mit diesem Anspruch unter Schutz gestellt werden soll.

Dass sich die Schreibdaten gleichzeitig und in der gleichen Richtung wie der Empfangstakt und die Lesedaten gleichzeitig und in derselben Richtung wie ein Sendetakt ausbreiten, ist gemäß der ursprünglichen Offenbarung allerdings kein Merkmal der Eingangs- bzw. Sendeschaltkreise einer synchronen Speicherschaltungskomponente bzw. einer DRAM-Vorrichtung, wie es in den vorangehend genannten Ansprüchen 1 gemäß dem oben zitierten Anspruchswortlaut beansprucht wird, sondern geht auf die Bustopologie des Bussystems zurück und ist damit ein Merkmal des gesamten Bussystems.

Denn erst die Aufteilung der Taktleitung in zwei parallel zum Datenbus verlaufende, an einem Umkehrpunkt miteinander verbundene Segmente und die räumli-

che Anordnung des Master-Geräts nahe am Umkehrpunkt sowie der Slave-Geräte entlang der beiden Taktleitungssegmente des derart ausgebildeten Bussystems gestatten es, die Taktimpulse so als Empfangstakt und als Sendetakt zu verwenden, dass Schreib- und Sendedaten sich jeweils gleichzeitig und in derselben Richtung wie der Empfangs- bzw. der Sendetakt ausbreiten, wobei eine jedem Slavegerät zugeordnete Synchronisierschaltung bei dieser Topologie dann dafür sorgt, dass bei der Datenübertragung der Takt-Daten-Offset minimiert wird und Takt und Daten gleichzeitig beim jeweiligen Empfänger eintreffen (*Es wird ein Bussystem beschrieben, das eine Topologie aufweist, das die Takt-Daten-Schiefelage minimiert. Das Bussystem enthält einen Datenbus, eine Taktleitung und Mittel zum Senden eines Datensignals an den Datenbus. Die Taktleitung hat zwei Segmente, jedes Segment erstreckt sich über die gesamte Länge des Datenbusses. Die Segmente sind an einem Ende des Datenbusses mit einem Umkehrelement (turnaround) verbunden. Die Geräte in dem Bussystem verwenden ein Taktleitungssegment als Empfangstakt und das andere Taktleitungssegment als Sendetakt. Es sind Mittel vorgesehen, die ein Datensignal derart auf den Datenbus senden, dass sich das Datensignal auf dem Datenbus mit einer konstanten Phasenrelation in Bezug auf das Taktsignal ausbreitet. Das Ergebnis der Bustopologie ist, dass ein auf den Datenbus gesendetes Datensignal sich zeitgleich in die gleiche Richtung ausbreitet wie das zum Empfang der Daten verwendete Taktsignal / S. 4, 3. Abs; Fig. 3 zeigt in Form eines Blockschaltbildes ein bevorzugtes synchrones Bussystem 100. Wie im Folgenden detaillierter beschrieben wird, verringert oder beseitigt das Bussystem 100 eine Takt-Daten-Schiefelage. Dazu verwendet das Bussystem 100 ein Taktverteilungssystem zusammen mit einer Synchronisierschaltung in jedem Gerät. Das Taktverteilungssystem enthält eine Taktleitung mit zwei Segmenten. Ein Segment erstreckt sich von einem Ende des Datenbusses bis zu einem Umkehrpunkt in der Nähe des zweiten Endes des Datenbusses. Das andere Taktsegment erstreckt sich von dem Umkehrpunkt zurück zu dem zweiten Ende des Datenbusses. Diese Topologie stellt sicher, dass von einem Gerät auf den Datenbus gesendete Datensignale zeitgleich in die gleiche Richtung laufen, wie das von einem zweiten Gerät zum Empfangen von Daten verwendete Takt-*

signal. Die Synchronisierschaltung des Bussystems 100 ermöglicht auf diese Weise, dass Daten im wesentlichen zu dem Zeitpunkt übertragen werden, zu dem der Sendetakt ankommt, so dass Takt- und Datensignale sich gemeinsam ausbreiten. In anderen Worten, die Synchronisierschaltung sendet ein spezielles Datensignal an den Datenbus, so dass sich das Datensignal auf dem Datenbus mit einer konstanten Phasenbeziehung in Bezug auf das Taktsignal ausbreitet. Dies dient zum Minimieren der Takt-Daten-Schiefelage, was wiederum zum Verringern oder Beseitigen von durch Takt-Daten-Schiefelagen verursachten Fehlern beiträgt / S. 6, 2. bis vorle. Abs. i. V. m. Fig. 3; Taktverteilungssystem 130 trägt zum Beseitigen von Takt-Daten-Schiefelagen bei, indem es die Takt- und Datensignale veranlasst, sich in die gleiche Richtung auszubreiten. Taktverteilungssystem 130 enthält einen Taktgeber 132 und eine Taktleitung 134. Der Taktgeber 132 liegt extern und ist unabhängig von den Geräten 102, 104, 106, 108 und 110. [...] Der Taktgeber 132 ist mit einem Ende der Taktleitung 134 derart gekoppelt, dass sich das Taktsignal nur in eine Richtung, vom Taktgeber 132 zum entgegengesetzten Ende der Taktleitung 134, ausbreitet. Die Taktleitung 134 trägt das Taktsignal zu allen Geräten in dem Bussystem 100. Die Taktleitung 134 ist lang, fast doppelt so lang wie die Länge des Datenbusses 120, und läuft zurück oder kehrt um in der Nähe eines Endes des Datenbusses. Auf diese Weise kann man sich die Taktleitung 134 als aus zwei Taktleitungssegmenten bestehend denken. Ein Segment 136 erstreckt sich von einem Ende des Datenbusses 120 zu dem Umkehrpunkt 137, der sich an dem anderen Ende des Datenbusses 120 befindet. Das andere Segment, Segment 138, erstreckt sich von dem Umkehrpunkt 137 zurück zu dem entgegengesetzten Ende des Datenbusses 120. [...] Das Taktsignal auf dem Segment 136 läuft von dem Taktgeber 132 zu dem Master-Gerät 102. Aus diesem Grund wird das Taktsignal auf dem Segment 136 CLOCKTOMASTER (TAKTZUMMASTER) genannt. CLOCKTOMASTER läuft in der gleichen Richtung wie von den Slave-Geräten 104, 106, 108 und 110 an das Master-Gerät 102 über den Datenbus 120 gesendete Datensignale. Die Sendetakteingänge der Slave-Geräte 104, 106, 108 und 110 sind mit CLOCKTOMASTER gekoppelt. In Fig. 3 ist dies durch die Verbindung der Slave-Geräte-Sendetakteingänge TCLK1, TCLK2,

TCLK3 mit dem Segment 136 gezeigt. Master-Gerät 102 verwendet das Taktsignal auf Segment 136, um Datensignale auf dem Datenbus 120 zu empfangen. Auf diese Weise ist der Empfangstakteingang, RCLK0 des Master-Gerätes 102 mit Segment 136 gekoppelt. Der Umkehrpunkt 137 veranlasst das Taktsignal auf Segment 138, die Richtung zu ändern und sich in Richtung des entgegengesetzten Endes des Datenbusses auszubreiten. Das ist die gleiche Richtung, in der Datensignale von dem Mastergerät 102 zu den Slave-Geräten 104, 106, 108 und 110 laufen. Aus diesem Grund verwendet das Master-Gerät 102 dieses Signal, genannt CLOCKFROMMASTER (TAKTVOMMASTER), wenn es den Takt TCLK0 überträgt. Auf symmetrische Weise verwenden die Slave-Geräte 104, 106, 108 und 110 den CLOCKFROMMASTER als Empfangstakteingangssignale. Datensignale vom Master-Gerät laufen zu den Slave-Geräten in der gleichen Richtung wie das aktive CLOCKFROMMASTER-Signal auf Segment 138 / S. 8, 1e. Abs. bis S. 10., 1. Abs.).

Dass Schreibdaten sich gleichzeitig und in derselben Richtung wie der Empfangstakt und Sendedaten sich gleichzeitig und in derselben Richtung wie ein Sendetakt ausbreiten, ist somit gemäß der ursprünglichen Offenbarung ein Merkmal des gesamten Bussystems, aber nicht Merkmal einer Speicherschaltungskomponente bzw. einer DRAM-Vorrichtung und eines Eingangs- und eines Sendeschaltkreises einer solchen Vorrichtung, wie es in den genannten Ansprüchen 1 beansprucht wird. Der Anspruch 1 nach Hauptantrag, der Anspruch 1 nach Hilfsantrag 1' und die jeweiligen Ansprüche 1 nach den Hilfsanträgen 1 bis 5 sind damit unzulässig.

3. Das einen Bus und eine an den Bus gekoppelte DRAM-Vorrichtung umfassende System nach dem geltenden Anspruch 1 nach Hilfsantrag 1" beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Die Druckschrift D3 offenbart ein System, das einen Bus und eine an diesen Bus gekoppelte DRAM-Vorrichtung umfasst und bei dem eine CPU als Master und ein

DRAM-Datenspeicher mit einem Speicherzellenfeld dynamischer Speicherzellen als Slave über einen Datenbus miteinander gekoppelt sind (*The bus architecture of this invention connects master or bus controller devices, such as CPUs, Direct Memory Access devices (DMAs) or Floating Point Units (FPUs), and slave devices, such as DRAM, SRAM or ROM memory devices / S. 13, Zeilen 13 bis 16; All information sent between master devices and slave devices is sent over the external bus, which, for example, may be 8 bits wide. This is accomplished by defining a protocol whereby a master device, such as a microprocessor, seizes exclusive control of the external bus (i.e., becomes the bus master) and initiates a bus transaction by sending a request packet [...] to one or more slave devices on the bus / S. 15, Zeilen 3 bis 10).*

In Übereinstimmung mit der im Anspruch 1 nach Hilfsantrag 1" gegebenen Lehre weist die DRAM-Speichervorrichtung dieses Systems Eingangsschaltkreise zum Empfangen von Schreibdaten und eines Empfangstakts sowie Sendeschaltkreise zur Übertragung von Lesedaten auf (*In a preferred implementation, semiconductor devices connected to the bus contain registers which specify the memory addresses contained within that device and access-time registers which store a set of one or more delay times at which the device can or should be available to send or receive data / S. 14, Zeilen 7 bis 12; A block diagram of the preferred input/output circuit for address/data/control lines is shown in Fig. 10. This circuitry is particularly well-suited for use in DRAM devices [...] It consists of a set of input receivers 71, 72 and output driver 76 connected to input/output line 69 and pad 75 and circuitry to use the internal clock 73 and internal clock complement 74 to drive the input interface. The clocked input receivers take advantage of the synchronous nature of the bus. To further reduce the performance requirements for device input receivers, each device pin, and thus each bus line, is connected to two clocked receivers, one to sample the even cycle inputs, the other to sample the odd cycle inputs. By thus de-multiplexing the input 70 at the pin, each clocked amplifier is given a full 2 ns cycle to amplify the bus low-voltage swing signal into a full value CMOS logic signal. [...] The output drivers are quite simple and consist of a single*

NMOS pull-down transistor [...] This output driver which can be operated at 500 MHz, can in turn be controlled by a suitable multiplexer with two or more preferably four inputs connected to other internal chip circuitry [...] The input receivers of every slave must be able to operate during every cycle to determine whether the signal on the bus is a valid request packet / S. 53, Zeile 24 bis S. 55, Zeile 19).

In weiterer Übereinstimmung mit der Lehre des Anspruchs 1 nach dem Hilfsantrag 1" werden dabei die Schreib- und die Lesedaten gemäß einer Dualflankenübertragung bezüglich eines Empfangs- bzw. eines Sendetakts empfangen bzw. gesendet:

Wie beim Anmeldungsgegenstand sind auch hier nämlich die Slave-Geräte an eine in zwei Segmente unterteilte Taktleitung angeschlossen, wobei sich das erste Segment dieser Leitung vom Taktgenerator bis zu einem Umkehrpunkt und das zweite Segment von diesem Umkehrpunkt zurück erstreckt. Jeder an die Taktleitung (53, 54 / Fig. 8a) angeschlossene Speicher (ROM 12, DRAM 13, DRAM 14 / Fig. 2; Chip O 51, Chip N 52 / Fig. 8a) empfängt die längs der Taktleitung sich ausbreitenden Taktimpulse jeweils zweimal, ein erstes Mal bei ihrem Hin- und zeitverzögert dazu ein zweites Mal bei ihrem Rücklauf. Die Eingangsschaltkreise der Speicherschaltungskomponente der an die Taktleitung angeschlossenen Speichervorrichtung (ROM, DRAM) erfassen aufeinanderfolgend die beiden ansteigenden Flanken und die beiden abfallenden Flanken der hin- und rücklaufenden Pulse und erzeugen aus den beiden ansteigenden und den beiden abfallenden Signalen einen internen Takt, indem jeweils in der Mitte zwischen den beiden ansteigenden und den beiden abfallenden Flanken ein Taktpuls generiert wird (The preferred bus architecture of this invention comprises 11 signals: [...] Clk1 and Clk2, [...] / S. 18, Zeilen 22 und 23; The two clocks together provide a synchronized, high speed clock for all the devices on the bus [...] To facilitate the extremely high data rate of this external bus relative to the gate delays of the internal logic, the bus cycles are grouped into pairs of even / odd cycles / S. 19,

Zeilen 9 bis 17; The bus clock information can be sent on one or two lines to provide a mechanism for each bused device to generate an internal device clock with zero skew relative to all other device clocks. Referring to Figure 8, in the preferred implementation, a bus clock generator 50 at one end of the bus propagates an early bus clock signal in one direction along the bus, for example on line 53 from the left to right, to the far end of the bus. The same clock signal then is passed through the direct connection shown to a second line 54, and returns as a late bus clock signal along the bus from the far end to the origin propagating from right to left. A single bus clock line can be used if it is left unterminated at the far end of the bus, allowing the early bus clock signal to reflect back along the same line as a late bus clock signal / S. 46, Zeile 23 bis S. 47, Zeile 12 i. V. m. Fig. 1 und 8).

Mit diesem Takt wird jeweils abwechselnd einer der mindestens zwei Empfänger der an den Bus angeschlossenen Speichervorrichtung zur Datenübernahme beim Einlesen oder zum Datensenden bei der Ausgabe von Daten aktiviert (*Fig. 8b illustrates how each device 51, 52 receives each of the two bus clock signals at a different time (because of propagation delay along the wires), with constant midpoint in time between the two bus clocks along the bus. At each device 51, 52, the rising edge 55 of Clock1 53 is followed by the rising edge 56 of Clock2 54. Similarly, the falling edge 57 of Clock1 53 is followed by the falling edge 58 of Clock2 54. This waveform relationship is observed at all other devices along the bus. Devices which are closer to the clock generator have a greater separation between Clock1 and Clock2 relative to devices farther from the generator because of the longer time required for each clock pulse to traverse the bus and return along line 54, but the midpoint in time 59, 60 between corresponding rising or falling edges is fixed because, for any given device, the length of each clock line between the far end of the bus and that device is equal. Each device must sample the two bus clocks and generate its own internal device clock at the midpoint of the two / S. 47, Zeile 13 bis S. 48, Zeile 5 i. V. m. Fig. 8b; A block diagram of the internal device clock generating circuit is shown in Figure 12 and the corresponding timing diagram in Figure 13. [...] The outputs 107, 108 of the delay*

lines 104 and 105 drive clocked input receivers 101 and 111 connected to early and late bus clock inputs 100 and 110, respectively. [...] Variable delay lines 103 and 105 are adjusted via feedback lines 116, 115 so that input receivers 101 and 111 sample the bus clocks just as they transition. Delay lines 103 and 105 are adjusted so that the falling edge 120 of output 107 precedes the falling edge 121 of the early bus clock, Clock1 53, by amount of time 128 equal to the delay in input sampler 101. Delay line 108 is adjusted in the same way so that falling edge 122 precedes the falling edge 123 of late bus clock, Clock2 54, by the delay in input sampler 111. Since the outputs 107 and 108 are synchronized with the two bus clocks and the output 73 of the last delay line 106 is midway between outputs 107 and 108, that is, output 73 follows output 107 by the same amount of time 129 that output 73 precedes output 108, output 73 provides an internal device clock midway between the bus clocks. [...] Note that this circuit organization automatically balances the delay in substantially all device input receivers 71 and 72 (Fig. 10), since outputs 107 and 108 are adjusted so the bus clocks are sampled by input receivers 101 and 111 just as the bus clocks transition / S. 57, Zeile 3 bis S. 58, Zeile 12 i. V. m. Fig. 12 und 13).

Die derart getakteten Eingangs- und Sendeschaltkreise der Speicherschaltungskomponente steuern das Empfangen und das Senden von Daten damit so, dass jede Flanke des Bus-Taktsignals erfasst wird und dass jede Flanke einen Datenübergang zum Empfangen oder Senden von Daten aktiviert, so dass die Daten gemäß einer Dualflankenübertragung empfangen bzw. gesendet werden, womit die Datenübertragungsrate in Übereinstimmung mit der Lehre des Anspruchs 1 nach Hilfsantrag 1" doppelt so hoch ist wie die Frequenz des Taktes des Datenbusses (*Clock distribution problems can be further reduced by using a bus clock and device clock rate equal to the bus cycle data rate divided by two, that is, the bus clock period is twice the bus cycle period. Thus a 500 MHz bus preferably uses a 250 MHz clock rate. This reduction in frequency provides two benefits. First it makes all signals on the bus have the same worst case data rates - data on a 500 MHz can only change every 2 ns. Second, clocking at half the bus cycle data*

rate makes the labeling of the odd and even bus cycles trivial, for example, by defining even cycles to be those when the internal device clock is 0 and odd cycles when the internal device clock is 1 / S. 48, Zeilen 6 bis 17; It (gemeint ist der Eingangs- und Sendeschaltkreis) consists of a set of input receivers 71, 72 and output driver 76 connected to input/output line 69 and pad 75 and circuitry to use the internal clock 73 and internal clock complement 74 to drive the input interface. [...] Each device pin, and thus each bus line, is connected to two clocked receivers, one to sample the even cycle inputs, the other to sample the odd cycle inputs. By thus de-multiplexing the input 70 at the pin, each clocked amplifier is given a full 2 ns cycle to amplify the bus low-voltage-swing signal into a full CMOS logic signal. Persons skilled in the art will recognize that additional clocked input receivers can be used within the teachings of this invention. For example, four input receivers could be connected to each device pin and clocked by a modified internal device clock to transfer sequential bits from the bus to internal device circuits, allowing still higher external bus speeds [...] / S. 54, Zeilen 4 bis 21).

Die vorangehend beschriebenen Maßnahmen stellen sicher, dass sich die Schreib- und Lesedaten auf dem Bus für alle an den Bus angeschlossenen Slaves trotz der Länge der Busleitung und der dadurch verursachten Verzögerung der Signalausbreitung gleichzeitig zum Empfangs- bzw. Sendetakt des Geräts ausbreiten, wie es im Patentanspruch 1 nach Hilfsantrag 1" angegeben ist (*Clocking a high speed bus accurately without introducing error due to propagation delays can be implemented by having each device monitor two bus clock signals and then derive internally a device clock, the true system clock / S. 46, Zeilen 20 bis 23*). Im Unterschied zur Lehre dieses Anspruchs breiten sich Schreib- und Lesedaten dabei jedoch nicht in derselben Richtung wie der Empfangs- und der Lesetakt aus, denn der Empfangs- und der Lesetakt wird jeweils - wie vorangehend erläutert - aus den beiden in entgegengesetzten Richtungen laufenden Taktsignalen gebildet (*vgl. die Fig. 8a/b und die zugehörige Beschreibung*).

Es beruht jedoch nicht auf einer erfinderischen Tätigkeit des Fachmanns, ein derartiges System so auszulegen, dass sich die Schreib- bzw. Lesedaten jeweils in derselben Richtung wie der Empfangs- bzw. der Sendetakt ausbreiten.

Denn die Druckschrift D1 offenbart ein System, bei dem wie bei dem in der Druckschrift D3 offenbarten System zwischen einer zentralen Steuereinheit (*CPU unit 20 / Fig. 2*) und peripheren Einheiten (*remote I/O cage 40 - 80 / Fig. 2*) über einen bidirektionalen Datenbus (*data bus cables 27-31 / Fig. 2*) Daten ausgetauscht werden (*The system organization of the dual clocked data bus is shown in the wiring diagram of Fig. 2. The central processing unit 20 may take the form of a single card or a plurality of cards in a Single card cage. CPU unit 20 will typically include a portion 21 having a processing unit, memory, clock circuitry and maintenance circuits. In the preferred embodiment, the CPU unit 20 will also have an I/O integrated controller card (IOIC) 22 which contains the data transfer logic associated with the data bus. [...] The connector tailgate 26 accommodates the connection of data bus cables 27-31 leading to other units of the data processing system. Data bus cable 27 leads to remote I/O cage 40 and is connected to the bus extender card 41 therein. The remote I/O cage 40 will also have a plurality of I/O attachment logic cards 42a-42k which serve to interface the system to various remotely located I/O devices / Sp. 6, Zeile 26 bis Sp. 6, Zeile 49*).

Bei diesem System synchronisieren ein Empfangstakt den Empfang und ein Lesetakt das Lesen von Daten bei dem Datentransfer zwischen dem jeweiligen Sender und dem jeweiligen Empfänger, wobei das Bussystem so ausgelegt ist, dass ein durch die Länge des Busses verursachter Takt-Daten-Offset vermieden wird (*This invention is directed to a data bus of the type used in data processing systems for high-speed, parallel transmission of data between the central processing unit and the peripheral and various other units making up the system. The invention relates to the clocking system used to synchronize the transmission and reception of data, and is designed to avoid the problems which arise when the length of the data bus causes the data to arrive at the receiving unit out of synchronism*

with the clock pulse used in decoding the data. The improvement in semiconductor devices has led to the operation of data processing systems at higher and higher speeds which requires correspondingly higher speed for the transmission of data between units of the system. As transmission speed increases, the relationship between the data and the clock becomes more critical. In parallel transmission systems, the signal on the data lines is sampled at a precise time, determined by a clock signal. If the clock signal is earlier than the signal on the data lines, or later than the signal on the data lines, an erroneous value will result. It is therefore imperative that the relationship between the clock signal and the signal on the data lines be accurately maintained such that the data lines are sampled at precisely the correct time. Since the physical length of the paths from the system clock oscillator to the various components of the system will be different, the time of arrival of the clock pulse will also be different / Sp. 1, Zeilen 1 bis 31).

Um diesem Problem zu begegnen (*It is a primary object of the invention to provide an improved clocking system for a bi-directional parallel data bus. It is another object of the invention to provide a parallel data bus clocking system which is insensitive to the length of the bus. [...] Still another object of the invention is to provide a parallel data bus clocking system which accommodates the transmission of data over the bus in two directions / Sp. 3, Zeile 56 bis Sp. 4, Zeile 11*), wird gemäß der Lehre der Druckschrift D1 das bidirektionale Bussystem so ausgebildet, dass das Taktsignal in beiden Datenübertragungsrichtungen jeweils parallel zum Datensignal läuft. Die in der Zentraleinheit erzeugten Taktpulse werden hierzu auf einen von der Zentraleinheit zur peripheren Einheit verlaufenden Abschnitt einer Taktleitung gegeben, dort umgelenkt und auf einem anderen Abschnitt der Taktleitung von der peripheren Einheit wieder zurück zur Zentraleinheit übermittelt. Dabei bilden die in der ersten Richtung (von der Zentraleinheit zur peripheren Einheit) laufenden Taktpulse beim Einschreiben von Daten in die periphere Einheit den Empfangstakt in der peripheren Einheit und die in der zweiten entgegengesetzten Richtung (von der peripheren Einheit zur Zentraleinheit) laufenden Taktpulse beim Senden von Daten durch die periphere Einheit den Sen-

detakt in der peripheren Einheit. Dabei laufen Datensignal und Taktpulse beim Empfangen und Senden auf dem Bus stets parallel, so dass sich die Schreibdaten gleichzeitig und in derselben Richtung wie der Empfangstakt und die Sendedaten gleichzeitig und in der gleichen Richtung wie der Sendetakt ausbreiten (*These and other objects, features and advantages are realized by a data bus having a clocking system which transmits the clock signal on the bus in parallel with the data signal. The clock signal is utilized at the remote end of the bus for sampling the data signal. When data is transmitted back to the originating end of the bus, the clock signal received at the remote end is "turned around" and transmitted in parallel with the data being transmitted to the originating end of the bus. The clock signal existing at the then receiving end of the bus is always used for the sampling of the data signal. Since the clock signal at the transmitting end of the bus is used to clock the data onto the data bus and is processed by the same circuits which amplify and shape the data signals, the clock signal subjected to the same transmission delays and phase shifts as the data signal and will therefore remain in synchronism with the high speed data signals over long distances without the need for adjustment or the introduction of variable length delay devices / Sp. 4, Zeilen 12 bis 33; Circuitry, not shown, is effective to delay the rising edge of the oscillator signal 1 for a period of 10ns and add the 20ns down portion of the signal to create a pulse that is up for 30ns and down for 10ns, designated as clock X and shown as signal 2. The signal 3, designated as clock Y, is developed by an inverter circuit which is not shown / Sp. 5, Zeilen 5 bis 11; Data transmitted on the bus is accompanied by the OSCILLATOR signal 1, and circuitry at the receiving logic card uses signal 1 to locally develop the CLOCK X and CLOCK Y signals to ensure that the CLOCK X and CLOCK Y signals are in phase synchronism without skew relative to the data on the bus. The OSCILLATOR signal is developed by the transmitting card and placed on the data bus at the same time as the data. It will be appreciated that the delay introduced by the transmission line which makes up the bus will be the same for the OSCILLATOR signal and the data signal. This means that the two signals will arrive at the receiving end of the bus after a period determined by the transmission characteristics of the line, but because they both*

traverse the same path, they will remain in synchronism with each other. Thus, unlike systems which use separate clock oscillators at opposite ends of the line, there is no deterioration in the phase relationship caused by the tolerances between oscillators. The OSCILLATOR signal 1 is used at the far (receiving) end of the line to generate the CLOCK X and CLOCK Y signals in the same fashion as was used at the near (transmitting) end. When data is sent from the near end of the bus to the far end, it is sent (clocked) to the edge of the CLOCK X signal. Because the data travels in the same cable as the OSCILLATOR signal which created the CLOCK X signal, it arrives at the far end with the same relationship to the CLOCK X edge as it had when it was sent. Thus, the length and transmission characteristic of the cable is of no consequence. The data is clocked into registers at the far end and processed just as it would have been if had been received over zero distance. When data is sent from the far end to the near end, the OSCILLATOR signal received at the far end is „fed through“ i.e. „wrapped around“ and sent back to the near end with the data originating at the far end. Of course, the data which is received at the near end is accompanied by an OSCILLATOR signal which is out of phase with the original OSCILLATOR signal generated at the near end. For this reason, the OSCILLATOR signal which accompanied the data received from the far end is used to clock the data into the receiving register at the near end. Data is clocked out of the receiving register at the near end by the OSCILLATOR signal generated at the near end in synchronism with the processing of other data at the near end / Sp. 5, Zeile 32 bis Sp. 6, Zeile 25).

Diese Lehre zum gleichen Zweck, nämlich zum Sicherstellen eines ordnungsgemäßen Datentransfers mit hoher Geschwindigkeit bei dem Bussystem nach der Druckschrift D3 anzuwenden, bei dem die Taktleitung ebenfalls bereits aus zwei parallel zum Datenbus in entgegengesetzten Richtungen zueinander verlaufenden Abschnitten besteht, wobei der erste Abschnitt von dem als Zentraleinheit dienenden Master (CPU / Fig. 2) zur peripheren Speichervorrichtung (DRAM / Fig. 2) und der zweite Abschnitt in der entgegengesetzten Richtung von der peripheren Speichereinheit zum Master verläuft und die Taktpulse sich längs der beiden Ab-

schnitte in entgegengesetzten Richtungen ausbreiten (vgl. die Fig. 8a i. V. m. Fig. 2), beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Damit ist das System nach Anspruch 1 nach Hilfsantrag 1'' nicht patentfähig.

4. Die in den Anspruchssätzen nach dem Hauptantrag, nach dem Hilfsantrag 1', nach dem Hilfsantrag 1'' und nach den Hilfsanträgen I bis V genannten Unteransprüche fallen wegen der Antragsbindung mit dem jeweiligen Anspruch 1, vgl. BGH GRUR 2007, 862, 863 Tz. 18 - „Informationsübermittlungsverfahren II“.

5. Bei der vorangehend dargelegten Sachlage war die Beschwerde zurückzuweisen.

Dr. Strößner

Brandt

Metternich

Dr. Friedrich

Cl