



BUNDESPATENTGERICHT

23 W (pat) 25/07

Verkündet am
1. März 2011

(Aktenzeichen)

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2004 062 202.7

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 1. März 2011 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Brandt, Metternich und Dr. Friedrich

beschlossen:

Der Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 28. Februar 2007 wird aufgehoben.

Es wird ein Patent mit der Bezeichnung „Verfahren zum Herstellen einer Gate-Elektrode eines ersten Feldeffekttransistors und einer Gate-Elektrode eines zweiten Feldeffekt-Transistors und Verfahren zum Herstellen eines integrierten Schaltkreises“ mit dem Anmeldetag 23. Dezember 2004 auf der Grundlage folgender Unterlagen erteilt:

Patentansprüche 1 bis 14 gemäß dem in der mündlichen Verhandlung vom 1. März 2011 eingereichten Antrag,

den in der mündlichen Verhandlung vom 1. März 2011 eingereichten Beschreibungsseiten 1 bis 18,

den Seiten 24 bis 25 gemäß Schriftsatz vom 23. Dezember 2004 und

2 Blatt Zeichnungen mit Figuren 1A bis 2E gemäß Schriftsatz vom 23. Dezember 2004.

Gründe

I.

Die Patentanmeldung 10 2004 062 202 mit der Bezeichnung „Verfahren zum Herstellen einer Schichtenfolge und Verfahren zum Herstellen eines integrierten Schaltkreises“ ist am 23. Dezember 2004 beim Deutschen Patent- und Markenamt eingereicht worden. Sie nimmt die Priorität der US-Anmeldung 10/751 257 vom 2. Januar 2004 in Anspruch.

Die Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts hat im Prüfungsverfahren auf den Stand der Technik gemäß den Druckschriften

D1 US 6 265 259 B1

D2 US 5 670 810 A

D3 US 2003/0017657 A1

D4 US 2002/0164857 A1 und

D5 US 6 534 414 B1

hingewiesen und dargelegt, dass das Verfahren nach dem damals geltenden Anspruch 1 gegenüber dem Stand der Technik gemäß der Druckschrift D1 nicht neu sei. Zudem sei der Unteranspruch 4 wegen der darin enthaltenen Angabe „dass die Breite der ersten lateral begrenzten Struktur *im Allgemeinen* der Breite der zweiten lateral begrenzten Struktur gleicht“ unklar.

Die Prüfungsstelle hat die Anmeldung mit Beschluss vom 28. Februar 2007 unter Hinweis auf diese Unklarheit zurückgewiesen.

Gegen den am 15. März 2007 zugestellten Beschluss wendet sich die Beschwerde der Anmelderin vom 13. April 2007, eingegangen am selben Tag.

In der mündlichen Verhandlung vom 1. März 2011 beantragt die Anmelderin,

den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 28. Februar 2007 aufzuheben und

ein Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 14 gemäß dem in der mündlichen Verhandlung vom 1. März 2011 eingereichten Antrag,

den in der mündlichen Verhandlung vom 1. März 2011 eingereichten Beschreibungsseiten 1 bis 18,

den Seiten 24 bis 25 gemäß Schriftsatz vom 23. Dezember 2004 und

2 Blatt Zeichnungen mit Figuren 1A bis 2E gemäß Schriftsatz vom 23. Dezember 2004.

Der mit diesem Antrag eingereichte Anspruch 1 lautet:

„1. Verfahren zum Herstellen einer Gate-Elektrode eines ersten Feldeffekttransistors und einer Gate-Elektrode eines zweiten Feldeffekttransistors, die eine erste und eine zweite lateral begrenzte Struktur haben, das die Schritte aufweist:

Aufbringen einer Gateisolationsschicht (204) auf einem Halbleiter-Substrat (203) mit zwei Oberflächen-Bereichen, wobei der erste Oberflächen-Bereich neben dem zweiten Oberflächen-Bereich angeordnet ist;

Aufbringen einer undotierten Schicht (205) auf der Gateisolationsschicht (204);

Dotieren der undotierten Schicht (205) auf dem ersten Oberflächen-Bereich des Halbleiter-Substrats (203) mit einer Dotier-Substanz eines ersten Leitungstyps, wodurch eine erste mit der Dotier-Substanz des ersten Leitungstyps dotierte Schicht (211) auf dem ersten Oberflächen-Bereich gebildet wird und eine zweite, von der Dotier-Substanz des ersten Leitungstyps frei bleibende Schicht (205) auf dem zweiten Oberflächen-Bereich gebildet wird;

Ausbilden einer dritten Schicht (213) auf der ersten Schicht (211), wobei die dritte Schicht (213) frei von Dotier-Substanz des ersten Leitungstyps ist,

Ausbilden einer vierten Schicht (221) auf der zweiten Schicht (205), wobei die vierte Schicht (221) mit einer Dotier-Substanz des ersten Leitungstyps dotiert ist,

Ätzen der ersten Schicht (211) und der dritten Schicht (213), wobei die erste Schicht und die dritte Schicht strukturiert werden, so dass die erste lateral begrenzte Struktur gebildet wird, wobei die strukturierte erste Schicht (242) die Gate-Elektrode des ersten Feldeffekttransistors bildet; und

Ätzen der zweiten Schicht (205) und der vierten Schicht (221), wobei die zweite Schicht und die vierte Schicht strukturiert werden, so dass die zweite

lateral begrenzte Struktur gebildet wird, wobei die strukturierte zweite Schicht (241) die Gate-Elektrode des zweiten Feldeffekttransistors bildet.“

Der nebengeordnete Anspruch 12 dieses Antrags lautet:

„12. Verfahren zum Herstellen eines integrierten Schaltkreises, wobei das Verfahren das Herstellen einer Gate-Elektrode eines ersten Feldeffekttransistors und einer Gate-Elektrode eines zweiten Feldeffekttransistor nach einem der Ansprüche 1 bis 11 aufweist.“

Hinsichtlich der Unteransprüche 2 bis 11 sowie der Unteransprüche 13 und 14 und hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die form- und fristgerecht erhobene und zulässige Beschwerde ist begründet. Der angefochtene Beschluss wird aufgehoben und das Patent gemäß dem in der mündlichen Verhandlung gestellten Antrag erteilt.

1. Gegenstand der Anmeldung ist gemäß den geltenden Beschreibungsunterlagen ein Verfahren zum Herstellen einer Gate-Elektrode eines ersten Feldeffekttransistors und einer Gate-Elektrode eines zweiten Feldeffekttransistors, die eine erste und eine zweite lateral begrenzte Struktur haben, sowie ein Verfahren zum Herstellen eines integrierten Schaltkreises.

Beim Herstellen von Gate-Elektroden für CMOS-Schaltungen werden die beiden komplementären MOS-Transistortypen NMOS und PMOS nebeneinander auf dem Halbleiter-Wafer integriert. Dabei müssen die üblicherweise aus Polysilizium (po-

lykristallinem Silizium) gebildeten Gate-Elektroden der beiden Transistortypen so strukturiert werden, dass die Transistoren jeweils die vom Schaltungsdesign vorgegebene Kanallänge und Kanalweite aufweisen, da diese Größen wesentliche elektrische Eigenschaften der Transistoren beeinflussen. Bei den zunehmend kleineren Strukturbreiten wird es jedoch immer schwieriger, beim Ätzen der Polysilizium-Gate-Elektroden die vorgegebenen Abmessungen zu gewährleisten.

Dies ist vor allen Dingen darauf zurückzuführen, dass beim Ätzen der Gate-Elektroden gleichzeitig Bereiche mit n-leitend dotiertem Polysilizium (für die Gate-Elektroden der NMOS-Transistoren) und Bereiche mit undotiertem oder p-leitend dotiertem Polysilizium (für die Gate-Elektroden der PMOS-Transistoren) geätzt werden. Da die Ätzraten für Polysilizium jeweils von Art und Grad der Dotierung abhängen, weisen die Gate-Elektroden der beiden Transistor-Typen aufgrund der unterschiedlichen Dotierung des Polysiliziums im Resultat jeweils unterschiedliche Abmessungen auf, so dass die elektrischen Eigenschaften der PMOS- und NMOS-Transistoren von den gewünschten Werten abweichen.

Gemäß der geltenden Beschreibungseinleitung S. 6, 3. Abs., besteht das der Anmeldung zugrunde liegende technische Problem darin, ein vereinfachtes Verfahren zum Herstellen einer Gate-Elektrode eines ersten Feldeffekttransistors und einer Gateelektrode eines zweiten Feldeffekttransistors bereitzustellen, die lateral begrenzte Strukturen mit der im Wesentlichen gleichen Breite besitzen, wenn Prozess-Materialien verschiedene Dotier-Eigenschaften haben.

Zur Lösung dieser Aufgabe wird gemäß geltendem Anspruch 1 eine Gateisolationsschicht auf einem Halbleiter-Substrat mit zwei nebeneinander angeordneten Oberflächen-Bereichen aufgebracht. Nachdem eine undotierte Schicht auf der Gateisolationsschicht aufgebracht worden und diese auf dem ersten der beiden Oberflächen-Bereiche mit einer Dotier-Substanz eines ersten Leitungstyps dotiert worden ist, wodurch eine erste mit der Dotier-Substanz des ersten Leitungstyps dotierte Schicht auf dem ersten Oberflächen-Bereich und eine zweite, von der Do-

tier-Substanz des ersten Leitungstyps frei bleibende Schicht auf dem zweiten Oberflächen-Bereich gebildet wird, wird eine dritte, von der Dotier-Substanz des ersten Leitungstyps freie Schicht auf der ersten Schicht und eine vierte, mit einer Dotier-Substanz des ersten Leitungstyps dotierte Schicht auf der zweiten Schicht gebildet. Nach dem Ätzen der ersten und der dritten Schicht bildet die strukturierte erste Schicht die strukturierte Gate-Elektrode des ersten Feldeffekttransistors und nach dem Ätzen der zweiten Schicht und der vierten Schicht bildet die strukturierte zweite Schicht die Gate-Elektrode des zweiten Feldeffekttransistors.

Die auf die erste bzw. die zweite Schicht aufgebraachte dritte bzw. vierte Schicht gewährleisten aufgrund der zu der darunterliegenden Schicht komplementären Dotierung, dass beim Ätzen der Gate-Strukturen annähernd gleiche Breiten der Gate-Elektroden erreicht werden.

Der nebengeordnete Anspruch 12 definiert ein entsprechendes Verfahren zum Herstellen eines integrierten Schaltkreises.

2. Die geltenden Ansprüche 1 bis 14 sind zulässig.

Der geltende Anspruch 1 geht auf den ursprünglichen Patentanspruch 1 vom Anmeldetag zurück, wobei dieser dahingehend klargestellt ist, dass das Verfahren zum Herstellen einer Gate-Elektrode eines ersten Feldeffekttransistors und einer Gate-Elektrode eines zweiten Feldeffekttransistors dient, wobei die Gate-Elektroden eine erste und eine zweite lateral begrenzte Struktur haben. Diese Angabe geht auf S. 8, vorletzter Abs., S. 13, vorletzter Abs. und S. 17, 1e. Abs. bis S. 18, 1. Abs. der ursprünglichen Unterlagen zurück.

Das zusätzlich aufgenommene Merkmal, dass eine Gateisolationsschicht auf einem Halbleiter-Substrat mit einem ersten Oberflächenbereich und einem zweiten Oberflächenbereich aufgebracht wird, ist in den ursprünglichen Unterlagen auf

S. 12, dritter Absatz offenbart, in dem angegeben wird, dass eine Gateoxidschicht als Isolationsschicht aufgebracht wird.

Das ebenfalls ergänzte Merkmal, dass eine undotierte Schicht auf der Gateisolationsschicht aufgebracht wird, geht auf S. 14, 1e. Abs. der ursprünglichen Unterlagen zurück.

Die Klarstellung, dass die undotierte Schicht auf dem ersten Oberflächen-Bereich des Halbleiter-Substrats mit einer Dotier-Substanz eines ersten Leitungstyps dotiert wird, wodurch eine erste mit der Dotier-Substanz des ersten Leitungstyps dotierte Schicht auf dem ersten Oberflächen-Bereich und eine zweite, von der Dotier-Substanz des ersten Leitungstyps frei bleibende Schicht auf dem zweiten Oberflächen-Bereich gebildet wird, geht ebenfalls aus der ursprünglichen Beschreibung S. 14, 1e. Abs. hervor.

Die Anmelderin hat im Anspruch 1 ferner klargelegt, dass die strukturierte erste Schicht die Gate-Elektrode des ersten Feldeffekttransistors bildet und dass die strukturierte zweite Schicht die Gate-Elektrode des zweiten Feldeffekttransistors bildet. Dies geht aus S. 17, 1e. Abs. bis S. 18, 1. Abs. der ursprünglichen Beschreibung hervor.

Der geltende Anspruch 1 ist somit durch die ursprüngliche Offenbarung gedeckt.

Der geltende Unteranspruch 2 entspricht dem ursprünglichen Unteranspruch 2 und wurde lediglich an die geänderte Zweckangabe angepasst.

Der geltende Unteranspruch 3 geht auf den ursprünglichen Unteranspruch 3 zurück und wurde diesem gegenüber lediglich im Sinne der ursprünglichen Beschreibung klargelegt.

Der geltende Unteranspruch 4 entspricht bis auf die Streichung der von der Prüfungsstelle als unklar beanstandeten Angabe „im Allgemeinen“ dem ursprünglichen Unteranspruch 4.

Die geltenden Unteransprüche 5 bis 11 basieren auf den ursprünglichen Unteransprüchen 6 bis 12 und wurden lediglich sprachlich überarbeitet bzw. an den geänderten Wortlaut des Anspruchs 1 angepasst.

Der geltende nebengeordnete Anspruch 12 basiert auf dem ursprünglichen Anspruch 14 und wurde neben einer sprachlichen Überarbeitung lediglich an den geltenden Anspruch 1 angepasst.

Die geltenden Unteransprüche 13 und 14 entsprechen inhaltlich den ursprünglichen Unteransprüchen 15 und 16.

3. Das Verfahren nach den geltenden Ansprüchen 1 und das Verfahren nach dem nebengeordneten Anspruch 12 ist neu und beruht auch auf einer erfinderischen Tätigkeit des zuständigen Durchschnittsfachmanns.

Als Fachmann ist ein Fachhochschulingenieur der Halbleitertechnik mit mehrjähriger Berufserfahrung in der Chipfertigung, insbesondere im Bereich der Fertigung von Polysilizium-Gate-Elektroden von MOSFET-Transistoren anzusehen.

Die Druckschriften D4 und D5 bilden den der Anmeldung nächstkommenden Stand der Technik.

Beide Druckschriften gehen nämlich jeweils von Verfahren zum Herstellen einer Gate-Elektrode eines ersten Feldeffekttransistors und einer Gate-Elektrode eines zweiten Feldeffekttransistors aus, die eine erste und eine zweite lateral begrenzte Struktur haben, bei denen auf einer Gateisolationsschicht unterschiedlich dotierte Polysilizium-Gate-Elektroden auf einem gemeinsamen Halbleitersubstrat erzeugt

werden, indem Polysilizium-Schichten aufgebracht, unterschiedlich dotiert und anschließend strukturiert bzw. geätzt werden. Beide Druckschriften stellen sich auch die Aufgabe, die durch die dotierungsabhängigen Ätzraten der unterschiedlich dotierten Polysilizium-Bereiche entstehenden Probleme zu vermeiden und Verfahren anzugeben, mit denen sich trotz der unterschiedlichen Dotierung der Polysilizium-Bereiche im Wesentlichen gleich breite Gate-Elektroden herstellen lassen, vgl. Druckschrift D4, Absätze [0002] bis [0008] i. V. m. Fig. 1b, und Druckschrift D5, Sp. 1, Z. 6 bis 24.

Gemäß der Lehre der Druckschrift D4 wird diese Aufgabe durch ein mehrstufiges Ätzverfahren gelöst. Nachdem eine Oxidschicht (*gate oxide layer 120*) auf ein Halbleitersubstrat (*semiconductor substrate 100*) und anschließend eine zunächst undotierte Polysiliziumschicht (*undoped polysilicon layer 130*) auf die Oxidschicht aufgebracht worden sind und die Polysiliziumschicht in einem ersten Bereich mit einer Dotiersubstanz (*injecting N⁺ ion 140 on a half of left side*) dotiert worden ist, wohingegen ein zweiter, von einer Fotolackmaske (*150*) abgedeckter Bereich undotiert geblieben ist (*vgl. insoweit Absatz [0018] i. V. m. Fig. 2a*), werden anschließend über beiden Gebieten jeweils Maskenstrukturen (*dual gate mask patterns 155*) erzeugt (*vgl. Absatz [0019] i. V. m. Fig. 2b*), die die Gatestrukturen der beiden komplementären Feldeffekttransistoren definieren, die bei den dann nachfolgenden mehreren Ätzschritten mit unterschiedlichen Ätzmitteln in den beiden Polysilizium-Bereichen erzeugt werden. Die gleiche Breite der unterschiedlich dotierten Gate-Elektroden wird dabei dadurch erreicht, dass dem Ätzgas zusätzliche Gase beigemischt werden, die den Ätzangriff so verändern, dass die Unterschiede im Ätzverhalten von dotiertem und undotiertem Polysilizium verringert werden, wobei der mehrstufige Ätzprozess es ermöglicht, die Ätzgeschwindigkeiten und die anisotropen Ätzprofile bei den aufeinanderfolgenden Ätzschritten jeweils geeignet einzustellen (*vgl. die Absätze [0021] bis [0023] i. V. m. Fig. 2c bis 2e*).

Die Druckschrift D4 gibt somit zwar in Übereinstimmung mit der Lehre des geltenden Anspruchs 1 die Lehre, eine Gateisolationsschicht auf einem Halbleiter-Substrat mit zwei Oberflächen-Bereichen und eine undotierte Schicht auf der Gateisolationsschicht aufzubringen sowie die undotierte Schicht auf einem ersten Oberflächen-Bereich des Halbleiter-Substrats mit einer Dotier-Substanz eines ersten Leitungstyps zu dotieren und so eine erste, mit der Dotier-Substanz des ersten Leitungstyps dotierte Schicht auf dem ersten Oberflächen-Bereich und eine zweite, von der Dotier-Substanz des ersten Leitungstyps frei bleibende Schicht auf dem zweiten Oberflächen-Bereich zu bilden. Die weitere Lehre des geltenden Anspruchs 1, eine dritte Schicht auf der ersten Schicht und eine vierte Schicht auf der zweiten Schicht auszubilden, wobei die dritte Schicht frei von Dotier-Substanz des ersten Leitungstyps ist und die vierte Schicht mit einer Dotier-Substanz des ersten Leitungstyps dotiert ist, und zum Herstellen der Gate-Elektroden die erste und die dritte Schicht sowie die zweite und die vierte Schicht zu ätzen, ist - wie sich aus den vorangehenden Darlegungen ergibt - aus der Druckschrift D4 jedoch weder bekannt noch durch diese Druckschrift nahegelegt.

In gleicher Weise gilt dies auch für die Druckschrift D5. Diese gibt die Lehre, zur Lösung des eingangs genannten Problems die unterschiedlich dotierten Polysilizium-Bereiche jeweils getrennt voneinander und ggfs. mit einem an die jeweilige Dotierung angepassten Ätzprozess bzw. einem in der Zusammensetzung veränderten Ätzgas zu strukturieren (*vgl. D5, Sp. 3, Zeilen 43 bis 47 i. V. m. Sp. 4, Zeilen 14 bis 20*). Wie die Druckschrift D4 geht auch die Druckschrift D5 dabei von einem Verfahren aus, bei dem auf ein Halbleitersubstrat (*silicon substrate 12 / Fig. 1A*) eine Polysilizium-Schicht (*dual poly-film 14 / Fig. 1A*) mit unterschiedlich dotierten Bereichen (*p-Poly 2-1, n-Poly 2-2 / Fig. 1A*) aufgebracht wird. Soweit nicht über der Polysiliziumschicht noch eine Metallschicht (*metallic conducting film 16 / Fig. 1A*) aufgebracht wird, wie es als Option vorgesehen ist, wird direkt auf dem Polysilizium eine aus mehreren dielektrischen Schichten bestehende Antireflex-Schichtanordnung (*dielectric multi-layer film 18 / Fig. 1A; ARC layers 18a, 18b, 18c*) erzeugt. Nacheinander werden dann in zwei aufeinanderfolgenden

Maskierungs- und Ätzschritten die beiden Polysilizium-Bereiche (*p-Poly 2-1, p-Poly 2-2*) getrennt voneinander geätzt und zu Gate-Elektroden strukturiert (*vgl. Sp. 2, Zeile 8 bis Sp. 3, Zeile 52*).

Auch diese Schrift kann somit keine Anregung geben, eine dritte und eine vierte Schicht gemäß der Lehre des geltenden Anspruchs 1 vorzusehen und zum Herstellen der beiden Gate-Elektroden jeweils die erste und die dritte und die zweite und die vierte Schicht zu strukturieren.

Eine derartige Anregung kann der Fachmann auch nicht den weiter ab liegenden Druckschriften D1 bis D3 entnehmen:

Die Druckschrift D1 offenbart ein Verfahren zum Herstellen einer CMOS-Feldefekttransistor-Anordnung, bei dem auf einem Halbleitersubstrat mit einer p-Wanne und einer n-Wanne ganzflächig ein Gate-Oxid erzeugt sowie ebenso ganzflächig ein einheitlich dotiertes Polysilizium-Schichtsystem abgeschieden wird, das anschließend zu Gate-Elektroden strukturiert wird, vgl. vor allem die Fig. 2 und 3 und die zugehörige Beschreibung. Damit offenbart diese Druckschrift keine Schichtanordnung gemäß der Lehre des geltenden Anspruchs 1 und vermittelt auch keine Anregung hierzu.

Die Druckschrift D2 befasst sich mit einem Verfahren zum Herstellen vertikaler Transistoren mit übereinanderliegenden, abwechselnd unterschiedlich dotierten Schichten. Bei diesem Verfahren werden zwar auf verschiedenen Bereichen des Substrats übereinander unterschiedlich dotierte Polysilizium-Schichten aufgebracht und strukturiert, jedoch bilden diese Schichten die Source-, Kanal- und Draingebiete eines vertikalen Transistors und keine Gate-Elektroden, vgl. insbesondere die Fig. 1 bis 10 und 12 bis 14 und die zugehörige Beschreibung. Die Druckschrift D2 kann dementsprechend keine Anregungen zu einem Herstellungsverfahren von Gate-Elektroden geben.

Die Druckschrift D3 befasst sich zwar mit der Herstellung von Gate-Elektroden für Feldeffekttransistoren, offenbart aber bereits keine Polysilizium-Schicht, die gemäß der Lehre des geltenden Anspruchs 1 in einem ersten Bereich dotiert wird und in einem zweiten Bereich undotiert bleibt. Vielmehr offenbart diese Druckschrift jeweils über das gesamte Substrat aufgebrauchte und jeweils ganzflächig einheitlich dotierte Polysiliziumschichten (*vgl. insbesondere Fig. 3A und Absätze [0058] bis [0061] mit dem Halbleitersubstrat 100, einer n-dotierten Polysiliziumschicht 102, einer isolierenden ONO-Schicht 104, einer weiteren n-dotierten Polysiliziumschicht 106 und einer Nitridschicht 108*). Damit weicht diese Schichtanordnung von der Lehre gemäß Anspruch 1 ab, wobei sich das der Anmeldung zugrunde liegende Problem der unterschiedlichen Ätzraten verschieden dotierter Polysilizium-Bereiche gar nicht stellt, so dass diese Schrift keine Anregung zu der Lehre des Anspruchs 1 geben kann.

Das Verfahren nach dem geltenden Anspruch 1 ist damit neu und beruht auf einer erfinderischen Tätigkeit des Fachmanns.

4. Gleiches gilt auch für das Verfahren zum Herstellen eines integrierten Schaltkreises nach dem nebengeordneten Anspruch 12. Denn dieser lehrt, bei der Herstellung der Gate-Elektroden das Verfahren nach Anspruch 1 einzusetzen, so dass sich die Patentfähigkeit des Verfahrens nach Anspruch 12 aus den vorangehenden Darlegungen zum Verfahren nach Anspruch 1 ergibt.

5. Die abhängigen Ansprüche 2 bis 11 bzw. 13 und 14 definieren weitere Ausgestaltungen des Verfahrens nach Anspruch 1 bzw. nach Anspruch 12 und können sich somit diesen Ansprüchen anschließen.

Die übrigen Unterlagen genügen den an sie zu stellenden Anforderungen.

6. Bei dieser Sachlage war der angefochtene Beschluss aufzuheben und das Patent antragsgemäß zu erteilen.

Dr. Strößner

Brandt

Metternich

Dr. Friedrich

Cl