



BUNDESPATENTGERICHT

20 W (pat) 10/06

(Aktenzeichen)

Verkündet am
23. Mai 2011

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 102 07 802.5

...

hat der 20. Senat (Technischer Beschwerdesenat) auf die mündliche Verhandlung vom 23. Mai 2011 durch den Vorsitzenden Richter Dipl.-Phys. Dr. Mayer, die Richterin Dr. Mittenberger-Huber sowie die Richter Dipl.-Ing. Gottstein und Dipl.-Ing. Musiol

beschlossen:

1. Der Beschluss der Prüfungsstelle des Deutschen Patent- und Markenamts für Klasse H03F vom 21. November 2005 wird aufgehoben und das Patent 102 07 802 auf der Grundlage folgender Unterlagen erteilt:

Bezeichnung:

CMOS-Differenzverstärker und Eingangsstufe

Patentansprüche:

neue Patentansprüche 1 bis 11 gemäß im Termin übergebener Unterlagen

Beschreibung:

neue Beschreibung gemäß im Termin übergebener Unterlagen

Zeichnungen: Figuren 1 bis 3, eingereicht am Anmeldetag

2. Die Rückzahlung der Beschwerdegebühr wird angeordnet.

Gründe

I.

Die am 25. Februar 2002 eingereichte Patentanmeldung betrifft einen „CMOS-Differenzverstärker und Eingangsstufe“, mithin einen aus PMOS- und NMOS-Feldeffekttransistoren aufgebauten CMOS-Differenzverstärker, der in einer Taktverteilerschaltung eingesetzt werden kann. Ausgehend von einer bekannten CMOS-Differenzverstärkerschaltung, wie sie bspw. in der Figur 1 der Anmeldung wiedergegeben ist, hat es sich die Anmelderin zur Aufgabe gemacht, einen derar-

tigen CMOS-Differenzverstärker hinsichtlich seiner Arbeitsgeschwindigkeit so zu verbessern, dass er sich für den Einsatz in Taktverteilerschaltungen eignet, die Frequenzen im Bereich von 1 GHz verarbeiten können, und der darüber hinaus aufgrund einer effizienteren Nutzung der Transistoren mit einer geringeren Schaltungsfläche auskommt (vgl. Beschreibungseinleitung vom 9. April 2003, Seite 2, Zeilen 18 bis 23).

In ihrem Prüfungsbescheid vom 2. Oktober 2002 verneint die Prüfungsstelle die Gewährbarkeit des damals geltenden Patentanspruchs 1, da in Bezug auf das Merkmal „dass dieser im Sättigungsbereich arbeitet“ im kennzeichnenden Teil des Patentanspruchs 1 unklar sei, auf welchen Transistor der Artikel „dieser“ zu beziehen sei.

Zusätzlich verweist sie auf die Druckschriften

- (1) US 4958133 A und
- (2) DE 69415701 T2,

aus denen jeweils der Oberbegriff des Patentanspruchs 1 bekannt sei.

Zusätzlich sei „aus der Druckschrift (2) (siehe Fig. 3 und Seite 6, 2. Absatz letzter Satz) bekannt, dass die Transistoren Q7 und Q8 in Sättigung bleiben, und dass (siehe Fig. 3 und Seite 6 3. Absatz vorletzter Satz) der Drain-Source Spannung V_{dsat} über die Kaskode-Stromquellen Transistoren Q13 und Q14 Rechnung getragen wird.“

Davon ausgehend kommt die Prüfungsstelle dann zu dem Ergebnis, dass nicht ohne weiteres ersichtlich sei, dass ein klar gestellter Patentanspruch 1 gewährbar wäre.

Inwieweit und ob damit die Neuheit des Anmeldegegenstandes bzw. das Zugrundeliegen einer erfinderischen Tätigkeit in Frage zu stellen ist, dazu verhält sich die Prüfungsstelle nicht.

Die Prüfungsstelle kommt im Weiteren, ohne dass eine nachvollziehbare Auseinandersetzung mit dem von ihr herangezogenen Stand der Technik bezüglich Neuheit bzw. dem Zugrundeliegen einer erfinderischen Tätigkeit ersichtlich wäre, zu dem Ergebnis, dass ein klargestellter Patentanspruch 1 mit den Merkmalen der Unteransprüche 4 und 5 prinzipiell gewährbar sei.

Bezüglich der Patentansprüche 13 und 14 führt die Prüfungsstelle schließlich aus: „Es ist nicht klar welche zusätzlichen Merkmale der Patentanspruch 13 offenbart, da eine Signalverteilerschaltung für den Fachmann jede Schaltung mit mindestens einem Eingang und einem Ausgang darstellt. Weiterhin ist das Merkmal des Patentanspruch 14 „in Form einer Taktverteilerschaltung“ unklar. Die Prüfungsstelle schlägt vor die Ansprüche 13 und 14 zu streichen.“

In Beantwortung des Prüfungsbescheids hat die Anmelderin mit Eingabe vom 9. April 2003 neue Patentansprüche 1 bis 13 und eine neue Beschreibungseinleitung eingereicht.

Die Prüfungsstelle für IPC-Klasse H03F des Deutschen Patent- und Markenamts hat in Reaktion darauf die durch Beschluss vom 21. November 2005 zurückgewiesen.

Die Zurückweisung wird damit begründet, dass mit den Patentansprüchen 12 und 13 die ursprünglich eingereichten Patentansprüchen 13 und 14 weiterverfolgt würden, deren Streichung die Prüfungsstelle im Erstbescheid vorgeschlagen habe, weil nicht klar sei, welche zusätzlichen Merkmale der Patentanspruch 13 offenbare, da eine Signalverteilerschaltung für den Fachmann jede Schaltung mit mindestens einem Eingang und einem Ausgang darstelle und weiterhin das Merkmal des Patentanspruchs 14 „in Form einer Taktverteilerschaltung“ unklar sei. Gleichzeitig stellt die Prüfungsstelle in ihrem Beschluss aber die Gewährbarkeit des geltenden Patentanspruchs 1 fest.

Gegen diesen Beschluss richtet sich die zulässige Beschwerde vom 10. Januar 2006.

Mit Eingang der Beschwerde überreicht die Anmelderin und Beschwerdeführerin als Ersatz für das Blatt 5 vom 9. April 2003 ein neues Blatt 5, welches die beanstandeten Patentansprüche 12 und 13 nicht mehr enthält und beantragt die Abhilfe der Beschwerde, da die Patentansprüche 12 und 13, aufgrund derer die Anmeldung zurückgewiesen wurde, nicht mehr Gegenstand des Verfahrens seien.

Die Prüfungsstelle für IPC-Klasse H03F des Deutschen Patent- und Markenamts hat der Beschwerde nicht abgeholfen und die Beschwerde mit Verfügung vom 8. Februar 2006 zur Entscheidung an das Bundespatentgericht überstellt.

Mit ihrer Beschwerde verfolgt die Anmelderin ihre Anmeldung weiter.

In der mündlichen Verhandlung hat die Anmelderin ihr Anspruchsbegehren unter Vorlage neuer Patentansprüche 1 bis 11 verteidigt und beantragt wie beschlossen.

Der in der mündlichen Verhandlung überreichte geltende Patentanspruch 1 lässt sich wie folgt gliedern:

- „1. CMOS-Differenzverstärker mit sieben PMOS-FETs und sieben NMOS-FETs, wobei
 - M1 eine aus einem ersten PMOS-FET (MP3), einem zweiten PMOS-FET (MP5), einem ersten NMOS-FET (MN5) und einem zweiten NMOS-FET (MN3) bestehende Reihenschaltung zwischen einer ersten Spannung (Vdd) und einer zweiten Spannung (4) geschaltet ist, die kleiner als die erste Spannung (Vdd) ist,
 - M2 wobei der Gate-Anschluss des ersten PMOS-FETs (MP3) und der Gate-Anschluss des zweiten NMOS-FETs (MN3) mit einem ersten Schaltungspunkt (1) verbunden sind, an dem der Drain-Anschluss des ersten PMOS-FETs (MP5)

mit dem Drain-Anschluss des zweiten NMOS-FETs (MN5) verbunden ist und an dem eine BIAS-Spannung erzeugt wird,

M3 eine aus einem dritten PMOS-FET (MP4), einem vierten PMOS-FET (MP6), einem dritten NMOS-FET (MN6) und einem vierten NMOS-FET (MN4) bestehende Reihenschaltung zwischen die erste Spannung (Vdd) und die zweite Spannung (4) geschaltet ist,

M4 wobei der Gate-Anschluss des dritten PMOS-FETs (MP4) und der Gate-Anschluss des vierten NMOS-FETs (MN4) mit dem ersten Schaltungspunkt (1), und

M5 der Gate-Anschluss des zweiten PMOS-FETs (MP5) mit dem Gate-Anschluss des vierten PMOS-FETs (MP6) und der Gate-Anschluss des ersten NMOS-FETs (MN5) mit dem Gate-Anschluss des dritten NMOS-FETs (MN6) verbunden ist und

M6 der Schaltungspunkt, an dem der Drain-Anschluss des vierten PMOS-FETs (MP6) mit dem Drain-Anschluss des dritten NMOS-FETs (MN6) verbunden ist, den Ausgang des CMOS-Differenzverstärkers bildet,

M7 ein fünfter PMOS-FET (MPA) zwischen die erste Spannung (Vdd) und einen zweiten Schaltungspunkt (2) geschaltet ist,

M8 ein fünfter NMOS-FET (MNA) zwischen einen dritten Schaltungspunkt (3) und die zweite Spannung (4) geschaltet ist,

M9 ein sechster PMOS-FET (MP1) zwischen den zweiten Schaltungspunkt (2) und den Schaltungspunkt geschaltet ist, an dem der Source-Anschluss des ersten NMOS-FETs (MN5) mit dem Drain-Anschluss des zweiten NMOS-FETs (MN3) verbunden ist,

- M10 ein sechster NMOS-FET (MN1) zwischen den Schaltungspunkt, an dem der Drain-Anschluss des ersten PMOS-FETs (MP3) mit dem Source-Anschluss des zweiten PMOS-FETs (MP5) verbunden ist, und den dritten Schaltungspunkt (3) geschaltet ist,
- M11 wobei der Gate-Anschluss des sechsten PMOS-FETs (MP1) und der Gate-Anschluss des sechsten NMOS-FETs (MN1) mit einem ersten Differenzeingang (5) des CMOS-Differenzverstärkers verbunden sind,
- M12 ein siebter PMOS-FET (MP2) zwischen den zweiten Schaltungspunkt (2) und den Schaltungspunkt geschaltet ist, an dem der Source-Anschluss des dritten NMOS-FETs (MN6) mit dem Drain-Anschluss des vierten NMOS-FETs (MN4) verbunden ist,
- M13 ein siebter NMOS-FET (MN2) zwischen den Schaltungspunkt, an dem der Drain-Anschluss des dritten PMOS-FETs (MP4) mit dem Source-Anschluss des vierten PMOS-FETs (MP6) verbunden ist, und den dritten Schaltungspunkt (3) geschaltet ist,
- M14 wobei der Gate-Anschluss des siebten PMOS-FETs (MP2) und der Gate-Anschluss des siebten NMOS-FETs (MN2) mit einem zweiten Differenzeingang (6) des CMOS-Differenzverstärkers verbunden sind,
- dadurch gekennzeichnet, dass
- M15 zwischen der ersten Spannung (Vdd) und der zweiten Spannung (4) ein erster Spannungsteiler (MP7, MP8, R3) mit einem ersten Schaltungsabgriffpunkt (7) liegt, der mit dem Gate-Anschluss des zweiten PMOS-FETs (MP5) verbunden ist, und

- M16 zwischen der ersten Spannung (Vdd) und der zweiten Spannung (4) ein zweiter Spannungsteiler (R2, MN8, MN7) mit einem zweiten Spannungsabgriffpunkt (8) liegt, der mit dem Gate-Anschluss des ersten NMOS-FETs (MN5) verbunden ist, so dass
- M17 an dem Gate-Anschluss des zweiten PMOS-FETs (MP5) eine Spannung erzeugt wird, die mindestens so weit unter der Gate-Spannung des ersten PMOS-FETs (MP3) liegt, - dass der erste PMOS-FET (MP3) im Sättigungsbereich arbeitet, und
- M18 an dem Gate-Anschluss des ersten NMOS-FETs (MN5) eine Spannung erzeugt wird, die mindestens so weit über der Gate-Spannung des zweiten NMOS-FETs (MN3) liegt, dass der zweite NMOS-FET (MN3) im Sättigungsbereich arbeitet.“

Der nebengeordnete unabhängige Patentanspruch 10 lautet:

- „10. Eingangsstufe einer integrierten Schaltung mit einem CMOS-Differenzverstärker nach einem der vorhergehenden Ansprüche.“

Zum Wortlaut der abhängigen Patentansprüche 2 bis 9 und 11 wird auf die in der mündlichen Verhandlung überreichten Unterlagen verwiesen.

Die Anmelderin vertritt die Auffassung, dass der beanspruchte Gegenstand des Patentanspruchs 1 gegenüber dem im Verfahren eingeführten Stand der Technik neu und durch diesen auch nicht nahe gelegt sei.

II.

Die Beschwerde ist zulässig. Sie führt zur Aufhebung des angefochtenen Beschlusses und zur Erteilung des nachgesuchten Patents.

1. Die Patentansprüche 1 bis 11 sind zulässig. Die Merkmale des Patentanspruchs 1 gehen auf die ursprünglich eingereichten Patentansprüche 1 und 2 zurück. Die Patentansprüche 2 bis 11 entsprechen ihrem Wortlaut nach (mit Ausnahme angepasster Rückbezüge) den ursprünglich eingereichten Patentansprüchen 3 bis 12.

2. Der CMOS-Differenzverstärker nach dem geltenden Patentanspruch 1 und die Eingangsschaltung nach dem Patentanspruch 10 sind unzweifelhaft gewerblich anwendbar und gelten auch gegenüber dem eingeführten Stand der Technik nach den Druckschriften

D1 US 4958133 A,

D2 DE 69415701 T2 und

D3 „Two Novel Fully Complementary Self-Biased CMOS Differential Amplifiers“ von Mel Bazes in IEEE Journal of Solid-State Circuits, Vol. 26, No. 2, February 1991

als neu, da in den dort ausgebildeten Differenzverstärker-Schaltungen augenfällig kein CMOS-Differenzverstärker realisiert ist, bei dem Schaltungsmaßnahmen nach den Merkmalen M15 bis M18 realisiert sind, die bewirken, dass sämtliche MOS-FETs der Kaskodenschaltung, d. h. auch die MOS-FETs MP3, MP4, MN3 und MN4, im Sättigungsbereich arbeiten, wodurch ein schnelleres Umschalten des Ausgangssignals des CMOS-Differenzverstärkers erreicht wird.

Darüber hinaus ergibt sich der Gegenstand des geltenden Patentanspruchs 1 für den Fachmann, einen Diplomingenieur (FH) der Schaltungstechnik mit speziellen

Kenntnissen der Verstärkertechnik, auch nicht in nahe liegender Weise aus dem zur Beurteilung der erfinderischen Tätigkeit in Betracht zu ziehenden Stand der Technik und seinem Fachwissen.

Ausgehend von den Druckschriften D1 bis D3 mag der Fachmann möglicherweise veranlasst sein, die Schaltgeschwindigkeit eines CMOS-Differenzverstärkers im Vorgriff auf seinen Einsatz in einer Taktverteilerschaltung zu erhöhen. Die dafür mit den Merkmalen M15 bis M18 ergriffenen umfangreichen Schaltungsmaßnahmen gehen aber zur Überzeugung des Senats über das übliche Fachkönnen hinaus.

Der CMOS-Differenzverstärker nach dem Patentanspruch 1, mithin auch die Eingangsstufe nach dem Patentanspruch 10, in der ein derartiger CMOS-Verstärker zum Einsatz kommt, erweisen sich in der beantragten Fassung demnach als patentfähig.

3. Zusammen mit dem Patentansprüchen 1 und 10 erweisen sich auch die auf diese jeweils rückbezogenen Patentansprüche 2 bis 9 und 11 als patentfähig, da sie den CMOS-Differenzverstärker nach dem Patentanspruch 1 und die Eingangsstufe nach dem Patentanspruch 10 in nicht selbstverständlicher Weise weiterbilden.

4. Die Anmeldung genügt den Anforderungen des § 34 PatG.

5. Die Anordnung der Rückzahlung der Beschwerdegebühr beruht auf Billigkeitserwägungen (§ 80 Abs. 3 PatG), denn der angegriffene Zurückweisungsbeschluss der Prüfungsstelle war - entgegen § 47 Abs. 1 PatG - nicht mit Gründen versehen. Dieser Beschluss enthält als einzige und abschließende Begründung eine Bezugnahme auf den Prüfungsbescheid vom 2. Oktober 2002, der seinerseits keine Begründung im Sinne des Gesetzes enthält. Weitere Gründe, die eine Zurückweisung rechtfertigen würden, enthält der Beschluss vom 21. November 2005 nicht.

Ein Zurückweisungsgrund des „unklaren“ Anspruchsmerkmals ist im Patentgesetz nicht vorgesehen (vgl. Beschlüsse 20 W (pat) 71/04 vom 15. April 2009 und 20 W (pat) 17/05 vom 8. Juli 2009 m. w. N.). Der Bundesgerichtshof hat wiederholt hervorgehoben, dass für die Prüfung der Patentfähigkeit des Gegenstandes eines Patentanspruchs zunächst dieser Gegenstand ermittelt werden muss, indem der Patentanspruch unter Heranziehung von Beschreibung und Zeichnungen aus der Sicht des von der Erfindung angesprochenen Fachmanns ausgelegt wird. Bei „Unklarheiten“ ist zu ermitteln, was sich aus der Sicht des angesprochenen Fachmanns aus den Merkmalen des Patentanspruchs im Einzelnen und in ihrer Gesamtheit als unter Schutz gestellte technische Lehre ergibt. Erst wenn eine solche Auslegung erfolgt ist, steht der Gegenstand der nachfolgenden Überprüfung auf Patentfähigkeit fest (vgl. BGH GRUR 2007, 859, 860 Rz. 13, 14 - Informationsübermittlungsverfahren I).

Da die angegebenen Gründe der „Unklarheit“ keine Gründe im Sinne des Patentgesetzes sind und im Weiteren aus dem Beschluss vom 21. November 2005 nicht zu erkennen ist, welche tatsächlichen Feststellungen und welche rechtlichen Erwägungen für die getroffene Entscheidung maßgebend waren, ist dieser nicht gem. § 47 Abs. 1 PatG mit Gründen versehen (BGHZ 39, 333 - Warmpressen, mit weiteren Nachweisen).

6. Das Beschwerdeverfahren, soweit es vor dem Patentamt stattgefunden hat, ist auch insofern zu beanstanden, als die Prüfungsstelle der Beschwerde nicht gemäß § 73 Abs. 3 Sätze 1 und 2 PatG abgeholfen hat. Denn die Anmelderin hatte mit Beschwerdeschriftsatz vom 10. Januar 2006, eingegangen beim Deutschen Patent- und Markenamt am gleichen Tag, alle Beanstandungen, mit denen die Prüfungsstelle in dem angegriffenen Beschluss die Zurückweisung der Anmeldung begründet hatte, durch Streichung der beanstandeten Patentansprüche 12 und 13 ausgeräumt und gleichzeitig ausdrücklich Abhilfe der Beschwerde beantragt.

Bei dieser Sachlage hätte es einer sachgerechten und ökonomischen Verfahrensführung entsprochen, wenn die Prüfungsstelle der Beschwerde gemäß § 73 Abs. 3 Satz 1 PatG abgeholfen und das Prüfungsverfahren anschließend fortge-

setzt hätte. Sinn und Zweck des Abhilfeverfahrens ist es, Beschwerden vom Bundespatentgericht dann fernzuhalten, wenn die Korrekturbedürftigkeit des erlassenen Beschlusses bei der Prüfung der Beschwerde vom Deutschen Patent- und Markenamt erkannt werden kann (BPatGE 27, 157).

Dr. Mayer

Dr. Mittenberger-Huber

Gottstein

Musiol

Pr