



# BUNDESPATENTGERICHT

23 W (pat) 22/09

---

(Aktenzeichen)

Verkündet am  
11. Dezember 2012

...

## BESCHLUSS

In der Beschwerdesache

...

### **betreffend die Patentanmeldung 10 2005 057 788.1-55**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 11. Dezember 2012 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner und der Richter Paetzold, Brandt und Dr. Friedrich

beschlossen:

Die Beschwerde wird zurückgewiesen.

## **Gründe**

### **I.**

Die Anmeldung 10 2005 057 788 wurde am 3. Dezember 2005 mit der Bezeichnung „Dynamische Speicherschaltung und Verfahren zum Betreiben einer solchen“ beim Deutschen Patent- und Markenamt eingereicht.

Die Prüfungsstelle für Klasse G 11 C hat zum Stand der Technik die Druckschriften

- D1 DE 44 06 035 A1
- D2 US 6 229 745 B1
- D3 JP 2 – 231 760 A
- D4 JP 4 – 278 295 A und
- D5 JP 10- 214 485 A

ermittelt und mangelnde Neuheit der Speicherschaltung nach dem ursprünglichen Anspruch 1 gegenüber dem Stand der Technik gemäß der Druckschrift D1 geltend gemacht. Zu den daraufhin eingereichten modifizierten Patentansprüchen hat sie im Folgebescheid dargelegt, die Anmeldung gebe nicht an, wie die im Anspruch genannte Steuereinheit auszugestalten ist, um die angegebene Funktion zu erfüllen, und welche Signale sie hierzu verwende. Zudem erfülle auch die in der Druckschrift D1 offenbarte Steuereinheit bereits die im Anspruch genannte Funktion.

Nachdem die Anmelderin ihr Patentbegehren unverändert aufrecht erhalten hat, hat die Prüfungsstelle die Anmeldung mit Beschluss vom 13. November 2007 mit der Begründung zurückgewiesen, die Speicherschaltung nach dem Anspruch 1 sei nicht neu gegenüber dem Stand der Technik gemäß der Druckschrift D1. Die von der Anmelderin beantragte Anhörung hat sie abgelehnt, da diese nicht sachdienlich sei, da sich die Positionen auf beiden Seiten gefestigt hätten und es der Anmelderin in zwei Eingaben nicht gelungen sei, eine neue und erfinderische Lehre aufzuzeigen.

Die Anmelderin hat gegen den ihr am 29. November 2007 zugestellten Beschluss mit Schriftsatz vom 28. Dezember 2007, eingegangen per Telefax am selben Tag, fristgerecht Beschwerde eingelegt und diese mit Schriftsatz vom 2. Dezember 2010 begründet. Mit diesem Schriftsatz vom 2. Dezember 2010 hat sie beantragt,

den Beschluss der Prüfungsstelle vom 13. November 2007 aufzuheben und ein Patent auf der Grundlage der beigefügten neuen Ansprüche 1 bis 12, der beigefügten neuen Beschreibungsseiten 1 und 2, der ursprünglichen Beschreibungsseiten 3 bis 18 sowie der mit Eingabe vom 25. Januar 2006 eingereichten Zeichenblätter 1/5 bis 5/5 mit Figuren 1 bis 8 zu erteilen.

Ferner hat sie angeregt, die Beschwerdegebühr zurückzuzahlen.

Zur mündlichen Verhandlung am 11. Dezember 2012 ist die Anmelderin, wie zuvor mit Schriftsatz vom 20. November 2012 angekündigt, nicht erschienen.

Der geltende Anspruch 1 lautet bei Korrektur eines grammatikalischen Fehlers in dem den Ausleseverstärker betreffenden Merkmal („wobei *der* Ausleseverstärker aktivierbar ist“ statt „wobei *die* Ausleseverstärker aktivierbar ist“):

„Dynamische Speicherschaltung (1) umfassend:

ein Bitleitungspaar mit zwei Bitleitungen (5, 6),

eine Speicherzelle (2) mit einer Speicherkapazität (3) und einem Auswahltransistor (4), um bei einem Aktivieren die Speicherkapazität (3) mit einer der Bitleitungen (5, 6) zu verbinden, so dass ein Ladungsunterschied zwischen den Bitleitungen (5, 6) des Bitleitungspaares bewirkt wird;

einen Ausleseverstärker (10) mit mindestens einem n-Kanal-Feldeffekt-Transistor (11, 12) und mindestens einem p-Kanal-Feldeffekt-Transistor (13, 14), um den bewirkten Ladungsunterschied zu verstärken, wobei der Ausleseverstärker (10) aktivierbar ist, eine der Bitleitungen (5, 6) auf ein hohes und die andere Bitleitung auf ein niedriges Bitleitungspotential in einer Verstärkungsphase zu bringen und in einer sich daran anschließenden Haltephase die Bitleitungen auf den entsprechenden Bitleitungspotentialen zu halten;

eine Steuereinheit (15), die mit einem Substratanschluss des n-Kanal-Feldeffekt-Transistors (11, 12) und einem Substratanschluss des p-Kanal-Feldeffekt-Transistors (13, 14) verbunden ist, um ein von einem Betriebszustand der Speicherschaltung (1) abhängiges Substratpotential an einen Substratanschluss des n-Kanal-Feldeffekt-Transistors (11, 12) und an einen Substratanschluss des p-Kanal-Feldeffekt-Transistors (13, 14) anzulegen,

wobei die Steuereinheit (15) ausgestaltet ist, um bei deaktiviertem Ausleseverstärker (10) ein erstes Substratpotential an den Substratanschluss des n-Kanal-Feldeffekt-Tran-

sistors (11, 12) und an den Substratanschluss des p-Kanal-Feldeffekt-Transistors (13, 14) anzulegen, wobei das erste Substratpotential zwischen dem hohen und dem niedrigen Bitleitungspotential liegt, und

um bei aktiviertem Ausleseverstärker (10) an den Substratanschluss des n-Kanal-Feldeffekt-Transistors (11, 12) ein zweites Substratpotential, das gleich oder kleiner als das niedrige Bitleitungspotential ist, und

an den Substratanschluss des p-Kanal-Feldeffekt-Transistors (13, 14) ein drittes Substratpotential, das gleich oder größer als das hohe Bitleitungspotential ist, anzulegen;

dadurch gekennzeichnet, dass

die Steuereinheit (15) ausgestaltet ist, um an den Substratanschluss des n-Kanal-Feldeffekt-Transistors (11, 12) zu Beginn der Verstärkungsphase das erste Substratpotential und dann während der Verstärkungsphase das zweite Substratpotential anzulegen.“

Hinsichtlich der Unteransprüche 2 bis 12 sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die zulässige Beschwerde erweist sich als nicht begründet, denn die dynamische Speicherschaltung nach dem geltenden Anspruch 1 ist nicht neu.

Bei dieser Sachlage kann die Zulässigkeit der geltenden Ansprüche dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1- „Elastische Bandage“.

Als Fachmann ist ein berufserfahrener, in der Halbleiterindustrie tätiger und mit der Optimierung der Betriebsweise dynamischer Speicherschaltungen befasster Diplom-Ingenieur der Elektrotechnik mit Hochschulabschluss zu definieren.

1. Die Anmeldung betrifft eine dynamische Speicherschaltung, insbesondere eine DRAM-Speicherschaltung (DRAM = dynamic random access memory).

Bei DRAM-Speichern wird die in Form eines Ladungszustands einer Kapazität gespeicherte Information dadurch ausgelesen, dass die Kapazität über einen als Schalter dienenden MOS-Transistor mit einer Bitleitung (BL) verbunden wird, so dass die gespeicherte Ladung auf die Bitleitung abfließt und diese im Potential anhebt. Um diese relative geringe Potentialerhöhung im Hinblick auf die gespeicherte Information bewerten zu können, muss das Signal verstärkt und mit einem Referenzsignal verglichen werden. Hierzu ist ein Leseverstärker vorgesehen, der zwischen die oben genannte Bitleitung (BL) und eine weitere Bitleitung (BL/) geschaltet ist, die an eine Referenzspannung angeschlossen ist.

Der Leseverstärker ist zweistufig aufgebaut, wobei die erste Stufe aus zwei in Reihe geschalteten und an ihren Source-Anschlüssen miteinander verbundenen NMOS-Transistoren und die zweite Stufe aus zwei in Reihe geschalteten und ebenfalls an ihren Source-Anschlüssen miteinander verbundenen PMOS-Transistoren besteht. Während die Source-Anschlüsse der beiden NMOS-Transistoren mit Massepotential ( $V_{ss}$ ) verbindbar sind, können die Source-Anschlüsse der beiden PMOS-Transistoren mit der Versorgungsspannung ( $V_{cc}$ ) der Speicherschaltung beaufschlagt werden. Da die Gateelektroden der beiden NMOS-Transistoren der 1. Stufe über Kreuz an die erste und die zweite Bitleitung gekoppelt sind, liegt das durch das Auslesen der Speicherladung erhöhte Potential der ersten Bitleitung (BL) an der Gateelektrode des zweiten der beiden NMOS-Transistoren an

und steuert diesen in einen niederohmigen Zustand. Damit wird eine leitende Verbindung zwischen der zweiten Bitleitung (BL/) und dem Massepotential ( $V_{ss}$ ) hergestellt, so dass die zweite Bitleitung (BL/) auf Massepotential gelegt wird. Der erste NMOS-Transistor verbleibt im hochohmigen Sperrzustand.

Da auch die Gateelektroden der beiden PMOS-Transistoren der 2. Stufe über Kreuz mit den Bitleitungen verbunden sind, liegt das nunmehr auf Massepotential abgesenkte Potential der zweiten Bitleitung (BL/) an der Gateelektrode des ersten der beiden PMOS-Transistoren an und steuert diesen in einen niederohmigen Zustand. Damit wird eine leitende Verbindung zwischen der ersten Bitleitung (BL) und der Versorgungsspannung ( $V_{cc}$ ) hergestellt, so dass die erste Bitleitung nun auf hohem Potential liegt. Der zweite PMOS-Transistor bleibt im Sperrzustand.

Der Leseverstärker wandelt somit die durch das Auslesen der Speicherkapazität verursachte geringe Potentialerhöhung durch Anhebung bzw. Absenkung des Potentialpegels der beiden Bitleitungen in ein verstärktes, zur Bewertung der gespeicherten Information geeignetes Signal um.

Da mit der Erhöhung des Integrationsgrades von DRAM-Speichern eine Erniedrigung der Betriebsspannung einhergeht, die eine Absenkung der Schwellspannungen der Transistoren des Leseverstärkers auf ein niedrigeres Niveau erforderlich macht, wird es mit zunehmendem Integrationsgrad schwieriger, die oben erläuterte Funktion dieser Schaltung sicherzustellen. Denn diese Funktion basiert darauf, dass jeweils der eine der beiden in Reihe geschalteten Transistoren bei der anliegenden Gatespannung den Strom sperrt und der andere den Strom durchlässt, was aber bei erniedrigten Schwellspannungspegeln nicht mehr ohne weiteres gegeben ist, da aufgrund des für MOS-Transistoren typischen Kennlinienverlaufs bei Spannungen nahe der Schwellspannung bereits relativ hohe Sperrströme durch den Transistor fließen. Damit lassen sich die Betriebsbedingungen für den Leseverstärker nicht mehr geeignet einstellen.

Bisher wurden die Arbeitspunkte der Transistoren des Ausleseverstärkers entweder durch geeignete Wahl der Schwellspannungen der Transistoren oder durch die Regelung dieser Schwellspannungen so realisiert, dass die dynamischen Eigenschaften und gleichzeitig auch das Sperrverhalten für den Betrieb der Speicherschaltung ausreichend waren. Dies wird jedoch bei weiter abnehmenden Versorgungsspannungen schwieriger.

Wie sich aus den obigen Darlegungen ergibt, bewirkt eine abnehmende Betriebsspannung einer DRAM-Speicherschaltung außerdem, dass die Verstärkung des Ausleseverstärkers (d. h. der Unterschied zwischen den Potentialen auf den beiden Bitleitungen am Ausgang des Verstärkers nach Absenken und Anheben der Potentiale) reduziert wird, so dass sich das dynamische Verhalten der Speicherschaltung verschlechtert, vgl. insoweit S. 1, Z. 5 - 34. der geltenden Beschreibungsunterlagen.

Vor diesem Hintergrund besteht das der Anmeldung als Aufgabe zugrunde liegende technische Problem darin, eine dynamische Speicherschaltung zur Verfügung zu stellen, bei der der Ausleseverstärker im dynamischen Betrieb ein günstiges Verhalten aufweist, d. h., der Bewertungsvorgang zum Auslesen einer Speicherzelle beschleunigt werden kann, vgl. S. 2, 1. Abs. der geltenden Beschreibungsunterlagen.

Für die im geltenden Anspruch 1 angegebene Lösung ist wesentlich, dass eine Steuereinheit ein vom Betriebszustand der Speicherschaltung abhängiges Substratpotential an einen NMOS-Transistor-Substratanschluss und an einen PMOS-Transistor-Substratanschluss anlegt, indem sie bei deaktiviertem Ausleseverstärker ein erstes Substratpotential an die Substratanschlüsse von NMOS- und PMOS-Transistor und bei aktiviertem Ausleseverstärker ein zweites Potential an den Substratanschluss des NMOS-Transistors und ein drittes Potential an den Substratanschluss des PMOS-Transistors anlegt. Dabei wird zu Beginn der Verstärkungsphase das erste und während der Verstärkungsphase das zweite Sub-



stratpotential an den Substratanschluss des NMOS-Transistors angelegt. Das erste Substratpotential liegt zwischen dem hohen und dem niedrigen Bitleitungspotential, das zweite Substratpotential ist gleich oder kleiner als das niedrige Bitleitungspotential und das dritte Substratpotential ist gleich oder größer als das hohe Bitleitungspotential.

Die am Substrat der Transistoren der Leseverstärkerschaltung (nämlich an den Anschlüssen der p- und der n-Wanne der NMOS- und der PMOS-Transistoren, vgl. S. 10, Zeilen 14 bis 19 und 33 bis 36 sowie S. 11, 1. Abs. der ursprünglichen Unterlagen) anliegende Spannung wirkt als „back-bias“, der zu einer Erhöhung der Schwellspannung führt. Dabei erlaubt es die im Anspruch angegebene Anpassung des Substratpotentials an den jeweiligen Betriebszustand der Speicherschaltung, den Leseverstärker in den einzelnen Betriebsphasen jeweils unter optimalen Bedingungen zu betreiben, nämlich im deaktivierten Zustand den Leckstrom zu reduzieren und im aktivierten Zustand die Verstärkung zu beschleunigen und die Stromaufnahme zu reduzieren, vgl. S. 2, 1. Abs. bis S. 3, 1. Abs. der ursprünglichen Unterlagen.

2. Die im geltenden Anspruch 1 gegebene, vorangehend erläuterte Lehre ist für den Fachmann ausführbar.

Zwar ist der Aufbau der zur Steuerung der unterschiedlichen Potentiale am Substratanschluss der Transistoren des Leseverstärkers verwendeten Steuerschaltung und die zur Steuerung notwendige Signalverarbeitung in der Anmeldung nicht beschrieben, jedoch liegt die Realisierung einer geeigneten Steuerschaltung für den mit dem Aufbau und dem Betrieb von Speicherschaltungen befassten Fachmann im Rahmen seiner fachüblichen Routine und bedarf lediglich fachmännischer Kenntnisse. Insofern benötigt der Fachmann im vorliegenden Fall keiner näheren Erläuterungen zum Aufbau einer geeigneten Steuerschaltung.

3. Die dynamische Speicherschaltung nach dem geltenden Anspruch 1 ist jedoch nicht patentfähig, denn sie ist nicht neu (§ 3 PatG).

Die Druckschrift D1 offenbart in Übereinstimmung mit der im Oberbegriff des geltenden Anspruchs 1 gegebenen Lehre eine dynamische Speicherschaltung umfassend:

- ein Bitleitungspaar mit zwei Bitleitungen (*Paar von Bitleitungen BL, /BL*),
- eine Speicherzelle (*Speicherzelle 1*) mit einer Speicherkapazität (*Kondensator 1C zum Speichern eines Wertes bzw. von Daten*) und einem Auswahltransistor (*NMOS-Transistor 1T*), um bei einem Aktivieren die Speicherkapazität mit einer der Bitleitungen (*Bitleitung BL*) zu verbinden, so dass ein Ladungsunterschied zwischen den Bitleitungen (*BL, /BL*) des Bitleitungspaares bewirkt wird (*Die vorliegende Erfindung bezieht sich auf eine Halbleiterspeichereinrichtung, und genauer auf einen Abschnitt derselben, der einen differentiellen Verstärkungsbetrieb betrifft. Eine Halbleiterspeichervorrichtung, speziell ein dynamischer Speicher mit wahlfreiem Zugriff (im Folgenden als DRAM bezeichnet), weist eine Schaltung zum Differentialverstärken der Potentialdifferenz zwischen einem Paar von Bitleitungen auf, die durch eine Ladung erzeugt wird, die aus einer Speicherzelle auf das Bitleitungspaar ausgelesen wird. Fig. 15 ist ein Schaltbild, das eine Struktur einer herkömmlichen Halbleiterspeichervorrichtung, im speziellen einen DRAM, zeigt. Diese Halbleiterspeichervorrichtung ist auf einem Halbleitersubstrat 100 ausgebildet. Eine Speicherzelle 1 ist mit einer aus einem Paar von Bitleitungen BL und /BL, zum Beispiel mit der Bitleitung BL, verbunden. Die Speicherzeile 1 weist einen Kondensator 1C zum Speichern eines Wertes bzw. von Daten und einen N-Kanal MOS-Transistor (NMOS-Transistor) 1T auf. Der NMOS-Transistor 1T ist zwischen den Kondensator 1C und die Bitleitung BL verbunden. Das Gate desselben ist mit einer Wortleitung WL verbunden / Sp. 1, Zeilen 3 bis 26 i. V. m. Fig. 15*),

- einen Ausleseverstärker (*erster Leseverstärker SA1, zweiter Leseverstärker SA2*) mit mindestens einem n-Kanal-Feldeffekt-Transistor (*NMOS-Transistoren 4, 5 und 12*) und mindestens einem p-Kanal-Feldeffekt-Transistor (*PMOS-Transistoren 6, 7 und 14*), um den bewirkten Ladungsunterschied zu verstärken (*Zwischen das Bitleitungspaar BL und /BL sind ein erster Leseverstärker SA1, welcher das erste Differentialverstärkermittel ist, ein zweiter Leseverstärker SA2, welcher das zweite Differentialverstärkungsmittel ist und ein Ausgleicher EQ, welcher das Vorlademittel ist, verbunden. Der erste Leseverstärker SA1 weist NMOS-Transistoren 4,5 und 12 auf. Die NMOS-Transistoren 4 und 5 sind in Reihe zwischen das Bitleitungspaar BL, /BL verbunden. Die NMOS-Transistoren 4 und 5 weisen miteinander verbundene Sources auf, und ihre Drains sind mit der Bitleitung BL bzw. der Bitleitung /BL verbunden. Der NMOS-Transistor 4 hat sein Gate mit der Bitleitung /BL verbunden, und der NMOS-Transistor 5 hat sein Gate mit der Bitleitung BL verbunden. Diese Verbindung implementiert kreuzgekoppelte NMOS-Transistoren 4 und 5. Der NMOS-Transistor 12 ist zwischen einen ausgehenden Leitungsknoten Z, welcher der Knoten zwischen den NMOS-Transistoren 4 und 5 ist, und einen Masseknoten 11, der das Massepotential GND empfängt, verbunden. Das Gate des NMOS-Transistors 12 wird mit einem Lesebetriebsaktivierungssignal SON belegt. Der zweite Leseverstärker SA2 weist P-Kanal MOS-Transistoren (im Folgenden als PMOS-Transistor bezeichnet) 6,7 und 14 auf. Die PMOS-Transistoren 6 und 7 sind in Reihe zwischen das Bitleitungspaar BL und /BL verbunden. Die PMOS-Transistoren 6 und 7 weisen miteinander verbundene Sources auf, und ihre Drains sind mit der Bitleitung BL bzw. der Bitleitung /BL verbunden. Die PMOS-Transistoren 6 und 7 haben ihre Gates mit den Bitleitungen /BL bzw. BL verbunden. Eine solche Verbindung implementiert kreuzgekoppelte PMOS-Transistoren 6 und 7. Ein PMOS-Transistor 14 ist zwischen einen Versorgungsleitungsknoten Y, welcher der Knoten zwischen den PMOS-Transistoren 6 und 7 ist und einen Strom-versorgungsknoten 13, der das Stromversorgungspotential VCC empfängt, verbunden. Das Gate des PMOS*

*Transistors 14 wird mit einem Lesebetriebsaktivierungssignal SOP belegt / Sp. 1, Zeilen 27 bis 68 i. V. m. Fig. 15),*

- wobei der Ausleseverstärker aktivierbar ist, eine der Bitleitungen (*BL*) auf ein hohes und die andere Bitleitung (*/BL*) auf ein niedriges Bitleitungspotential in einer Verstärkungsphase zu bringen und in einer sich daran anschließenden Haltephase die Bitleitungen auf den entsprechenden Bitleitungspotentialen zu halten (*Ein Datenauslesebetrieb aus der Speicherzelle 1 wird im Folgenden beschrieben. Beim Auslesebetrieb wird ein Wert bzw. Daten von der Speicherzelle 1 auf die Bitleitung BL übertragen, gefolgt durch einen Verstärkungsbetrieb durch den ersten und den zweiten Leseverstärker. [...] Der Auslesebetrieb wird unter Bezugnahme auf Fig. 16 beschrieben. [...] Wenn die Wortleitung BL auf das Potential VWL aktiviert wird, wird Ladung, die den in der Speicherzelle 1 gespeicherten Wert repräsentiert, auf die Bitleitung BL übertragen. Dieses ist der Übertragungsbetrieb des Wertes bzw. der Daten. Falls die Speicherzelle 1 den Wert „1“ speichert, zum Beispiel, wird das Potential VBL der Bitleitung BL ein wenig höher als das Vorladepotential. Die Bitleitung /BL bleibt auf dem Vorladepotential. Darum gibt es eine kleine Potentialdifferenz zwischen den Bitleitungen BL und /BL. Wenn eine solche Potentialdifferenz erzeugt wird, wird diese Potentialdifferenz durch den Verstärkungsbetrieb des ersten und des zweiten Leseverstärkers SA1 und SA2 verstärkt. Bei dem Verstärkungs-betrieb wird zuerst eine Verstärkung durch den ersten Verstärker SA1 ausgeführt. Das Lesebetriebsaktivierungssignal SON wird zum Erreichen eines hohen Niveaus aktiviert, wodurch der NMOS-Transistor 12 aktiviert wird. Dieses verursacht einen Kurzschluss zwischen dem ausgehenden Leitungsknoten Z und dem Masseknoten 11, wodurch das Potential VZ des ausgehenden Leitungsknotens Z in Richtung des Massepotentials GND gesenkt wird. Als ein Ergebnis werden die Gate-Source-Spannungen der NMOS-Transistoren 4 und 5 zur Aktivierung erhöht. Wenn die NMOS-Transistoren 4 und 5 aktiviert sind, wird der AN-Widerstand des NMOS-Transistors 5 niedriger als der des NMOS-Transistors 4, da das Potential VBL der Bitleitung BL*

*höher als das Potential  $V_{BL}$  der Bitleitung  $/BL$  ist, wodurch das Potential  $V_{BL}$  der Bitleitung  $/BL$  reduziert wird. Als nächstes wird die Verstärkung durch den zweiten Leseverstärker SA2 ausgeführt. Das Lesebetriebsaktivierungssignal SOP wird zum Erreichen eines niedrigen Niveaus aktiviert, wodurch der PMOS-Transistor 14 aktiviert wird. Dieser verursacht einen Kurzschluss zwischen dem Versorgungsleitungsknoten Y und dem Stromversorgungsknoten 13, wodurch das Potential  $V_Y$  des Versorgungsleitungsknotens Y in Richtung des Stromversorgungspotentials VCC erhöht wird. Als ein Ergebnis werden die Gate-Source-Spannungen der PMOS-Transistoren 6 und 7 zur Aktivierung erhöht. Wenn die PMOS-Transistoren 6 und 7 aktiviert sind, wird der AN-Widerstand des PMOS-Transistors 6 kleiner als der des PMOS-Transistors 7, da das Potential  $V_{BL}$  der Bitleitung  $/BL$  niedriger als das Potential  $V_{BL}$  der Bitleitung BL ist. Darum wird das Potential  $V_{BL}$  der Bitleitung BL erhöht. Dann ist das Potential  $V_{BL}$  der Bitleitung  $/BL$  auf das Niveau des Massepotentials GND reduziert, und das Potential  $V_{BL}$  der Bitleitung BL auf das Niveau des Stromversorgungspotentials VCC erhöht. Durch den oben beschriebenen Verstärkungsbetrieb wird eine kleine Potentialdifferenz zwischen den Bitleitungen BL und  $/BL$  auf ein größeres Niveau verstärkt / Sp. 2, Zeile 44 bis Sp. 3, Zeile 47 i. V. m. Fig. 15),*

- eine Steuereinheit, die mit einem Substratanschluss des n-Kanal-Feldeffekt-Transistors und einem Substratanschluss des p-Kanal-Feldeffekt-Transistors verbunden ist, um ein von einem Betriebszustand der Speicherschaltung abhängiges Substratpotential an einen Substratanschluss des n-Kanal-Feldeffekt-Transistors und an einen Substratanschluss des p-Kanal-Feldeffekt-Transistors anzulegen (Eine Halbleiterspeichervorrichtung entsprechend einer vierten Ausführungsform wird im Folgenden unter Bezugnahme auf Fig. 9 beschrieben. Da die Struktur der grundlegenden Abschnitte wie der ersten und zweiten Leseverstärker SA1 und SA2 und des Ausgleichers EQ in der Halbleitervorrichtung, die in Fig. 9 gezeigt ist, vergleichbar zu der aus Fig. 15 sind, werden entsprechende Elemente mit denselben Bezugszeichen bezeichnet, und ihre Beschreibung wird nicht wiederholt. Bei der Halbleiter-

speichervorrichtung, die in Fig. 9 gezeigt ist, sind eine erste Potentialsteuerschaltung C4 zur Steuerung des Potentials eines Wannengebietees 20, in welchem der erste Leseverstärker SA1 und der Ausgleicher EQ ausgebildet sind, und eine zweite Potentialsteuerschaltung C5 zur Steuerung des Potentials eines Wannengebietees 30, in welchem der zweite Leseverstärker SA2 angeordnet ist, zusätzlich zu einer herkömmlichen Struktur ausgebildet. Die erste Potentialsteuerschaltung C4 wird im Folgenden beschrieben. Die erste Potentialsteuerschaltung C4 weist NMOS-Transistoren 12 und 21, einen PMOS-Transistor 22, eine NAND- (NUND-) Schaltung 23 und eine Verzögerungsschaltung 24 auf. Der NMOS-Transistor 12 ist zwischen den ausgehenden Leitungsknoten Z der NMOS-Transistoren 4 und 5 und den Masseknoten 11, der das Massepotential GND empfängt, verbunden. Ein Potentialknoten 25 empfängt ein erstes Potential VBB, das niedriger als das Massepotential GND ist. Der NMOS-Transistor 21 und der PMOS-Transistor 22 sind in Reihe zwischen den ausgehenden Leitungsknoten Z und den Potentialknoten 25 verbunden. Ein Eingabeknoten 26 empfängt ein Lesebetriebsaktivierungssignal SO. Die NAND-Schaltung 23 ist zwischen den Eingabeknoten 26 und die entsprechenden Gates des NMOS-Transistors 21 und des PMOS-Transistors 22 verbunden. Das Lesebetriebsaktivierungssignal SO vom Eingabeknoten 26 wird direkt an einen Eingangsanschluß der NAND-Schaltung 23 angelegt. Das Lesebetriebsaktivierungssignal SO vom Knoten 26 wird über die Verzögerungsschaltung 24 an den anderen Eingangsanschluß der NAND-Schaltung 23 angelegt. Der Ausgabeanschluß der NAND-Schaltung 23 ist mit den entsprechenden Gates des NMOS-Transistors 21 und des PMOS-Transistors 22 verbunden. Das Lesebetriebsaktivierungssignal SO wird an das Gate des NMOS Transistors 12 vom Eingabeknoten 26 angelegt. Die Struktur der zweiten Potentialsteuerschaltung C5 wird im folgenden beschrieben. Die zweite Potential-Steuerschaltung C5 weist einen NMOS-Transistor 31, PMOS-Transistoren 14 und 32, eine NOR-Schaltung 33 und eine Verzögerungsschaltung 34 auf. Der PMOS Transistor ist zwischen den Versorgungsleitungs-knoten Y der PMOS-Transistoren 6

und 7 und den Potentialknoten 13, der das Stromversorgungspotential VCC empfängt, verbunden. Ein Potentialknoten 35 empfängt ein zweites Potential VPP, das höher als das Stromversorgungspotential VCC ist. Der PMOS-Transistor 32 und der NMOS-Transistor 31 sind in Reihe zwischen den Versorgungsleitungsknoten Y und den Potentialknoten 35 verbunden. [...] Der Knoten zwischen dem NMOS-Transistor 21 und dem PMOS-Transistor 22 verwirklicht einen Kurzschluss mit der Wanne des Wannengebiete 20, in welchem der erste Leseverstärker SA und der Ausgleicher EQ vorgesehen bzw. ausgebildet sind. Der Knoten zwischen dem PMOS-Transistor 32 und dem NMOS-Transistor 31 verwirklicht einen Kurzschluss mit der Wanne des Wannengebiete 30, in welchem der zweite Lese- Verstärker SA2 ausgebildet ist / Sp. 16, Zeile 25 bis Sp. 17, Zeile 41),

- wobei die Steuereinheit ausgestaltet ist, um bei deaktiviertem Ausleseverstärker ein erstes Substratpotential an den Substratanschluss des n-Kanal-Feldeffekt-Transistors (*Wannenpotential VWp des Wannenbereiches 20*) und an den Substratanschluss des p-Kanal-Feldeffekt-Transistors (*Wannenpotential VWn des Wannenbereiches 30*) anzulegen, wobei das erste Substratpotential zwischen dem hohen und dem niedrigen Bitleitungspotential liegt (*Der Betrieb der Halbleiterspeichervorrichtung, die in Fig. 9 gezeigt ist, wird im Folgenden unter Bezugnahme auf das Signalwellenformdiagramm aus Fig. 10 beschrieben. In einem Zeitraum von A vor dem Verstärkungsbetrieb der ersten und zweiten Leseverstärker SA1 und SA2 werden die Potentiale VBL und V/BL des Bitleitungspaares BL und /BL, das Potential VZ des ausgehenden Leitungsknotens Z, das Potential VY des Versorgungsleitungsknotens Y, das Wannenpotential VWp des Wannenbereiches 20 und das Wannenpotential VWn des Wannengebiete 30 entsprechend auf  $\frac{1}{2}$  VCC vorgeladen / Sp. 17, Zeilen 45 bis 57*) und um bei aktiviertem Ausleseverstärker an den Substratanschluss des n-Kanal-Feldeffekt-Transistors ein zweites Substratpotential, das gleich oder kleiner als das niedrige Bitleitungspotential ist, und an den Substratanschluss des p-Kanal-

Feldeffekt-Transistors ein drittes Substratpotential, das gleich oder größer als das hohe Bitleitungspotential ist, anzulegen (*In einem Zeitraum B, der dem Zeitraum A folgt, beginnen der Verstärkerbetrieb des ersten Leseverstärkers SA1 und der Verstärkerbetrieb des zweiten Leseverstärkers SA2 zur selben Zeit. Ein Verstärkungsbetrieb wird wie im Folgenden beschrieben ausgeführt. In der ersten Potentialsteuerschaltung C4 wird das Lesebetriebsaktivierungssignal SO zum Erreichen eines hohen Niveaus aktiviert. Als ein Ergebnis wird der NMOS Transistor 12 aktiv gemacht. Des Weiteren erreicht bei der NAND-Schaltung 23 das Signal vom Signalknoten 26 ein hohes Niveau und das Signal von der Verzögerungsschaltung 24 ein niedriges Niveau zum Liefern eines Ausgabesignals auf hohem Niveau, wodurch der NMOS-Transistor 21 aktiviert wird. Dieses verursacht einen Kurzschluss zwischen dem ausgehenden Leitungsknoten Z und dem Masseknoten 11, wodurch das Potential VZ des ausgehenden Leitungsknotens Z und das Wannepotential VWp beide in Richtung des Massepotentials GND reduziert werden. Bei der zweiten Potentialsteuerschaltung C5 wird das Lesebetriebsaktivierungssignal /SO zum Erreichen eines niedrigen Niveaus aktiviert. Als ein Ergebnis wird der PMOS-Transistor 14 aktiviert. Bei der NOR-Schaltung 33 erreicht das Signal vom Signalknoten 36 ein niedriges Niveau und das Signal von der Verzögerungsschaltung 34 ein hohes Niveau zum Liefern eines Ausgabesignals auf einem niedrigen Niveau, wodurch der PMOS-Transistor 32 aktiviert wird. Dies verursacht einen Kurzschluß zwischen dem Versorgungsleitungsknoten Y und dem Stromversorgungsknoten 13, wodurch das Potential VY des Versorgungsleitungsknotens Y und das Wannepotential VWn beide in Richtung des Stromversorgungspotentials VCC erhöht werden / Sp. 17, Zeile 58 bis Sp. 18, Zeile 27).*

Dabei wird in Übereinstimmung mit der im kennzeichnenden Teil des Anspruchs 1 gegebenen Lehre zu Beginn der Verstärkungsphase, nämlich zum Zeitpunkt des Wechsels in den Verstärkerbetrieb (*Ende des Zeitraums A und Beginn des Zeitraums B / Fig. 10*) an den Substratanschluss des n-Kanal-



Feldeffekttransistors noch das erste (zwischen dem hohen und niedrigen Bitleitungspotential liegende) Substratpotential ( $V_{Wp} = 1/2 V_{CC}$ ) angelegt, während im Folgenden während der Verstärkungsphase (Zeitraum C und Zeitraum D / Fig. 10) das zweite Substratpotential angelegt wird, das zunächst (Zeitraum C) gleich dem niedrigen Bitleitungspotential ( $V_{Wp} = GND$ ) und dann (Zeitraum D) kleiner als dieses ist (In einem Zeitraum B, der dem Zeitraum A folgt, beginnen der Verstärkerbetrieb des ersten Leseverstärkers SA1 und der Verstärkerbetrieb des zweiten Leseverstärkers SA2 zur selben Zeit / Sp. 17, Zeilen 58 bis 61 // In einem Zeitraum C, der dem Zeitraum B folgt, erreicht das Potential VBL der Bitleitung BL das Niveau des Stromversorgungspotentials VCC und das Potential V/BL der Bitleitung /BL erreicht das Niveau des Massepotentials GND. In einem Zeitraum D, der dem Zeitraum C folgt, läuft am Beginn desselben der Verzögerungsterm TD der Verzögerungsschaltungen 24 und 34 ab, wodurch das Signal, das an die NAND-Schaltung 23 von der Verzögerungsschaltung 24 angelegt wird, und das Signal, das an die NOR-Schaltung 33 von der Verzögerungsschaltung 34 angelegt wird, ein hohes Niveau bzw. ein niedriges Niveau erreichen. Unter solchen Umständen erreicht die Ausgabe der NAND-Schaltung 23 ein niedriges Niveau in der ersten Potentialsteuerschaltung C4, wodurch der NMOS-Transistor 21 und der PMOS-Transistor 22 deaktiviert bzw. aktiviert werden. Dieses verursacht einen Kurzschluss zwischen der Wanne des Wannengebiete 20 und dem Potentialknoten 25, wodurch das Wannepotential  $V_{Wp}$  auf ein Niveau reduziert wird, bei dem die Schwellspannung  $V_{th(p)}$  des PMOS-Transistors 22 zu dem ersten Potential  $V_{BB}$  [ $V_{BB} + V_{th(p)}$ ] addiert wird / Sp. 18, Zeilen 28 bis 50 // Wie oben beschrieben, wird während des Zeitraums D das Potential  $V_{Wp}$  zum Erreichen eines Niveaus des Potentials  $V_{BB}$ , welches niedriger als das Massepotential GND ist [...], gesteuert / Sp. 18, Zeilen 61 bis 66, jeweils in Verbindung mit der Fig. 10, die die vorangehend erläuterten Signal- und Potentialverläufe und insbesondere die Pegel der Wannepotentiale  $V_{Wp}$  und  $V_{Wn}$  zum Zeitpunkt des Übergangs der Phase A in die Phase B und während der Phasen B, C und D zeigt).

Damit offenbart die Druckschrift D1 eine dynamische Speicherschaltung mit allen Merkmalen des Anspruchs 1. Die Speicherschaltung nach Anspruch 1 ist somit nicht neu und daher nicht patentfähig.

4. Die Untersprüche 2 bis 12 fallen wegen der Antragsbindung mit dem Anspruch 1, auf den sie sich rückbeziehen, vgl. BGH GRUR 2007, 862, 863, Tz. 18 - „Informationsübermittlungsverfahren II“ m. w. N..

5. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

### III.

Der Anregung auf Rückzahlung der Beschwerdegebühr (PatG § 80 (3)) kann nicht entsprochen werden. Die Anordnung der Rückzahlung der Beschwerdegebühr ist immer dann billig, wenn bei ordnungsgemäßer und angemessener Sachbehandlung der Erlass des Zurückweisungsbeschlusses nicht in Betracht gekommen wäre und damit die Beschwerde hätte vermieden werden können (Schulte, PatG, 8. Aufl., § 73 Rdn 125). Dies ist jedoch vorliegend nicht der Fall.

1. Im Erstbescheid vom 9. Juni 2006 hat die Prüfungsstelle die Anmelderin darauf hingewiesen, dass die Speichereinrichtung nach dem ursprünglichen Anspruch gegenüber dem Stand der Technik gemäß der Druckschrift D1 nicht neu sei und dass auch die in den Unteransprüchen 2 bis 10 und 12 bis 18 genannten Merkmale aus dieser Druckschrift bekannt und somit nicht neu seien, vgl. in diesem Bescheid die Abschnitte b) und c).

Die Anmelderin hat daraufhin einen neuen Anspruchssatz eingereicht, dessen Anspruch 1 die Merkmale der ursprünglichen Ansprüche 1 bis 5 zusammenfasst und in seinem kennzeichnenden Teil klarstellt, dass das bei inaktiviertem Ausleseverstärker an das Transistorsubstrat angelegte Mittenpotential dem an die Bitlei-

tungen angelegten Ausgleichspotential entspricht, vgl. die Bescheidserwiderung der Anmelderin vom 27. Dezember 2006, S. 1. Dieser Anspruch ist offensichtlich gegen den Stand der Technik gemäß der Druckschrift D1 abgegrenzt.

In ihrem Folgebescheid vom 31. Januar 2007 hat die Prüfungsstelle im Hinblick auf den kennzeichnenden Teil des neu eingereichten Anspruchs 1, d. h. im Hinblick auf die nach Ansicht der Anmelderin aus der Druckschrift D1 nicht bekannten Merkmale dargelegt, die im Anspruch genannte und für die Einstellung des Substrat-potentials erforderliche Steuereinheit sei in den ursprünglichen Unterlagen lediglich hinsichtlich ihrer Funktion offenbart, ein Mittenpotential an den Substratanschluss der jeweiligen Transistoren anzulegen, es sei jedoch nicht angegeben, welche Signale sie dazu verwende und wie sie daraus bei deaktiviertem Ausleseverstärker die Mittenpotentiale erzeuge. Diese Funktion des Anlegens eines Mittenpotentials sei aber auch schon bei der Steuereinheit der Speicherschaltung nach der Druckschrift D1 gegeben, wie dort insbesondere die Fig. 10 zeige, womit bei dieser Speicherschaltung auch bereits die von der Anmelderin angegebene Aufgabe gelöst werde, das Auftreten von Leckströmen zu verhindern, vgl. S. 2, 2. und 3. Absatz dieses Bescheids.

Die Anmelderin konnte dem Bescheid somit entnehmen, dass die Prüfungsstelle das neu in den Anspruch aufgenommene, die Funktion der Steuereinheit beschreibende Merkmal des kennzeichnenden Teils des neuen Patentanspruchs als aus der Druckschrift D1 bekannt ansieht. Dieser Sichtweise entsprechend hat die Prüfungsstelle die Anmelderin in dem genannten Bescheid auch dazu aufgefordert, zunächst die ausreichende Offenbarung der Steuereinheit in den ursprünglichen Unterlagen aufzuzeigen und sodann neue Ansprüche vorzulegen, deren Gegenstand gegenüber dem zitierten Stand der Technik neu sein und auf erfinderischer Tätigkeit beruhen müsste, vgl. S. 3, 3. Abs. des Bescheids vom 31. Januar 2007.

Die Anmelderin ist den Darlegungen der Prüfungsstelle in ihrer Erwiderung vom 26. Oktober 2007 entgegen getreten und hat sowohl zur ausreichenden Offenbarung der Steuereinheit als auch zur Patentfähigkeit der Speicherschaltung nach dem unverändert weiterverfolgten Anspruch 1 Stellung genommen und auf die ihrer Meinung nach bestehenden Unterschiede zum Stand der Technik gemäß der Druckschrift D1 hingewiesen. Diese gebe anhand der Fig. 9 und 10 und dem zugehörigen Text zwar die Lehre, das Substratpotential wenigstens eines der Leseverstärker abhängig vom Betriebszustand zu variieren, um die Speichereigenschaften dynamisch zu optimieren, zeige jedoch im Gegensatz zur Auffassung der Prüfungsstelle nicht, dass mit der Steuerschaltung ein Angleichen des Substratpotentials an das an die Bitleitungen angelegte Ausgleichspotential bei deaktiviertem Ausleseverstärker möglich ist, wie es das in Rede stehende Merkmal lehre. Diese Darlegungen lassen erkennen, dass die sachkundige und anwaltlich vertretene Anmelderin die Ausführungen der Prüfungsstelle zur mangelnden Patentfähigkeit gegenüber dem Stand der Technik gemäß der Druckschrift D1, insbesondere die Ausführungen zum Anlegen eines Mittenpotentials nachvollzogen hat.

Bei dieser Sachlage konnte der Senat dem Argument der Anmelderin, sie sei von der im Zurückweisungsbeschluss geltend gemachten Würdigung der Druckschrift D1 als neuheitsschädlichem Stand der Technik überrascht worden, nicht folgen.

2. Die Anmelderin hat die Anmeldung im Beschwerdeverfahren mit einem neuen Anspruchssatz weiterverfolgt, dessen Anspruch 1 ebenfalls gegenüber dem Stand der Technik gemäß der Druckschrift D1 abgegrenzt ist, wobei der durch Aufnahme weiterer Merkmale präzisierter Oberbegriff nun in veränderter Formulierung auch das oben diskutierte, zuvor den kennzeichnenden Teil bildende und das Anlegen eines zwischen dem hohen und dem niedrigen Bitleitungspotential liegenden Ausgleichspotentials an das Transistorsubstrat betreffende Merkmal enthält.

Wie oben dargelegt, steht der Stand der Technik gemäß der Druckschrift D1 jedoch auch dem Gegenstand dieses Anspruchs neuheitsschädlich entgegen, da die Druckschrift auch die neu in den Anspruch aufgenommenen Merkmale des kennzeichnenden Teils offenbart. Abgesehen davon, dass der Senat angesichts dieser Sachlage Zweifel daran hat, ob sich mit einer Anhörung die Zurückweisung der Anmeldung und die Beschwerde hätte vermeiden lassen, kommt die Rückzahlung der Beschwerdegebühr bereits allein deswegen nicht in Betracht, weil der Senat im Beschwerdeverfahren mit identischem Stand der Technik zur gleichen Entscheidung wie die Prüfungsstelle kommt, vgl. Schulte, PatG, 8. Aufl., § 73 Rdn. 131.

Dr. Strößner

Paetzold

Brandt

Dr. Friedrich

CI