



# BUNDESPATENTGERICHT

18 W (pat) 156/14

---

(Aktenzeichen)

Verkündet am

9. Mai 2014

Höchner

Justizhauptsekretärin

als Urkundsbeamtin

der Geschäftsstelle

## BESCHLUSS

In der Beschwerdesache

**betreffend die Patentanmeldung 10 2005 028 954.1-53**

der Hewlett Packard Development Co., L.P., Houston, Texas (V.St.A.),

Anmelderin und Beschwerdeführerin,

Verfahrensbevollmächtigte: Patentanwälte Schoppe, Zimmermann, Stöckeler  
& Zinkler, Hermann-Roth-Weg 1, 82049 Pullach,

hat der 18. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 9. Mai 2014 durch die Vorsitzende Richterin Dipl.-Ing. Wickborn sowie die Richter Kruppa, Dipl.-Phys. Dr. Schwengelbeck und Dipl.-Ing. Altvater

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

## **Gründe**

### **I.**

Die vorliegende Patentanmeldung, die zwei US-amerikanische Prioritäten vom 21. Juli 2004 und vom 28. April 2005 in Anspruch nimmt, wurde am 22. Juni 2005 beim Deutschen Patent- und Markenamt eingereicht. Sie trägt die Bezeichnung

„System und Verfahren zum Erleichtern einer Rücksetzung bei einem Computersystem“.

Die Patentanmeldung wurde von der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts mit Beschluss vom 23. Juli 2009 mit der Begründung zurückgewiesen, dass der Patentanspruch 1 nach Hauptantrag unklar sei und dass das im Anspruch 1 nach Hilfsantrag beanspruchte Verfahren unter Berücksichtigung der Druckschriften

**D1** WO 00/25208 A1 und

**D3** AMD, BIOS and Kernel Developer's Guide for AMD Athlon™ 64 and AMD Opteron™ Processors, Publication # 26094, Rev. 3.14, April 2004, S. 23, 24 und 29

nicht auf einer erfinderischen Tätigkeit beruhe.

Im Prüfungsverfahren vor dem Deutschen Patent- und Markenamt wurde außerdem folgende Druckschrift genannt:

**D2** WO 2004 / 046920 A2.

Gegen den oben genannten Beschluss richtet sich die Beschwerde der Anmelderin.

Sie beantragt,

den Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 23. Juli 2009 aufzuheben und das Patent auf der Grundlage der folgenden Unterlagen zu erteilen:

- Patentansprüche 1-35, eingereicht in der mündlichen Verhandlung, hilfsweise  
Patentansprüche 1-29 gemäß Hilfsantrag 1, hilfsweise  
Patentansprüche 1-25 gemäß Hilfsantrag 2, hilfsweise  
Patentansprüche 1-26 gemäß Hilfsantrag 3, hilfsweise  
Patentansprüche 1-24 gemäß Hilfsantrag 4, jeweils eingereicht in der mündlichen Verhandlung,
- Beschreibung Seiten 1 und 1a, eingegangen am 30. März 2007, Seiten 2-21, eingegangen am 22. Juni 2005,
- Figuren 1-6, eingegangen am 22. Juni 2005, hilfsweise wird die Teilung erklärt.

**Patentanspruch 1** nach **Hauptantrag** lautet unter Hinzufügung einer Gliederung (*Änderungen gegenüber dem ursprünglichen Anspruch 1 hervorgehoben*):

- M1** „Computersystem (10, 50, 150), das folgende Merkmale aufweist:
- M2** zumindest einen Prozessor (12, 52, 152), der zumindest einen Cache (14, 54, 58, 156, 158) aufweist; und
- M3** eine Schnittstelle (16, 66, 100, 178), die einen zugeordneten Cache (20, 74, 104, 184) umfasst, wobei
- M4** die Schnittstelle den zugeordneten Cache mit Anweisungsdaten, die aus einem nichtflüchtigen Speicher (22, 64, 102, 180) erfasst werden, während einer Rücksetzsequenz als einen Teil einer der Rücksetzsequenz vorlädt,
- M5** so dass die Anweisungsdaten in dem zugeordneten Cache dem zumindest einen Cache des zumindest einen Prozessors verfügbar sind, um eine Rücksetzung oder einen Bootvorgang durch das Computersystem zu erleichtern.

Wegen den nebengeordneten Ansprüchen 13, 23, 30 und 31 sowie den Unteransprüchen 2 bis 12, 14 bis 22, 24 bis 29 und 32 bis 35 nach Hauptantrag wird auf die Akte verwiesen.

Der **Patentanspruch 1** nach **Hilfsantrag 1** weist die Merkmale des Anspruchs 1 nach Hauptantrag auf unter Ersetzung der Merkmale M3 und M4 durch folgende Merkmale (*Änderungen gegenüber dem Anspruch 1 nach Hauptantrag hervorgehoben*):

- M3\*** „eine Schnittstelle (16, 66, 100, 178) entfernt von dem zumindest einen Prozessorkern (54, 154), die einen zugeordneten Cache (20, 74, 104, 184) umfasst, wobei
- M4\*** die Schnittstelle den zugeordneten Cache mit Anweisungsdaten, die aus einem nichtflüchtigen Speicher (22, 64, 102, 180) erfasst werden, ~~während einer Rücksetzsequenz~~ als einen Teil Anfangsteil der Rücksetzsequenz vorlädt,“

Wegen den nebengeordneten Ansprüchen 13 und 23 sowie den Unteransprüchen 2 bis 12, 14 bis 22 und 24 bis 29 nach Hilfsantrag 1 wird auf die Akte verwiesen.

Der **Patentanspruch 1** nach **Hilfsantrag 2** weist die Merkmale des Anspruchs 1 nach Hilfsantrag 1 auf unter Hinzufügung folgender Merkmale:

- M6a** „wobei die Schnittstelle (16, 66, 100, 178) ferner eine Steuerung (106) aufweist, die wirksam ist, um die Anweisungsdaten aus dem nichtflüchtigen Speicher (22, 64, 102, 180) zu laden
- M6b** und die Anweisungsdaten in dem zugeordneten Cache (20, 74, 104, 184) der Schnittstelle ansprechend darauf zu speichern, dass das System in einem Rücksetzmodus wirksam ist.“

Wegen den nebengeordneten Ansprüchen 12 und 21 sowie den Unteransprüchen 2 bis 11, 13 bis 20 und 22 bis 25 nach Hilfsantrag 2 wird auf die Akte verwiesen.

Der **Patentanspruch 1** nach **Hilfsantrag 3** weist die Merkmale des Anspruchs 1 nach Hilfsantrag 1 auf unter Hinzufügung folgender Merkmale:

- M7a** „wobei die Schnittstelle (16, 66, 100, 178) mit den Anweisungsdaten aus dem Cache der Schnittstelle ansprechend auf einen Cache-

Treffer bei dem Cache der Schnittstelle für eine gegebene Anforderung anspricht

**M7b** und mit den Anweisungsdaten aus dem nichtflüchtigen Speicher (22, 64, 102, 180) ansprechend auf einen Cache-Fehltreffer bei dem Cache der Schnittstelle für die gegebene Anforderung anspricht.“

Zu den nebengeordneten Ansprüchen 13, 22 und 26 sowie den Unteransprüchen 2 bis 12, 14 bis 21 und 23 bis 25 nach Hilfsantrag 3 wird auf die Akte verwiesen.

Der **Patentanspruch 1** nach **Hilfsantrag 4** weist die Merkmale des Anspruchs 1 nach Hilfsantrag 3 auf unter Einfügung der vorstehend aufgeführten Merkmale **M6a** und **M6b** (*vgl. Anspruch 1 nach Hilfsantrag 2*) vor dem Merkmal **M7a**.

Wegen den nebengeordneten Ansprüchen 12, 20 und 24 sowie den Unteransprüchen 2 bis 11, 13 bis 19 und 21 bis 23 nach Hilfsantrag 4 wird ebenfalls auf die Akte verwiesen.

Die Beschwerdeführerin führt aus, dass die geltenden Ansprüche nach Haupt- und Hilfsanträgen zulässig und im Lichte des im Verfahren befindlichen Standes der Technik patentfähig seien.

Wegen weiterer Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die Beschwerde ist zulässig, insbesondere ist sie fristgerecht eingelegt worden. Da sich in der Amtsakte kein Empfangsbekanntnis über die Zustellung des Amtsbeschlusses vom 23. Juli 2009 befindet, geht der Senat als Zustellungstag von

dem im Beschwerdeschriftsatz genannten 3. September 2009 aus. Die am 2. Oktober 2009 eingelegte Beschwerde ist damit fristgerecht erfolgt.

In der Sache hat die Beschwerde keinen Erfolg. Denn die Gegenstände der jeweiligen Ansprüche 1 nach Hauptantrag sowie nach Hilfsanträgen 1 bis 4 beruhen nicht auf einer erfinderischen Tätigkeit (§ 4 Satz 1 PatG). Die Fragen der Zulässigkeit der geltenden Ansprüche nach Haupt- und Hilfsanträgen sowie der Neuheit der Anspruchsgegenstände können somit dahinstehen (vgl. *BGH GRUR 1991, 120, 121 li. Sp. Abs. 3 - „Elastische Bandage“*).

1. Die vorliegende Anmeldung betrifft das Erleichtern einer Rücksetzung bei einem Computersystem durch geeignete Systeme und ein entsprechendes Verfahren. Die Anmeldung geht dabei davon aus, dass beim erstmaligen Einschalten oder anderweitigen Rücksetzen eines Computers eine zentrale Verarbeitungseinheit eine Rücksetzungsfunktion implementiert, um Komponenten in dem System zu validieren und zu initialisieren. Wenn es mehr als eine CPU oder mehrere Prozessorkerne gebe, führe jede CPU bzw. jeder Prozessorkern eine ähnliche Rücksetzungsfunktion durch. Die Rücksetzungsfunktion sei typischerweise in einem nichtflüchtigen Speicher als ein Basiseingabe-/Ausgabesystem (BIOS) gespeichert. Während einer ersten Phase der Rücksetzungsfunktion werde gewöhnlich der lokale Cache basierend auf ausführbaren Anweisungen validiert, die aus dem nichtflüchtigen Speicher gelesen würden. Die CPU führe dann Anweisungen aus, die in dem lokalen Cache gespeichert seien, um eine Fehlererkennung bzw. eine Diagnose für andere Komponenten der CPU zu validieren und durchzuführen, einschließlich eines oder mehrerer Prozessorkerne und zugeordneter Caches. Nachdem die Prozessorkerne und Caches validiert seien, könne die Rücksetzsequenz fortfahren, um die Initialisierungssequenz abzuschließen (vgl. *die geltende Beschreibungssseite 1, Abs. 1*).

Der Anmeldung liegt laut geltender Beschreibungseinleitung (*vgl. S. 1a, vorletzter Abs.*) die **Aufgabe** zugrunde, ein Computersystem, ein Multiprozessor-Computersystem, ein System und ein Verfahren mit verbesserten Charakteristika zu schaffen. Die objektiv zugrunde liegende Problem- bzw. Aufgabenstellung ist darin zu sehen, Computersysteme bzw. ein Verfahren anzugeben, bei denen die Verfügbarkeit und der Transfer von Anweisungsdaten bei der Abarbeitung von Rücksetzsequenzen im Rahmen von Bootvorgängen eines Computersystems verbessert werden.

Als **Fachmann** ist ein Diplom-Ingenieur der Elektrotechnik mit Fachhochschulabschluss und mit mehrjähriger Erfahrung auf dem Gebiet der Entwicklung von Computersystemen anzusehen, der mehrjährige Erfahrungen mit der Validierung und Initialisierung von Komponenten bei der Abarbeitung von Rücksetzsequenzen im Rahmen von Bootvorgängen besitzt.

Diese Aufgabe soll durch die Merkmale der unabhängigen Ansprüche des Hauptantrags und der Hilfsanträge 1 bis 4 gelöst werden. Dabei ist insbesondere vorgesehen, dass das Computersystem eine Schnittstelle aufweist, die einen zugeordneten Cache aufweist, wobei die Schnittstelle den zugeordneten Cache mit Anweisungsdaten, die aus einem nichtflüchtigen Speicher erfasst werden, als einen Teil einer Rücksetzsequenz vorlädt, so dass die Anweisungsdaten in dem zugeordneten Cache dem zumindest einen Cache des zumindest einen Prozessors verfügbar sind, um eine Rücksetzung durch das Computersystem zu erleichtern.

2. Die in den jeweiligen Ansprüchen 1 nach Haupt- und Hilfsanträgen 1 bis 4 aufgeführten Begriffe „Rücksetzung“ bzw. „Rücksetzsequenz“ bedürfen der Auslegung. Unter der Rücksetzung (*engl. „Reset“*) versteht der Fachmann einen Vorgang, durch den ein Computersystem in einen definierten Anfangszustand gebracht wird. Dies erfolgt beispielsweise beim Starten des Computers nach dem Einschalten, aber auch beim softwareseitigen Neustart

(„Warmstart“, „Reboot“) oder beim Hardware-Reset des Systems (vgl. *geltende Beschreibung*, S. 1, Z. 7-10 und S. 5, Z. 9-12). Der Ablauf beim Starten (bzw. Neustart), also beim „Hochfahren“ des Computers wird als „Booten“ (Kurzform von „bootstrap loading“) bezeichnet. Die hierzu erforderlichen Anweisungsdaten liegen dem Computer üblicherweise in einem nichtflüchtigen Speicher vor (vgl. *auch geltende Beschreibung*, S. 1, Z. 12-15). Bei den Anweisungsdaten der Rücksetzsequenz, die gemäß der vorliegenden Anmeldung in den Cache der Schnittstelle geladen bzw. vorgeladen werden, handelt es sich somit in Übereinstimmung mit der vorliegenden Anmeldung um die Anweisungen, die das Hochfahren bzw. Wiederhochfahren des Computers mit Validierung und Initialisierung der Rechnerkomponenten bestimmen (vgl. *geltende Beschreibung*, S. 1, Z. 7-27 und S. 5, Z. 7-9 und 12-17), und nicht um Anweisungen, die zu Beginn des Zurücksetzens des Rechners (d. h. beim „Reboot“ oder „Hardware-Reset“) bei dessen Stopp oder beim Herunterfahren ablaufen und bspw. der Datensicherung dienen. Die Bezeichnung Rücksetzsequenz im Sinne der Anmeldung beschreibt damit die Initialisierung des Computersystems nach dessen Start bzw. Neustart, mithin das Booten des Computers.

3. Das Computersystem gemäß **Anspruch 1** nach **Hauptantrag** ergibt sich für den Fachmann in nahe liegender Weise aus der Kenntnis der Druckschrift **D2** unter Anwendung seines Fachwissens über das Zusammenwirken der aus der Druckschrift D2 bekannten Computerkomponenten.

Denn aus Druckschrift D2 ist bereits ein Computersystem („system 10 for booting a computer“) bekannt (vgl. *Fig. 1 mitsamt zugehörigem Text in Abs. [0009] / Merkmal M1*), welches mehrere Prozessoren („multiple processors 12, 13, 14, and 15“; vgl. *Abs. [0009]*) mit zugehörigen Caches („processor caches“) aufweist, die schnelle Pufferspeicher in Form von L1-Caches darstellen (vgl. *S. 4, Z. 6-8 i. V. m. S. 7, Z. 15-20: „L1 cache“ / Merkmal M2*). Dabei weist das aus Druckschrift D2 bekannte Computersystem auch eine

vom Prozessor räumlich und funktionsmäßig entfernte Schnittstelle auf („*memory interface*“), wobei die Schnittstelle auch einen zugeordneten Cache („*cache memory 16*“) umfasst, der als L2-Pufferspeicher („*L2 cache*“) dient und die Funktion des Caches der Schnittstelle gemäß der vorliegenden Anmeldung wahrnimmt (vgl. Druckschrift D2, Fig. 1 und den zugehörigen Text auf S. 2, Z. 13-16 und Z. 20-24, i. V. m. S. 5, Z. 24-28 und S. 7, Z. 3-5 und Z. 15-17 sowie Z. 27-30 / **Merkmal M3**).

Weiterhin ist Druckschrift D2 zu entnehmen, dass das Computersystem mittels des vorstehend genannten Cache-Systems gebootet wird (vgl. Fig. 2 und den dort aufgeführten Cache 16 sowie den zugehörigen Text auf S. 3, Abs. [0012]: „*To boot such a computer from cache [...]*“). Es gehört dabei zum Wissen des Fachmanns, dass ein solcher Bootvorgang die Validierung und Initialisierung des Computersystems mittels Anweisungsdaten - und somit eine Rücksetzsequenz beschreibt. Dabei müssen die Anweisungsdaten zuerst aus einem nichtflüchtigen Speicher erfasst werden, da die Cache-Speichereinrichtung nur als flüchtiger Pufferspeicher dient und daher beim Start bzw. Neustart des Computers keine Einträge enthält. Einen solchen nichtflüchtigen Speicher zum dauerhaften Speichern von Anweisungsdaten erkennt der Fachmann in dem Firmware-Speicher („*firmware memory 20*“), der in der Figur 1 der Druckschrift D2 dargestellt ist, wobei der Firmware-Speicher BIOS-Anweisungsdaten („*Basic Input/Output System (BIOS) instructions*“) für die Prozessoren 12, 13, 14 und 15 enthält (vgl. S. 2, Abs. [0009]), die - wie der Fachmann weiß - insbesondere der Validierung und Initialisierung beim Starten des Computers dienen. Dementsprechend entnimmt der Fachmann dem Offenbarungsgehalt der Druckschrift D2 unter Ergänzung seines Fachwissens über das Zusammenwirken der aus Druckschrift D2 bekannten Computerkomponenten, dass die Schnittstelle bei einem Bootvorgang resp. dem Bootstrap-Loading den ihr zugeordneten Cache („*cache memory 16*“ / „*L2 cache*“) mit Anweisungsdaten für den Bootvorgang, die aus nichts anderem als dem in Druckschrift D2 aufgeführten nichtflüchtigen Spei-

cher („*firmware memory 20*“) erfasst werden, während einer Rücksetzsequenz mit einem „early boot code“ vorlädt, wobei die Anweisungsdaten in dem zugeordneten Cache einen Teil der Rücksetzsequenz für den Bootvorgang bilden (vgl. S. 3, Z. 16-20 und 26-29 i. V. m. Fig. 1 und dem zugehörigen Text in Abs. [0009] / **Merkmale M4**).

Das aus Druckschrift D2 bekannte Cache-System stellt dabei nichts anderes als ein dem Fachmann zum Prioritätszeitpunkt der Anmeldung vertrautes Cache-System mit zwei Hierarchie-Levels L1 und L2 („*L1 cache*“ / „*L2 cache*“; vgl. die Zitatstellen a. a. O.) zum schnellen Zugriff auf Anweisungsdaten dar, bei dem der Inhalt des L1-Caches sukzessive mittels Daten aus dem L2-Cache aktualisiert wird (vgl. hierzu in Druckschrift D2 die Zitatstellen a. a. O. sowie den Text auf S. 6, Abs. [0022], in dem Cache-Aktualisierungen per „*update*“ aufgeführt werden). Entgegen der Auffassung der Anmelderin entnimmt der Fachmann dem Offenbarungsgehalt der Druckschrift D2 i. V. m. seinem Fachwissen über Computersysteme mit L1- und L2-Caches daher, dass die Anweisungsdaten in dem zugeordneten L2-Cache („*cache memory 16*“ / „*L2 cache*“) auch für den jeweiligen L1-Cache („*processor cache*“ / „*L1 cache*“) der Prozessoren („*processors 12, 13, 14, and 15*“) verfügbar sind. Es bedarf damit für den Fachmann aufgrund seines Fachwissens über das Zusammenwirken der aus Druckschrift D2 bekannten Systemkomponenten keiner erfinderischen Tätigkeit, eine Rücksetzung bzw. einen Bootvorgang durch das Computersystem (vgl. den vorstehend zitierten Abs. [0012]: „*To boot such a computer from cache ...*“) mit Hilfe der vorstehend genannten Maßnahme zur Verfügungsstellung der zugehörigen Anweisungen im L1-/L2-Cache-System zu erleichtern (**Merkmale M5**).

4. Auch die im **Anspruch 1** nach **Hilfsantrag 1** im Vergleich zum Anspruch 1 nach Hauptantrag präzisierten Merkmale M3\* und M4\*, in denen zusätzlich zum Ausdruck kommt, dass es sich um eine Schnittstelle handelt, die entfernt von dem zumindest einen Prozessorkern ausgebildet ist, und dass es

sich bei dem Teil der Rücksetzsequenz um einen Anfangsteil handelt, können keine erfinderische Tätigkeit begründen.

Denn - wie zuvor bereits dargelegt - entnimmt der Fachmann Druckschrift D2 unter Zuhilfenahme seines Fachwissens eine Schnittstelle („*memory interface*“) mit einem zugeordneten Cache („*cache memory 16*“), der als L2-Pufferspeicher („*L2 cache*“) dient und dafür sorgt, dass Anweisungsdaten für den Bootvorgang aus dem Firmware-Speicher 20 zum jeweiligen Prozessor-Cache („*L1 cache*“) und den Prozessoren 12, 13, 14 und 15 gelangt (vgl. die vorstehenden Ausführungen zu den Merkmalen M3 und M4 des Anspruchs 1 nach Hauptantrag, die hier in gleicher Weise gelten). Die Schnittstelle, die den L2-Cache 16 umfasst, befindet sich dabei für den Fachmann ersichtlich entfernt vom jeweiligen Prozessorkern der Prozessoren 12, 13, 14 und 15 mit deren L1-Caches (vgl. Fig. 1 und den zugehörigen Text auf S. 2, Abs. [0009] sowie S. 7, Z 15-20 / **Merkmal M3\***).

Den Ausführungen der Anmelderin, dass es sich bei dem in Druckschrift D2 aufgeführten L2-Cache 16 um einen lokalen Cache handle und die zugehörige Schnittstelle dementsprechend nicht als entfernt von dem zumindest einen Prozessorkern ausgebildete Schnittstelle angesehen werden könne, kann nicht zugestimmt werden. Denn Druckschrift D2 beschreibt den L2-Cache 16 zwar als lokalen Hochgeschwindigkeits-Cache („*high-speed local cache*“; vgl. S. 2, Abs. [0009]); dies bedeutet aber nicht, dass sich der L2-Cache 16 in der Nähe von einem Prozessorkern befindet. Vielmehr bezieht sich das Attribut „local“ auf die im Abs. [0009] genannte Hauptplatine („*baseboard*“), nicht jedoch auf die jeweiligen Prozessorkerne innerhalb der Prozessoren 12, 13, 14 und 15. Der L2-Cache 16 und die zugehörige Schnittstelle sind daher - im Unterschied zu den L1-Prozessor-Caches - als entfernt von den jeweiligen Prozessorkernen der Prozessoren 12, 13, 14 und 15 anzusehen, nicht anders als es im Merkmal M3\* des Anspruchs 1 nach Hilfsantrag 1 gefordert ist (vgl. Fig. 1 und zugehörige Beschreibung, a. a. O.).

Dass es sich bei der Rücksetzsequenz gemäß Druckschrift D2 um einen Anfangsteil handelt, wie es im Merkmal M4\* im Vergleich zum Merkmal M4 des Anspruchs 1 nach Hauptantrag präzisiert ist, kann der Fachmann Druckschrift D2 ebenfalls entnehmen, da bei dem dort beschriebenen Computersystem die Anweisungsdaten in dem zugeordneten Cache („cache memory 16“ / „L2 cache“) einen Anfangsteil („early boot code“) der Rücksetzsequenz für den Bootvorgang bilden (vgl. S. 3, Z. 26-29. i. V. m. dem Text in Abs. [0012] sowie Fig. 3 und Abs. [0015], wobei ansonsten auf die vorstehenden Ausführungen zum Merkmal M4 des Anspruchs 1 nach Hauptantrag verwiesen wird, die hier in gleicher Weise gelten / **Merkmal M4\***).

In Bezug auf die übrigen Merkmale M1, M2 und M5 des Anspruchs 1 nach Hilfsantrag 1 wird auf die diesbezüglichen Ausführungen zum Hauptantrag verwiesen, die hier in gleicher Weise gelten.

Der Gegenstand des Anspruchs 1 nach Hilfsantrag 1 ergibt sich daher für den Fachmann ebenfalls in nahe liegender Weise aus der Kenntnis der Druckschrift D2 i. V. m. dem Fachwissen über die Funktionalität der in Druckschrift D2 offenbarten Computerkomponenten.

5. Die im **Anspruch 1** nach **Hilfsantrag 2** im Vergleich zum Anspruch 1 nach Hilfsantrag 1 zusätzlich aufgeführten Merkmale, nach denen die Schnittstelle ferner eine Steuerung aufweist, die wirksam ist, um die Anweisungsdaten aus dem nichtflüchtigen Speicher zu laden (vgl. *Merkmal M6a*), wobei die Anweisungsdaten in dem zugeordneten Cache der Schnittstelle ansprechend darauf gespeichert werden, dass das System in einem Rücksetzmodus wirksam ist (vgl. *Merkmal M6b*), können ebenfalls keine erfinderische Tätigkeit begründen.

Denn Druckschrift D2 ist - entgegen der von der Anmelderin vertretenen Auffassung - ebenfalls zu entnehmen, dass die Schnittstelle („memory inter-

face“) eine zugehörige Steuerung („*cache and memory controller*“) aufweist, die gleichfalls wirksam ist, um die Anweisungsdaten für einen Bootvorgang zu laden (vgl. Abs. [0010] i. V. m. Abs. [0023]). Wie vorstehend bereits zum Merkmal M4 des Anspruchs 1 nach Hauptantrag ausgeführt, gehört es dabei zum Wissen eines Fachmanns über das Zusammenwirken der aus Druckschrift D2 bekannten Computerkomponenten, dass die Anweisungsdaten aus einem nichtflüchtigen Speicher geladen werden, wobei der Fachmann einen solchen nichtflüchtigen Speicher ohne Weiteres in dem in der Druckschrift D2 aufgeführten Firmware-Speicher („*firmware memory 20*“) erkennt. Ein solches Laden setzt zwangsläufig eine entsprechende Steuerung - hier den o. g. „*cache and memory controller*“ - voraus (vgl. die vorstehenden Ausführungen zum Firmware Speicher und die Zitatstellen a. a. O. / **Merkmal M6a**). Des Weiteren entnimmt der Fachmann Druckschrift D2, dass die Anweisungsdaten in dem zugeordneten Cache der Schnittstelle ansprechend darauf gespeichert werden, dass das System in einem Rücksetzmodus als einen Teil eines Bootvorgangs wirksam ist (vgl. S. 2, Z. 30 bis S. 3, Z. 2: „*In operation, the baseboard management controller 22 functions as policy agency that decides which processor to apply power-on reset to, when to assert INIT and NMI, when to initiate or terminate boot processes, etc*“ sowie S. 3, Z. 26-29: „*early boot code*“, d. h. Code für die Rücksetzsequenz im Sinne der vorliegenden Anmeldung / **Merkmal M6b**).

Bezüglich der übrigen Merkmale des Anspruchs 1 nach Hilfsantrag 2 wird auf die diesbezüglichen Ausführungen zum Hilfsantrag 1 verwiesen, die hier in gleicher Weise gelten.

Auch der Gegenstand des Anspruchs 1 nach Hilfsantrag 2 ergibt sich damit für den Fachmann in nahe liegender Weise aus der Kenntnis der Druckschrift D2 i. V. m. dem Fachwissen über die Funktionalität der in der Druckschrift D2 offenbarten Computerkomponenten.

6. Die im **Anspruch 1** nach **Hilfsantrag 3** gegenüber dem Anspruch 1 nach Hilfsantrag 1 zusätzlich aufgeführten Merkmale, in denen zum Ausdruck kommt, dass die Schnittstelle mit den Anweisungsdaten zum Booten aus dem Cache der Schnittstelle ansprechend auf einen Cache-Treffer bei dem Cache der Schnittstelle für die gegebene Anforderung anspricht (vgl. *Merkmal M7a*) und mit den Anweisungsdaten aus dem nichtflüchtigen Speicher, ansprechend auf einen Cache-Fehlertreffer bei dem Cache der Schnittstelle für die gegebene Anforderung, anspricht (vgl. *Merkmal M7b*), können ebenfalls keine erfinderische Tätigkeit begründen.

Denn Druckschrift D2 ist zu entnehmen, dass sämtliche Daten und folglich auch die vorstehend genannten Anweisungsdaten immer aus dem Cache geladen werden (vgl. S. 6, Z. 18-19: „*All data loads are always read from cache [...]*“), was für den Fachmann aber nichts anderes bedeutet, als dass die Schnittstelle mit dem zugeordneten L2-Cache 16 - ansprechend auf Cache-Treffer („*hits*“) bei dem Cache der Schnittstelle für die gegebene Anforderung - anspricht (***Merkmal M7a***). Entgegen der Auffassung der Anmelderin entnimmt der Fachmann Druckschrift D2 dementsprechend, dass die vorgenannte Schnittstelle mit den Anweisungsdaten, die aus dem nichtflüchtigen Speicher („*firmware memory 20*“) geladen werden, ansprechend auf die in Druckschrift D2 aufgeführten Cache-Fehlertreffer („*cache data read misses*“) bei dem Cache der Schnittstelle für die gegebene Anforderung im Rahmen einer Datenaktualisierung („*update*“) anspricht (vgl. die vorstehenden Ausführungen zum nichtflüchtigen Firmware-Speicher gemäß Druckschrift D2 unter Ziffer 3, ***Merkmal M4***, die hier in gleicher Weise gelten, sowie S. 6, Z. 20: „*Cache data read misses may update the cache*“). Denn aus ***Merkmal M7b*** folgt abweichend von der durch die Anmelderin vertretenen Auffassung nicht zwangsläufig ein dritter, vom Cache unabhängiger und direkter Zugriff auf den nichtflüchtigen Speicher, der einem Laden aller Daten durch den Prozessor aus dem Cache gemäß Druckschrift D2 widersprechen würde (vgl. Abs. [0022], Punkt 1.). Vielmehr beschreiben die Merkmale ***M7a*** und ***M7b*** die

Funktion der Schnittstelle, nicht des Computersystems oder Prozessors und damit die Schnittstellen-internen Abläufe bei einem Cache-Fehlertreffer. Ein Cache-Fehlertreffer bedeutet aber für eine fachübliche Verwendung eines Caches, dass die angefragten Daten aus dem jeweils dem Cache nachgeordneten Speicher geliefert werden und in der Regel ein Update des Cache-Inhalts erfolgt, wie dies auch Druckschrift D2 entnehmbar ist (vgl. Abs. [0022], Punkt 2. / **Merkmal M7b**).

Bezüglich der übrigen Merkmale des Anspruchs 1 nach Hilfsantrag 3 wird auf die diesbezüglichen Ausführungen zum Hilfsantrag 1 verwiesen, die hier in gleicher Weise gelten.

Der Gegenstand des Anspruchs 1 nach Hilfsantrag 3 ergibt sich daher für den Fachmann ebenfalls in nahe liegender Weise aus der Kenntnis der Druckschrift D2 i. V. m. dem Fachwissen über die Funktionalität der in der Druckschrift D2 offenbarten Computerkomponenten.

7. Die im **Anspruch 1** nach **Hilfsantrag 4** im Vergleich zum Anspruch 1 nach Hilfsantrag 3 vor dem Merkmal M7a eingefügten **Merkmale M6a und M6b** (vgl. *vorherigen Ausführungen*) können ebenfalls keine erfinderische Tätigkeit begründen.

Denn, wie vorstehend ausgeführt, entnimmt der Fachmann Druckschrift D2 unter Hinzufügung seines Fachwissens über die aus Druckschrift D2 bekannten Computerkomponenten und deren Zusammenwirken, insbesondere im Hinblick auf das in Druckschrift D2 offenbarte L1-/L2-Cache-System i. V. m. Cache-Treffern und Cache-Fehlertreffern (vgl. *dazu die vorstehenden Ausführungen*), dass die Schnittstelle ferner eine Steuerung aufweist, die wirksam ist, um die Anweisungsdaten aus dem nichtflüchtigen Speicher zu laden, wobei die Anweisungsdaten in dem zugeordneten Cache der Schnittstelle ansprechend darauf gespeichert werden, dass das System in einem

Rücksetzmodus wirksam ist (*vgl. die Ausführungen zu den Merkmalen der jeweiligen Ansprüche 1 nach Hilfsantrag 2 und Hilfsantrag 3 sowie die in diesem Zusammenhang genannten Zitatstellen in Druckschrift D2, die hier in gleicher Weise gelten / **Merkmale M6a und M6b***).

In Bezug auf die übrigen Merkmale des Anspruchs 1 nach Hilfsantrag 4 wird auf die diesbezüglichen Ausführungen zum Hilfsantrag 3 verwiesen, die hier in gleicher Weise gelten.

Der Gegenstand des Anspruchs 1 nach Hilfsantrag 4 ergibt sich daher für den Fachmann ebenfalls in nahe liegender Weise in Kenntnis der Druckschrift D2 i. V. m. dem Fachwissen über die Funktionalität der in der Druckschrift D2 offenbarten Computerkomponenten.

8. Mit den jeweils nicht patentfähigen Ansprüchen 1 nach Haupt- und Hilfsanträgen 1 bis 4 sind auch die in den Haupt- und Hilfsanträgen aufgeführten nebengeordneten Ansprüche und die auf die jeweiligen Ansprüche 1 bzw. die jeweiligen nebengeordneten Ansprüche direkt oder indirekt rückbezogenen Unteransprüche nicht schutzfähig, da auf diese Ansprüche kein eigenständiges Patentbegehren gerichtet war (*vgl. BGH, GRUR 2007, 862 Abs. III 3aa - „Informationsübermittlungsverfahren II“*).

### III.

Nachdem die jeweiligen Anspruchssätze nach Hauptantrag bzw. nach Hilfsanträgen 1 bis 4 nicht patentfähig sind, war die Beschwerde zurückzuweisen.

#### IV.

##### Rechtsmittelbelehrung

Gegen diesen Beschluss steht der am Beschwerdeverfahren Beteiligten das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn gerügt wird, dass

1. das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. einem Beteiligten das rechtliche Gehör versagt war,
4. ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten schriftlich einzulegen.

Wickborn

Kruppa

Dr. Schwengelbeck

Altvater