



# BUNDESPATENTGERICHT

23 W (pat) 32/10

Verkündet am  
14. Januar 2014

---

(Aktenzeichen)

...

## BESCHLUSS

In der Beschwerdesache

...

### **betreffend die Patentanmeldung 10 2005 044 165.3-33**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 14. Januar 2014 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner, der Richter Brandt und Dr. Friedrich sowie der Richterin Dr. Hoppe

beschlossen:

Die Beschwerde wird zurückgewiesen.

## **Gründe**

### **I.**

Die vorliegende Anmeldung mit dem Aktenzeichen 10 2005 044 165.3-33 und der Bezeichnung „Halbleiterbauelement mit einem pn-Übergang und Verfahren zum Herstellen desselben“ wurde am 15. September 2005 beim Deutschen Patent- und Markenamt eingereicht. Die Prüfungsstelle für Klasse H 01 L hat im Prüfungsverfahren den Stand der Technik gemäß den Druckschriften

D1 DE 101 06 359 C1

D2 EP 768 714 A1

D3 Barthelmeß, R., u. a.: Electroactive Passivation of High Power Semiconductor Devices with Punch Through Design by Hydrogenated Amorphous Carbon Layers (a-C:H). In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 1998, S. 181-184

berücksichtigt und in ihren Bescheiden vom 5. Mai 2006 und 17. Juni 2009 sowie in der Anhörung am 22. September 2009 und dem anschließenden Bescheid vom 23. September 2009 u. a. ausgeführt, dass das Halbleiterbauelement und das zugehörige Herstellungsverfahren der jeweils geltenden selbständigen Ansprüche dem Fachmann durch die Druckschriften D1 bis D3 nahegelegt werde und dass die Anmeldung insofern uneinheitlich sei, als keine die erste und zweite Ausführungsform der Anmeldung verbindende gemeinsame erfinderische Idee existiere. Die Anmelderin hat in ihren Eingaben vom 25. September 2006 und 29. Januar 2010 den Bedenken der Prüfungsstelle dadurch Rechnung getragen, dass sie

mit Eingabe vom 25. September 2006 den ursprünglichen selbständigen Anspruch 15 zum Anspruch 1 gemacht und durch Eingabe vom 29. Januar 2010 auf den Gegenstand des ursprünglichen Anspruchs 1, soweit er über den geltenden Anspruch 1 hinausgeht, verzichtet hat. Nach der in dieser Eingabe erfolgten Bitte um eine baldige Beschlussfassung hat die Prüfungsstelle die Anmeldung durch Beschluss vom 24. März 2010 mit der Begründung fehlender erfinderischer Tätigkeit bezüglich der Druckschriften D1 und D3 zurückgewiesen.

Gegen diesen dem Vertreter der Anmelderin am 19. April 2010 zugestellten Beschluss richtet sich die fristgemäß am 17. Mai 2010 eingegangene Beschwerde.

Zusammen mit der Ladung ist die Anmelderin auch auf die Relevanz der Druckschrift

D4 Zengfeng Di u. a.: Thermal stability of diamondlike carbon buried layer fabricated by plasma immersion ion implantation and deposition in silicon on insulator; In: Journal of Applied Physics 98, 2005, S. 053502-1 bis 053502-5, veröffentlicht online am 2. September 2005.

hingewiesen worden.

Zur mündlichen Verhandlung am 14. Januar 2014 ist die ordnungsgemäß geladene Anmelderin - wie mit Schriftsatz vom 13. Januar 2014 angekündigt - nicht erschienen. Nach Aktenlage hat die Anmelderin sinngemäß beantragt,

1. den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 24. März 2010 aufzuheben;
2. ein Patent mit der Bezeichnung „Halbleiterbauelement mit einem pn-Übergang und Verfahren zum Herstellen desselben" und dem

Anmeldetag 15. September 2005 auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1-12, vom 25. September 2006, eingegangen am selben Tag, sowie

Beschreibungsseiten 1-5 und 7-31 mit Bezugszeichenliste (Seiten 1 und 2), eingegangen am Anmeldetag, sowie

Beschreibungsseiten 6, 6a, 6b vom 25. September 2006, eingegangen am selben Tag,

und drei Blatt Zeichnungen mit Figuren 1-4B vom 21. November 2005, eingegangen am selben Tag.

Der mit Gliederungspunkten versehene, ansonsten aber wörtlich wiedergegebene geltende Patentanspruch 1 hat folgenden Wortlaut:

„Halbleiterbauelement (101) mit:

- (a) einer Halbleiterschicht (55) mit einem ersten Halbleiterbereich (75) eines ersten Leitfähigkeitstyps und einem zweiten Halbleiterbereich (77) eines zweiten zu dem ersten Leitfähigkeitstyp inversen Leitfähigkeitstyps, wobei der erste Halbleiterbereich (75) lateral benachbart zu dem zweiten Halbleiterbereich (77) angeordnet ist, um an dem zweiten Halbleiterbereich anzugrenzen, um einen pn-Übergang zu bilden;
  
- (b) einem Substrat (53), das einen dritten Halbleiterbereich aufweist, der den zweiten Leitfähigkeitstyp aufweist;

- (c) einer Isolationsschicht (105), die zwischen dem Substrat (53) und der Halbleiterschicht (55) angeordnet ist und ein amorphes Kohlenstoffmaterial mit einem Wasserstoffanteil aufweist;
- (d) einem vierten Halbleiterbereich (59), der den ersten Leitfähigkeitstyp aufweist und zwischen dem dritten Halbleiterbereich und der Isolationsschicht (105) angeordnet ist, um den dritten Halbleiterbereich und die Isolationsschicht (105) zumindest teilweise zu trennen, so dass der vierte Halbleiterbereich (59) über einen ersten Teil der Isolationsschicht (105) dem ersten Halbleiterbereich (75) und dem pn-Übergang gegenüberliegt und der dritte Halbleiterbereich über den ersten Teil der Isolationsschicht (105) dem ersten Halbleiterbereich (75) und dem pn-Übergang gegenüberliegt und über einen zweiten Teil der Isolationsschicht (105) dem zweiten Halbleiterbereich (77) gegenüberliegt;
- (e) einem fünften Halbleiterbereich (103), der den ersten Leitfähigkeitstyp aufweist und zwischen der Isolationsschicht (105) und dem dritten Halbleiterbereich angeordnet ist, um die Isolationsschicht (105) und den dritten Halbleiterbereich zumindest teilweise zu trennen, wobei der fünfte Halbleiterbereich (103) dem zweiten Halbleiterbereich über den zweiten Teil der Isolationsschicht (105) gegenüberliegt und von dem vierten Halbleiterbereich (59) beabstandet ist, und ein Teil des dritten Halbleiterbereichs zwischen dem vierten (59) und dem fünften (103) Halbleiterbereich angeordnet ist.“

Hinsichtlich der selbständigen Ansprüche 2, 11 und 12, der Unteransprüche 3 bis 10 sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die zulässige Beschwerde der Anmelderin erweist sich nach dem Ergebnis der mündlichen Verhandlung als nicht begründet, denn das Halbleiterbauelement des geltenden Patentanspruchs 1 wird dem Fachmann durch den Stand der Technik gemäß der Druckschrift D1 in Verbindung mit seinem durch Druckschrift D4 belegten Fachwissen nahegelegt und ist daher gemäß § 4 PatG wegen fehlender erfinderischer Tätigkeit nicht patentfähig.

Bei dieser Sachlage kann die Zulässigkeit der geltenden Patentansprüche sowie die Erörterung der Neuheit dahingestellt bleiben, vgl. *BGH GRUR 1991, 120-122, insbesondere 121, II.1 - Elastische Bandage*.

Der zuständige Fachmann ist hier als ein berufserfahrener und mit der Herstellung und Entwicklung von SOI-Transistoren betrauter Diplomphysiker oder Diplomingenieur der Elektrotechnik mit Hochschulabschluss zu definieren.

1. Die Anmeldung betrifft ein Halbleiterbauelement mit einem pn-Übergang, insbesondere einen SOI (Silicon on Insulator = Silizium auf Isolator) - Transistor sowie ein Verfahren zum Herstellen desselben.

Wie in der den Stand der Technik erläuternden Fig. 4A der Anmeldung dargestellt, ist ein zur Ansteuerung einer Last ausgelegter SOI-Transistor in einem SOI-Substrat aus einer strukturierten epitaktischen Siliziumschicht 12, einer vergrabenen Oxidschicht 13a und einem einen Siliziumwafer enthaltenden Trägersubstrat 15 gebildet. Dabei weist die strukturierte epitaktische Schicht 12 eine Source-Region 23, ein Body-Gebiet 25, eine Driftzone 27 und eine Drain-Region 29 auf, die von der oberen Oxidschicht 13a bedeckt sind. Zusätzlich sind in dem Substrat 15 eine Wannenregion 17, mehrere ringförmige Randabschlusszonen 19 und eine Dotierungsregion 41 gebildet, und die epitaktische Schicht 12 ist von der vergrabenen Oxidschicht 13a und der oberen Oxidschicht 13b umgeben, die die struktu-

rierte epitaktische Siliziumschicht 12 bedeckt. In der oberen Oxidschicht 13b sind zudem eine Durchkontaktierung 31, eine Source-Kontaktierung 33, eine Gateoxid-Region 35, eine Gate-Elektroden-Region 37, eine Drainkontaktierung 39 und eine Dotierungsregion-Kontaktierung 43 angeordnet, wohingegen auf der Unterseite des SOI-Transistors 11 ein Substratanschluss 44 vorgesehen ist.

Somit ist in der epitaktischen Schicht 12 ein Feldeffekttransistor gebildet, umfassend das Gate 37 und die lateral nebeneinander angeordnete  $n^+$ -Source-Region 23, das p-Body-Gebiet 25, die  $n^-$ -Driftzone 27 und die  $n^+$ -Drain-Region 29.

Während des Betriebs des SOI-Transistors 11 liegt eine Sperrspannung an dem pn-Übergang zwischen der Wannengregion 17 und dem Rest des Substrats 15 an, beispielsweise indem ein höheres positives Potential an den Substratanschluss 44 als an die Wannengregion 17 angelegt wird. Damit der pn-Übergang gegen ein ungewünschtes Durchbrechen abgesichert ist, sind um den pn-Übergang zwischen der Wannengregion 17 und dem Substrat 15 die p-Ringe 19 als floatender Randabschluss angebracht, d. h. sie werden auf keinem von außen vorgegebenem Potential gehalten, und ihre Potentiale sind bei vorgegebener anliegender Sperrspannung zwischen der Wannengregion 17 und dem Substrat 15 durch die Breiten und Abstände der einzelnen Ringe 19 sowie die Grunddotierung des Substrates 15 bestimmt.

Durch eine geeignete Anordnung der Ringregionen 19 und Dimensionierung der Driftzone 27 und des Substrats 15 lassen sich der laterale Potentialverlauf in der Driftzone 27 an den im Substrat 15 anpassen und die maximal auftretende Spannung zwischen der Driftzone 27 und dem Substrat 15 unter der Durchbruchsspannung der vergrabenen Oxidschicht 13a halten. Die Verteilung der elektrischen Feldstärke in der Driftzone 27 wird dadurch stabilisiert und Feldstärke Spitzen sind reduziert, so dass der SOI-Transistor 11 eine gute Stabilität hinsichtlich seines Durchbruchverhaltens aufweist.

Nachteilig an einem solchen SOI-Transistor ist jedoch, dass die Anordnung der Ringregionen 19 um die Wannensregion 17 herum zu einem erhöhten lateralen Platzbedarf auf dem Chip, auf dem der SOI-Transistor 11 implementiert ist, führt und sich aufgrund der unzureichenden elektroaktiven Eigenschaften der vergrabenen Oxidschicht 13a Feldstärkespitzen in der Raumladungszone 21 in der Nähe der vergrabenen Oxidschicht 13a nicht vermeiden lassen, so dass die Raumladungszone 21 lateral keinen homogenen Verlauf der elektrischen Feldstärke, sondern lokal immer noch ausgeprägte Spitzen aufweist. Diese lokalen Spitzen im Verlauf der elektrischen Feldstärke können bevorzugt an den pn-Übergängen zwischen den floatenden Ringregionen 19 und dem Substrat 15 auftreten und zu einem Durchbruch über die vergrabene Oxidschicht 13a führen.

Um die ungewollten Spannungsfrühdurchbrüche zu vermeiden, ist der SOI-Transistor 11 so auszulegen, dass die in ihm auftretende elektrische Feldstärke in den lateral sich erstreckenden Regionen reduziert ist. Dabei sind die lateralen Abmessungen bzw. die Breite der Region 45 entsprechend hoch auszulegen, um unerwünschte Frühdurchbrüche infolge lokaler Spitzen in der elektrischen Feldstärkeverteilung zu vermeiden. Somit ist der Platzbedarf des SOI-Transistors 11 erhöht, *vgl. geltende Beschreibungsseite 1 bis S. 6, zweiter Absatz.*

Vor diesem Hintergrund liegt der Anmeldung als technisches Problem die Aufgabe zugrunde, ein Halbleiterbauelement zu schaffen, das verbesserte elektrische Eigenschaften und/oder einen geringeren Platzbedarf aufweist, und ein Verfahren zum Herstellen eines Halbleiterbauelements, das verbesserte elektrische Eigenschaften und/oder einen geringeren Platzbedarf aufweist, zu schaffen, *vgl. geltende Beschreibungsseite 6b, zweiter Absatz.*

Gelöst wird diese Aufgabe durch ein Halbleiterbauelement mit den Merkmalen der selbständigen Ansprüche 1 und 2 sowie durch die zugehörigen Herstellungsverfahren gemäß den selbständigen Ansprüchen 11 und 12.



Dabei zeichnen sich diese Halbleiterbauelemente bzw. Herstellungsverfahren gegenüber dem anhand der Fig. 4A erläuterten üblichen Halbleiterbauelement dadurch aus, dass die zwischen dem Substrat und der Halbleiterschicht angeordnete Isolationsschicht ein amorphes Kohlenstoffmaterial mit einem Wasserstoffanteil aufweist und dass im Fall der Ansprüche 2 und 12 der zweite Dotierungsbereich des fünften Halbleiterbereichs eine niedrigere Dotierung aufweist als der erste Dotierungsbereich des fünften Halbleiterbereichs und der erste und der zweite Dotierungsbereich eine niedrigere Dotierung aufweisen als der vierte Halbleiterbereich.

Insbesondere führt die Verwendung von amorphem Kohlenstoffmaterial mit einem Wasserstoffanteil als Isolationsmaterial aufgrund der vorteilhaften elektrischen Eigenschaften dieses Materials zu einer Verringerung von Feldstärkespitzen in dem Substrat und zu einer erhöhten Durchbruchspannung des pn-Übergangs, und die spezielle Dotierung des vierten und fünften Dotierungsbereichs, d. h. die veränderliche Dotierung im Randbereich (VLD = Variation of lateral doping) bewirkt eine weitere Erhöhung der Durchbruchspannung des pn-Übergangs, vgl. *Beschreibungsseite 10, zweiter Absatz bis S. 11, zweiter Absatz i. V. m. S. 15, letzter Absatz bis Seite 17, erster Absatz und S. 22, letzter Absatz bis Seite 24, erster Absatz.*

2. Die Druckschrift D1, vgl. deren Figur 1 mit Bezugszeichen und Beschreibung in den Absätzen [0033] bis [0038], offenbart mit den Worten des Anspruchs 1 ein:

Halbleiterbauelement mit

- (a) einer Halbleiterschicht (*Siliziumfilm 16*) mit einem ersten Halbleiterbereich (*Bereich unterhalb des Polysilizium-Gates 24*) eines ersten Leitfähigkeitstyps (*p*; *ergibt sich aus den Angaben in Abs. [0037] der D1*) und einem zweiten Halbleiterbereich (*rechter Teil des Siliziumfilms 16*) eines zweiten zu dem ersten Leitfähigkeitstyp inversen Leitfähigkeitstyps (*n*), wobei der erste Halbleiterbereich lateral benachbart zu dem zweiten Halbleiterbe-

reich angeordnet ist, um an dem zweiten Halbleiterbereich anzugrenzen, um einen pn-Übergang zu bilden;

- (b) einem Substrat (*Substrat 12*), das einen dritten Halbleiterbereich (*12*) aufweist, der den zweiten Leitfähigkeitstyp (*n*, vgl. Absatz [0037]) aufweist;
- (c) einer Isolationsschicht (*Isolationsschicht 14*), die zwischen dem Substrat (*12*) und der Halbleiterschicht (*16*) angeordnet ist;
- (d) einem vierten Halbleiterbereich (*Anoden-Shiel 28*), der den ersten Leitfähigkeitstyp (*p*, vgl. Abs. [0037]) aufweist und zwischen dem dritten Halbleiterbereich (*12*) und der Isolationsschicht (*14*) angeordnet ist, um den dritten Halbleiterbereich (*12*) und die Isolationsschicht (*14*) zumindest teilweise zu trennen, so dass der vierte Halbleiterbereich (*28*) über einen ersten Teil der Isolationsschicht (*14*) dem ersten Halbleiterbereich (*16*, *unterhalb des Gates*) und dem pn-Übergang (*16*) gegenüberliegt und der dritte Halbleiterbereich (*12*) über den ersten Teil der Isolationsschicht (*14*) dem ersten Halbleiterbereich (*16*, *unterhalb des Gates*) und dem pn-Übergang (*16*) gegenüberliegt und über einen zweiten Teil der Isolationsschicht (*14*) dem zweiten Halbleiterbereich (*16*) gegenüberliegt;
- (e) einem fünften Halbleiterbereich (*floatender Feldring 32*), der den ersten Leitfähigkeitstyp (*p*, vgl. Abs. [0037]) aufweist und zwischen der Isolationsschicht (*14*) und dem dritten Halbleiterbereich (*12*) angeordnet ist, um die Isolationsschicht (*14*) und den dritten Halbleiterbereich (*12*) zumindest teilweise zu trennen, wobei der fünfte Halbleiterbereich (*32*) dem zweiten Halbleiterbereich (*16*) über den zweiten Teil der Isolationsschicht (*14*) gegenüberliegt und von dem vierten Halbleiterbereich (*28*) beabstandet ist, und ein Teil des dritten Halbleiterbereichs (*12*) zwischen dem vierten (*28*) und dem fünften (*32*) Halbleiterbereich angeordnet ist.

Dabei ergibt sich die Dotierung der einzelnen Bereiche der Halbleiterschicht 16 und der Halbleiterbereiche 12, 28, 30 und 32 aus Fig. 1 u. 2 mit den Absätzen [0033], [0034] und [0037] der Druckschrift D1. Denn gemäß diesen Fundstellen bildet der Siliziumfilm 16 einen MOS-Transistor mit dem Source-Kontakt 18, dem Gate-Kontakt 20 und dem Drain-Kontakt 22, d. h. im Fall eines n-MOSFET ist der Film 16 unterhalb des Gates 20 p-dotiert und Source und Drain sind n-dotiert, während die Dotierungen im Fall eines p-MOSFETs jeweils umgekehrt wären. Wie Abs. [0037] weiter erläutert, ist bei einem n-dotierten Substrat 12 der Anoden-Shield 28 p-dotiert und die Drain-Source-Spannung  $V_{DS}$  positiv, d. h. das an der Drainelektrode 22 anliegende Potential übersteigt im Betriebsfall das an der Sourcelektrode 18 anliegende Potential und der MOSFET (18, 20, 22) ist ein n-Kanal-MOSFET. Demnach ist der Sourcebereich (in Fig. 1 der linke Bereich der Schicht 16) n-dotiert, der Kanalbereich unterhalb des Gates p-dotiert und der Drainbereich (in Fig. 1 der rechte Bereich der Schicht 16) n-dotiert, mit der Folge, dass sich ein pn-Übergang zwischen dem p-dotierten Kanalbereich und dem n-dotierten Drainbereich ausbildet. Wie zudem in Abs. [0035] offenbart, bilden sowohl Anoden-Shield 28 als auch Kathoden-Shield 30 einen pn-Übergang zum Substrat 12, so dass beide Shield-Bereiche 28 und 30 p-dotiert sind. Dass zudem der in das n-dotierte Substrat 12 eingebrachte Feldring 32 p-dotiert sein muss, ergibt sich aus Abs. [0016].

Somit offenbart Druckschrift D1 ein Halbleiterbauelement, das bis auf die Angabe, dass die vergrabene Isolationsschicht (*Isolationsschicht 14*) ein amorphes Kohlenstoffmaterial mit einem Wasserstoffanteil aufweist, sämtliche Merkmale des Anspruchs 1 enthält.

Jedoch kann es keine erfinderische Tätigkeit des Fachmanns begründen, für die Isolationsschicht (*Isolationsschicht 14*) ein amorphes Kohlenstoffmaterial mit einem Wasserstoffanteil vorzusehen. Denn wie anhand der Druckschrift D4, vgl. dort den ersten Absatz der Introduction (DLC = diamondlike Carbon = aCH = amorphes Kohlenstoffmaterial mit einem Wasserstoffanteil, vgl. auch die geltende Beschrei-

bungsseite 22, letzter Absatz), belegt, weiß der mit der Entwicklung von SOI-Transistoren beauftragte Fachmann, dass amorphes Kohlenstoffmaterial mit einem Wasserstoffanteil wegen seiner sehr guten elektrischen und thermischen Eigenschaften vermehrt das gängige  $\text{SiO}_2$  in den vergrabenen Isolationsschichten von SOI-Bauelementen ersetzt. Aufgrund der ihm bekannten guten Materialeigenschaften des Kohlenstoffmaterials wird der Fachmann ausgehend von der Lehre der Druckschrift D1 in Verbindung mit seinem durch Druckschrift D4 dokumentierten Fachwissen für die vergrabene Isolationsschicht 14 der Druckschrift D1 auch ein amorphes Kohlenstoffmaterial mit einem Wasserstoffanteil in Betracht ziehen und verwenden, so dass er das Halbleiterbauelement des Anspruchs 1 erhält, ohne dazu erfinderisch tätig werden zu müssen.

Das Halbleiterbauelement des Anspruchs 1 wird dem Fachmann somit durch die Druckschrift D1 in Verbindung mit Druckschrift D4 nahegelegt und ist wegen fehlender erfinderischer Tätigkeit nicht patentfähig.

3. Es kann dahingestellt bleiben, ob das Halbleiterbauelement nach dem selbständigen Anspruch 2 bzw. den Unteransprüchen 3 bis 10 oder die Verfahren nach den selbständigen Ansprüchen 11 und 12 patentfähig sind, denn wegen der Antragsbindung im Patenterteilungsverfahren fallen mit dem Patentanspruch 1 auch die weiteren selbständigen Ansprüche sowie die mittelbar oder unmittelbar auf die selbständigen Patentansprüche rückbezogenen Unteransprüche (*vgl. BGH GRUR 2007, 862, 863 Tz. 18 - Informationsübermittlungsverfahren II m. w. N.*).

4. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

### **Rechtsmittelbelehrung**

Gegen diesen Beschluss steht der Anmelderin das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich:

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass, einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses

schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstraße 45 a, 76133 Karlsruhe, einzureichen oder

durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html). Das elektronische Dokument ist mit einer

prüfbar qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbar fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html) bekannt gegeben.

Dr. Strößner

Brandt

Dr. Friedrich

Dr. Hoppe

CI