



BUNDESPATENTGERICHT

20 W (pat) 9/10

Verkündet am
10. März 2014

(Aktenzeichen)

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 10 2004 018 976.5-56

...

hat der 20. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 10. März 2014 durch den Vorsitzenden Richter Dipl.-Phys. Dr. Mayer, die Richterin Kopacek sowie die Richter Dipl.-Ing. Gottstein und Dipl.-Ing. Albertshofer

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die am 20. April 2004 eingereichte Patentanmeldung 10 2004 018 976.5 mit der Bezeichnung „Verbessertes Gate-Array oder FPGA“ ist im Verfahren vor dem Deutschen Patent- und Markenamt von der Prüfungsstelle für Klasse H 03 K durch Beschluss in der Anhörung vom 5. Mai 2009 zurückgewiesen worden. Der Zurückweisung lag der in der Anhörung überreichte Anspruch 1 zugrunde.

Die Prüfungsstelle hat ihren Beschluss damit begründet, dass der Gegenstand des Anspruchs 1 über den Inhalt der Anmeldung in der Fassung hinausgehe, in der sie bei der für die Einreichung der Anmeldung zuständigen Behörde eingereicht worden sei.

Hiergegen richtet sich die zulässige Beschwerde des Anmelders vom 17. Juni 2009, eingegangen beim Deutschen Patent- und Markenamt am 19. Juni 2009, mit der er seine Anmeldung weiterverfolgt.

Der Anmelder hat in der mündlichen Verhandlung beantragt,

den Beschluss der Prüfungsstelle für Klasse H 03 K des Deutschen Patent- und Markenamts vom 5. Mai 2009 aufzuheben und das Patent auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche:

Patentansprüche 1 bis 6, bei Gericht eingegangen am 9. Februar 2014

Beschreibung:

Beschreibungsseiten 1 bis 6, beim DPMA eingegangen am 21. November 2006

Zeichnungen:

Figuren 1 bis 5, beim DPMA eingegangen am 10. August 2004.

Hilfsantrag 1:

Patentansprüche 1 bis 7, bei Gericht eingegangen am 9. Februar 2014

Beschreibung und Zeichnungen wie Hauptantrag.

Hilfsantrag 2:

Patentansprüche 1 bis 7, überreicht in der mündlichen Verhandlung am 10. März 2014

Beschreibung und Zeichnungen wie Hauptantrag.

Weiterhin hilfsweise:

Patentanspruch 1 gemäß Hilfsantrag 2, überreicht in der mündlichen Verhandlung am 10. März 2014,

Beschreibung und Zeichnungen wie Hauptantrag.

Weiterhin hilfsweise:

Hilfsantrag 4:

Patentanspruch 1, überreicht in der mündlichen Verhandlung am
10. März 2014

Beschreibung:

Beschreibungsseiten 1 bis 5 vom Anmeldetag (20. April 2004)

Zeichnungen:

Figuren 1 bis 5, beim DPMA eingegangen am 10. August 2004.

Weiterhin wird angeregt, die Rechtsbeschwerde zuzulassen.

Die selbständigen Patentansprüche 1 gemäß dem Hauptantrag und den Hilfsanträgen haben folgenden Wortlaut:

Hauptantrag:

„ Gate-Array oder FPGA dadurch gekennzeichnet,
dass konfigurierbare Logikelemente mit mehr als 2 Eingängen verwendet werden,
die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen
Verknüpfungen umgeschaltet werden können, wobei die Anzahl dieser
Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen booleschen
Verknüpfungen bei I Eingängen,
wobei solche Verknüpfungen verwendet werden, die vollständig symmetrisch sind,
so dass Eingänge ohne Änderung der booleschen Funktion vertauscht werden
können,
wobei die konfigurierbaren Logikelemente über eine X/Y-Routingstruktur so
verbunden werden können, dass jeder Ausgang eines Logikelements mit nur einem
beliebigen Eingang jedes anderen Logikelements verbunden werden kann. ”

Wegen der sich anschließenden Unteransprüche 2 bis 6 wird auf den Akteninhalt
verwiesen.

Hilfsantrag 1:

„ Gate-Array oder FPGA dadurch gekennzeichnet,
dass konfigurierbare Logikelemente mit mehr als 2 Eingängen verwendet werden,
die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen
Verknüpfungen umgeschaltet werden können, wobei die Anzahl dieser
Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen booleschen
Verknüpfungen bei I Eingängen,
wobei folgende booleschen Verknüpfungen einstellbar sind:
AND, NAND, OR, NOR, XOR, XNOR, AND/OR Kombigatter, AND/NOR Kombigatter,
OR/AND Kombigatter, OR/NAND Kombigatter, Identity Komparator zwischen zwei
Vektoren, jeweils kombiniert mit einem Multiplexer oder Adder. ”

Wegen der sich anschließenden Unteransprüche 2 bis 7 wird auf den Akteninhalt verwiesen.

Hilfsantrag 2:

„FPGA **dadurch gekennzeichnet,**

dass konfigurierbare Logikelemente mit Multiplexer verwendet werden, die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen Verknüpfungen umgeschaltet werden können, wobei die Anzahl dieser Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen booleschen Verknüpfungen bei I Eingängen,

wobei alle oder mehrere der folgenden booleschen Verknüpfungen einstellbar sind:

AND, NAND, OR, NOR, XOR, XNOR, AND/OR Kombigatter, AND/NOR Kombigatter, OR/AND Kombigatter, oder OR/NAND Kombigatter, und ein Multiplexer.“

Wegen der sich anschließenden Unteransprüche 2 bis 7 wird auf die in der mündlichen Verhandlung überreichten Unterlagen verwiesen.

Hilfsantrag 3:

Die beantragte Fassung des Anspruchs 1 nach Hilfsantrag 3 entspricht dem Anspruch 1 nach Hilfsantrag 2, wobei der Anmelder im Hilfsantrag 3 auf die abhängigen Ansprüche verzichtet.

Hilfsantrag 4:

„FPGA,

mit konfigurierbaren Logikelementen mit Multiplexer, die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen Verknüpfungen umgeschaltet werden können, wobei die Anzahl dieser Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen booleschen Verknüpfungen bei I Eingängen,

wobei solche Verknüpfungen verwendet werden, die vollständig symmetrisch oder teilsymmetrisch sind, so dass Eingänge ohne Änderung der booleschen Funktion vertauscht werden können,

wobei solche Verknüpfungen verwendet werden, deren Aufwand nur linear mit der Zahl der benutzten Eingänge ansteigt,

wobei alle oder mehrere der folgenden booleschen Verknüpfungen einstellbar sind:

AND, NAND, OR, NOR, XOR, XNOR, AND/OR Kombigatter, AND/NOR Kombigatter, OR/AND Kombigatter oder OR/NAND Kombigatter und ein Multiplexer,

wobei die Eingänge der Logikelemente statisch auf '0' oder '1' konfiguriert werden können oder das Eingangssignal invertiert oder nichtinvertiert weitergegeben wird,

wobei die konfigurierbaren Logikelemente über eine X/Y-Routingstruktur so verbunden werden können, dass zumindest jeder Ausgang eines Logikelements mit einem Eingang jedes anderen Logikelements verbunden werden kann,

wobei die Anzahl der für eine Verbindung zwischen den Logikelementen zu benutzenden konfigurierbaren Verbindungspunkte zumindest in einem Teilbereich des Gate-Arrays oder FPGAs konstant ist und somit die Verzögerungszeit auf allen diesen Wegen ebenfalls praktisch konstant ist,

wobei die konfigurierbaren Logikelemente auch über an deren Eingängen schaltbare Verbindungen lokal verbunden werden können, das heißt direkt mit anderen Logikelementen in der näheren Umgebung verbunden werden können und diese Verbindungen über nur einen konfigurierbaren Schalter laufen,

wobei über arithmetische Aufgaben hinaus für die schnelle Verknüpfung von kombinatorischer Logik dedizierte, nicht konfigurierbare Verbindungen, zwischen Logikelementen bestehen.“

In der mündlichen Verhandlung wurde nachfolgender Stand der Technik diskutiert (Nummerierung entsprechend dem Prüfungsverfahren vor dem Deutschen Patent- und Markenamt):

D1: EP 1 162 746 A2

D11: EP 0 573 175 A2.

Der Anmelder und Beschwerdeführer hält das Gate Array oder FPGA nach den Merkmalen des Anspruchs 1 sowohl in der Fassung nach Hauptantrag als auch in der Fassung nach dem Hilfsantrag 1 sowie das FPGA in der Fassung der Hilfsanträge 2, 3 und 4 für patentfähig.

Zu den weiteren Einzelheiten des Vorbringens wird auf die Akten verwiesen.

II.

Die Beschwerde ist zulässig. Sie ist in rechter Frist und Form unter Zahlung der Beschwerdegebühr eingelegt worden.

Die Beschwerde ist aber unbegründet. Sie ist zurückzuweisen, da sich der Gegenstand der Anmeldung in keiner der beanspruchten Fassungen als patentfähig erweist.

1. Die Anmeldung betrifft Gate-Arrays (GAs) oder Field Programmable Gate Arrays (FPGAs), die sich dadurch auszeichneten, dass eine Vielzahl gleicher Transistoren oder programmierbarer Logikelemente auf einem Chip so angeordnet seien, dass durch wenige Verdrahtungsebenen bzw. konfigurierbare Verbindungen eine beliebige, meist digitale, Schaltung realisiert werden könne (vgl. urspr. Beschreibung S. 1, Abs. 1).

Insbesondere FPGAs realisierten kombinatorische Logik nach dem Stand der Technik durch sog. „Look Up Tables“ (LUTs). Dies seien ROMs oder Multiplexer, die für jede mögliche Kombination der Eingangswerte (an den Address- oder Selektionseingängen anliegend) einen bestimmten booleschen Wert lieferten. Vorteil dieser LUTs sei es, dass mit ihnen jede beliebige boolesche Funktion der Eingänge realisiert werden könne (vgl. urspr. Beschreibung S. 1, Abs. 3). Der schaltungstechnische Aufwand bei einer LUT sei nicht linear zu der Zahl der Eingänge, d. h. der Schaltungsaufwand steige exponentiell mit der Anzahl der Eingänge an (vgl. urspr. Beschreibung S. 1, Abs. 5).

Darüber hinaus würden bei bekannten GAs und FPGAs Routingstrukturen und Kanäle verwendet, die ein sog. Manhattan-Routing ermöglichten. Dieses Modell erzeuge Verbindungswege unter Zusammenschaltung kleinerer Teilstücke, wobei dies den Nachteil habe, dass die Signalverzögerung auf so einer Verbindung stark von der Anzahl der hintereinander geschalteten Verbindungsstücke abhängen und

damit die Verzögerungszeit für verschiedene Verbindungen stark schwanke (vgl. urspr. Beschreibung S. 2, Abs. 2).

Gemäß der Beschreibung sei die Aufgabe darin zu sehen, diese Nachteile, wie exponentiell steigenden Aufwand für kombinatorische Logik und ungünstige Routing-delays, zu vermeiden (vgl. urspr. Beschreibung S. 1, Z. 27 bis S. 5, Z. 1).

2. Zum Hauptantrag

a) Der Gegenstand des Anspruchs 1 gemäß Hauptantrag weist die folgenden Merkmale auf (mit eingefügter Merkmalsgliederung):

M1 Gate-Array oder FPGA

dadurch gekennzeichnet, dass

M2 konfigurierbare Logikelemente mit mehr als 2 Eingängen verwendet werden, die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen Verknüpfungen umgeschaltet werden können,

M3 wobei die Anzahl dieser Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen booleschen Verknüpfungen bei I Eingängen,

M4 wobei solche Verknüpfungen verwendet werden, die vollständig symmetrisch sind, so dass Eingänge ohne Änderung der booleschen Funktion vertauscht werden können,

M5 wobei die konfigurierbaren Logikelemente über eine X/Y-Routingstruktur so verbunden werden können, dass jeder Ausgang eines Logikelements mit nur einem beliebigen Eingang jedes anderen Logikelements verbunden werden kann.

Der Anmeldegegenstand richtet sich seinem technischen Inhalt nach an einen universitär ausgebildeten Physiker mit abgeschlossener Hochschulausbildung und mehrjähriger Berufserfahrung auf dem Gebiet der Entwicklung und Anwendung von Gate-Array's oder FPGA's.

b) Die Lehre des Anspruchs 1 nach Hauptantrag ist für den maßgeblichen Fachmann in der Anmeldung nicht so deutlich und vollständig offenbart, dass er sie nacharbeiten kann.

Eine Erfindung ist ausführbar offenbart, wenn die in der Anmeldung enthaltenen Angaben dem fachmännischen Leser so viel an technischer Information vermitteln, dass er mit seinem Fachwissen und seinem Fachkönnen in der Lage ist, die Erfindung erfolgreich auszuführen. Eine für die Ausführbarkeit hinreichende Offenbarung ist demnach gegeben, wenn der Fachmann ohne erfinderisches Zutun und ohne unzumutbare Schwierigkeiten in der Lage ist, die Lehre des Patentanspruchs aufgrund der Gesamtoffenbarung der Anmeldung in Verbindung mit dem allgemeinen Fachwissen am Anmelde- oder Prioritätstag praktisch so zu verwirklichen, dass der angestrebte Erfolg erreicht wird (BGH, Urteil vom 13. Juli 2010 - Xa ZR 126/07, GRUR 2010, 916 - Klammernahtgerät m. w. N.).

Dies ist jedoch hier nicht gegeben.

Der Anspruch 1 gemäß Hauptantrag lehrt für ein so genanntes „Gate Array oder FPGA“ (Merkmal **M1**) den Fachmann unter anderem, dass konfigurierbare Logik-elemente mit mehr als 2 Eingängen verwendet werden, die für die Realisierung kombinatorischer Logik zwischen verschiedenen boolschen Verknüpfungen umgeschaltet werden können (Merkmal **M2**).

Unter einem konfigurierbaren Logikelement versteht der einschlägige Fachmann ein Logikelement, mit dem durch entsprechende, von außen gesteuerte Konfiguration unterschiedliche Boolsche Funktionen, die in der Anmeldung auch Verknüpfungen genannt werden (vgl. urspr. Beschreibung, S. 1, Abs. 3), realisiert werden können.

Dem Fachmann ist jedoch aus seinem Fachwissen bekannt, dass es sich bei Gate-Arrays, im Gegensatz zu FPGAs, um vorkonfektionierte Logikschaltungen handelt, die kundenspezifisch gefertigt werden. Die Lage der Gatterschaltungen, I/O-Leitungen usw. ist standardisiert, sodass der Kunde nur noch die Verdrahtung der Logikschaltungen, jedoch nicht die Logikschaltung selbst, beeinflussen kann. Dies ist auch der Anmeldung in den Ausführungen zum Stand der Technik zu entnehmen, wonach Gate Arrays in der letzten Phase des Halbleiterproduktionsprozesses anwendungsspezifisch verschaltet werden, während FPGAs erst vom Anwender durch eine entsprechende Programmierung mit der zu implementierenden Schaltung konfiguriert werden (vgl. ursprüngliche Beschreibung, S. 1, 2. Absatz).

Wenn nun gemäß Merkmal 2 gefordert wird, dass bei einem Gate Array zwischen verschiedenen boolschen Verknüpfungen umgeschaltet werden können soll, so ist dies für den Fachmann unmittelbar ersichtlich bei einem Gate Array – im Gegensatz zu einem FPGA – nicht möglich. Denn – wie oben dargelegt – wird bei einem Gate Array die mögliche boolsche Verknüpfung in einem der letzten Herstellungsschritte festgelegt und kann anschließend nicht mehr verändert werden.

Weder aus dem Wortlaut des Anspruchs 1 selbst, noch in Verbindung mit der Beschreibung und den figürlichen Darstellungen erschließt sich dem Fachmann, wie er eine Umschaltung zwischen verschiedenen booleschen Verknüpfungen - abweichend von seinem Fachwissen – bei einem fertiggestellten Gate Array verwirklichen soll.

Soweit der Anmelder und Beschwerdeführer meint, dass sich die im Merkmal 2 geforderte Umschaltung zwischen verschiedenen booleschen Verknüpfungen auf einen Verfahrensschritt bei der Herstellung des Gate Arrays bezieht, so muss er sich entgegen halten lassen, dass der Anspruch 1 nach Hauptantrag sich auf das fertiggestellte Gate Array und nicht auf Verschaltungsmaßnahmen im Rahmen seines Herstellungsverfahrens bezieht.

Folglich wird der Fachmann durch den Wortlaut des Anspruchs 1 in der Zusammenschau mit dem übrigen in der Anmeldung offenbarten technischen Sachverhalt nicht in die Lage versetzt, dessen Lehre erfolgreich nachzuarbeiten.

Der Anmelder und Beschwerdeführer hat auf Grund des Hinweises des Senats in der mündlichen Verhandlung den Gegenstand des Anspruchs 1 im Rahmen der Hilfsanträge 2 bis 4 auf FPGAs begrenzt.

Einer Entscheidung, ob der Gegenstand des Anspruchs 1 gegenüber den ursprünglichen Unterlagen unzulässig erweitert ist und ob der Gegenstand gegenüber der Druckschrift EP 1 162 746 A2 (**D1**) auf einer erfinderischen Tätigkeit beruht, bedarf es bei dieser Sachlage nicht.

3. Zum Hilfsantrag 1

a) Der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 1 kann in Anlehnung an den Anspruch 1 gemäß Hauptantrag folgendermaßen gegliedert werden:

M1 Gate-Array oder FPGA

dadurch gekennzeichnet, dass

M2 konfigurierbare Logikelemente mit mehr als 2 Eingängen verwendet werden, die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen Verknüpfungen umgeschaltet werden können,

M3 wobei die Anzahl dieser Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen booleschen Verknüpfungen bei I Eingängen,

M6_{H1} wobei folgende booleschen Verknüpfungen einstellbar sind:
AND, NAND, OR, NOR, XOR, XNOR, AND/OR Kombigatter, AND/NOR Kombigatter, OR/AND Kombigatter, OR/NAND Kombigatter, Identity Komparator zwischen zwei Vektoren, jeweils kombiniert mit einem Multiplexer oder Adder.

b) Der Anspruch 1 nach Hilfsantrag 1 weist ebenfalls die Merkmale **M1** und **M2** des Anspruchs 1 nach Hauptantrag auf. Das zum Anspruch 1 gemäß Hauptantrag Gesagte gilt somit entsprechend.

4. Zum Hilfsantrag 2

a) Der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 2 weist die folgenden Merkmale auf (mit eingefügter Merkmalsgliederung):

M1_{H2} FPGA

dadurch gekennzeichnet, dass

M2_{H2} konfigurierbare Logikelemente mit Multiplexer verwendet werden, die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen Verknüpfungen umgeschaltet werden können,

M3 wobei die Anzahl dieser Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen booleschen Verknüpfungen bei I Eingängen,

M6_{H2} wobei alle oder mehrere der folgenden booleschen Verknüpfungen einstellbar sind:
AND, NAND, OR, NOR, XOR, XNOR, AND/OR Kombigatter, AND/NOR Kombigatter, OR/AND Kombigatter oder OR/NAND Kombigatter, und ein Multiplexer.

b) Bei dem Anspruch 1 nach Hilfsantrag 2 handelt es sich um eine Zusammenfassung der ursprünglich mit den Anmeldeunterlagen eingereichten Ansprüche 1 und 4, wobei das Merkmal **M6_{H2}** gegenüber dem ursprünglichen Anspruch 4 auf eine geringere Anzahl von einstellbaren booleschen Verknüpfungen beschränkt ist. Im Gegensatz zu dem Anspruch 1 des Hauptantrags und des 1. Hilfsantrags ist dieser Anspruch auf FPGAs beschränkt. Der Anspruch ist daher zwar zulässig, der

Gegenstand des Anspruchs 1 nach Hilfsantrag 2 ist jedoch nicht patentfähig, da er nicht als neu gilt.

Die Druckschrift EP 0 573 175 A2 (**D11**) zeigt programmierbare Zellen in einem FPGA („Field Programmable Gate Array“) (vgl. Sp. 1, Z. 1 bis 3). Wie der Druckschrift **D11** zu entnehmen ist, weist eine logische Zelle in dem FPGA zwei Eingänge A und B und sechs Ausgänge auf. Die Ausgänge sind mit einem 6 zu 1 Multiplexer 8, der einen Ausgang aufweist, verbunden. An den Ausgängen der logischen Zelle 7 werden parallel sechs logische Basisfunktionen erzeugt (vgl. Sp. 2, Z. 5 bis 18, Fig. 1). Diese Ausgänge sind mit den Eingängen des Multiplexers 8 verbunden, wobei einer der Eingänge am Ausgang des Multiplexers 8 bereitgestellt wird. Welche boolesche Funktion am Ausgang des Multiplexers 8 anliegt, wird über die Steuereingänge 17 des Multiplexers eingestellt (vgl. Fig. 2, Bezz. 17, Sp. 2, Z. 48 bis 55). Mithin zeigt die Druckschrift EP 0 573 175 A2 (**D11**) einen FPGA (**Merkmal M1**), bei dem konfigurierbare Logikelemente mit Multiplexer (vgl. Fig. 1, Bezz. 7, 8) verwendet werden, die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen Verknüpfungen umgeschaltet werden können (**Merkmal M2**). Die Anzahl der Verknüpfungen beträgt sechs (vgl. Sp. 2, Z. 13 bis 18) und ist demnach kleiner als die Gesamtzahl der möglichen booleschen Verknüpfungen bei $I=2$ Eingängen (**Merkmal M3**). Mittels des FPGAs können die booleschen Verknüpfungen AND, NAND, OR, NOR, XOR, XNOR eingestellt werden. Mithin sind mehrere der booleschen Verknüpfungen AND, NAND, OR, NOR, XOR, XNOR, AND/OR Kombigatter, AND/NOR Kombigatter, OR/AND Kombigatter oder OR/NAND Kombigatter, und ein Multiplexer einstellbar (vgl. Sp. 2, Z. 13 bis 18; Z. 48 bis 55; **Merkmal M7**).

Soweit der Anmelder und Beschwerdeführer meint, dass durch den Wortlaut des Merkmals 7 gefordert wird, dass immer ein Multiplexer als logische Verknüpfung einstellbar sein muss, so kann der Senat dem nicht folgen, denn dem steht der klare Wortlaut des Merkmals entgegen, wonach „alle oder mehrere der folgenden booleschen Verknüpfungen einstellbar sind“. Dies ist auch in der Druckschrift

EP 0 573 175 A2 (**D11**) erfüllt. Zudem wird der Multiplexer 8 in der Druckschrift **D11** ebenfalls eingestellt.

Mithin ist der Gegenstand des Anspruchs 1 nach Hilfsantrag 2 aus der Druckschrift EP 0 573 175 A2 (**D11**) neuheitsschädlich bekannt.

5. Zum Hilfsantrag 3

Anspruch 1 nach Hilfsantrag 3 ist wortgleich dem Anspruch 1 von Hilfsantrag 2. Es gilt somit das zum Anspruch 1 gemäß Hilfsantrag 2 Gesagte entsprechend. Der Gegenstand ist aus denselben Gründen nicht patentfähig.

6. Zum Hilfsantrag 4

a) Der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 4 weist die folgenden Merkmale auf (mit eingefügter Merkmalsgliederung):

M1_{H2} FPGA

M2_{H2} mit konfigurierbaren Logikelementen mit Multiplexer, die für die Realisierung kombinatorischer Logik zwischen verschiedenen boolschen Verknüpfungen umgeschaltet werden können,

M3 wobei die Anzahl dieser Verknüpfungen M kleiner ist als die Gesamtzahl der möglichen boolschen Verknüpfungen bei I Eingängen,

M4 wobei solche Verknüpfungen verwendet werden, die vollständig symmetrisch oder teilsymmetrisch sind, so dass Eingänge ohne Änderung der boolschen Funktion vertauscht werden können,

- M5_{H4}** wobei solche Verknüpfungen verwendet werden, deren Aufwand nur linear mit der Zahl der benutzten Eingänge ansteigt,
- M6_{H2}** wobei alle oder mehrere der folgenden booleschen Verknüpfungen einstellbar sind:
AND, NAND, OR, NOR, XOR, XNOR, AND/OR Kombigatter, AND/NOR Kombigatter, OR/AND Kombigatter oder OR/NAND Kombigatter, und ein Multiplexer,
- M7** wobei die Eingänge der Logikelemente statisch auf '0' oder '1' konfiguriert werden können oder das Eingangssignal invertiert oder nichtinvertiert weitergegeben wird,
- M8** wobei die konfigurierbaren Logikelemente über eine X/Y-Routingstruktur so verbunden werden können, dass zumindest jeder Ausgang eines Logikelements mit einem Eingang jedes anderen Logikelements verbunden werden kann,
- M9** wobei die Anzahl der für eine Verbindung zwischen den Logikelementen zu benutzenden konfigurierbaren Verbindungspunkte zumindest in einem Teilbereich des Gate-Arrays oder FPGAs konstant ist und somit die Verzögerungszeit auf allen diesen Wegen ebenfalls praktisch konstant ist,
- M10** wobei die konfigurierbaren Logikelemente auch über an deren Eingängen schaltbare Verbindungen lokal verbunden werden können, das heißt direkt mit anderen Logikelementen in der näheren Umgebung verbunden werden können und diese Verbindungen über nur einen konfigurierbaren Schalter laufen,
- M11** wobei über arithmetische Aufgaben hinaus für die schnelle Verknüpfung von kombinatorischer Logik dedizierte, nicht konfigurierbare Verbindungen, zwischen Logikelementen bestehen.

b) Bei dem Anspruch 1 gemäß Hilfsantrag 4 handelt es sich um eine Zusammenfassung der Ansprüche 1 bis 9 vom Anmeldetag. Im Unterschied zu den ursprünglichen Ansprüchen ist dieser auf FPGAs beschränkt (Merkmal **M1_{H2}**), der konfigurierbare Logikelemente mit Multiplexer aufweist (Merkmal **M2_{H2}**). Das Merkmal **M6_{H2}** ist gegenüber dem ursprünglichen Anspruch 4 auf eine geringere Anzahl von einstellbaren booleschen Verknüpfungen beschränkt. Der Anspruch ist aus Sicht des Senats daher zwar zulässig, die Lehre des Anspruchs 1 nach Hilfsantrag 4 ist für den maßgeblichen Fachmann in der Anmeldung jedoch nicht so deutlich und vollständig offenbart, dass er sie nacharbeiten kann.

Für den einschlägigen Fachmann weist der beanspruchte FPGA des Anspruchs 1 Logikelemente mit Multiplexer auf, die für die Realisierung kombinatorischer Logik zwischen verschiedenen booleschen Verknüpfungen umgeschaltet werden können (Merkmal **M_{H2}**). Dies bedeutet, dass der FPGA bereits fertiggestellt ist. Das Herstellungsverfahren des FPGA ist nicht vom Anspruch 1 umfasst.

Wie die aufgabenhafte Formulierung des Merkmal **M3** (die Anzahl dieser Verknüpfungen M ist kleiner als die Gesamtzahl der möglichen booleschen Verknüpfungen bei I Eingängen) zu verstehen ist, kann dem Merkmal **M4** entnommen werden, wonach solche Verknüpfungen verwendet werden, die vollständig symmetrisch oder teilsymmetrisch sind, so dass Eingänge ohne Änderung der booleschen Funktion vertauscht werden können. Gemäß der Beschreibung handelt es sich dabei um die AND-, OR-, NAND-, NOR- und XNOR-Verknüpfung bzw. einen Identity-Komparator (vgl. urspr. Beschreibung, S. 3, Abs. 2). Weiter entnimmt der Fachmann der Beschreibung, dass mit diesen Verknüpfungen der Aufwand linear mit der Zahl der benutzten Eingänge steigt (vgl. urspr. Beschreibung, S. 3, Abs. 3; Merkmal **M5_{H4}**). In einem Logik-Element des fertiggestellten FPGAs können so alle oder ein Teil der in Merkmal **M6_{H2}** aufgeführten booleschen Verknüpfungen eingestellt werden.

Entsprechend den weiteren Merkmalen des Anspruchs gibt es drei verschiedene Möglichkeiten (Merkmal 8, 10 und 11), um den Ausgang der in dem FPGA vorhandenen Logik-Elemente mit einem Eingang eines anderen Logik-Elements zu verbinden:

1.) Gemäß dem Merkmal **M8** können die konfigurierbaren Logik-Elemente über eine X/Y-Routingstruktur so verbunden werden, dass zumindest jeder Ausgang eines Logik-Elements mit einem Eingang jedes anderen Logik-Elements verbunden werden kann. Durch die Formulierung „verbunden werden kann“ wird ausgesagt, dass dies bei dem fertiggestellten FPGA durch entsprechende Konfiguration festgelegt werden kann. Der Fachmann entnimmt der Beschreibung, dass durch den symmetrischen Aufbau der verwendeten booleschen Funktionen eine Verbindung von einem bestimmten Ausgang zu einem bestimmten Eingang entbehrlich ist (vgl. urspr. Beschreibung S. 4, Abs. 5), was für ihn bedeutet, dass jeder Ausgang mit jedem beliebigen Eingang eines anderen Logikelements verbunden werden kann. Hierfür sind konfigurierbare Verbindungspunkte für jede Verbindung vorgesehen (vgl. urspr. Beschreibung, S. 4, letzter Absatz, Fig. 4 „Programmierbare Schalter“). Damit die Verzögerungszeit auf allen diesen Wegen praktisch konstant ist, ist die Anzahl der für eine Verbindung zwischen den Logikelementen zu benutzenden konfigurierbaren Verbindungspunkte zumindest in einem Teilbereich des (Gate-Arrays oder) FPGAs konstant (Merkmal 9). Durch die Wortwahl „zumindest in einem Teilbereich“ ist für den Fachmann hierunter auch der gesamte FPGA zu verstehen.

2.) Die konfigurierbaren Logikelemente können auch über an deren Eingängen vorhandene schaltbare Verbindungen lokal, das heißt direkt mit anderen Logikelementen in der näheren Umgebung verbunden werden. Diese Verbindungen laufen über einen einzigen konfigurierbaren Schalter am Eingang eines Logik-Elements (Merkmal **10**). Dies versteht der Fachmann so, dass diese Verbindungen nicht über die XY-Routingstruktur gemäß Merkmal **M8** laufen, sondern dass hierfür getrennte, eigene Verbindungen von den Ausgängen der Logik-Elemente zu einem

Eingang eines in der näheren Umgebung befindlichen Logik-Elements bestehen, die über einen einzigen konfigurierbaren Verbindungspunkt (Schalter) am Eingang eines Logik-Elements geschaltet werden können. Wie weit sich die „nähere Umgebung“ erstreckt, ist der Anmeldung nicht zu entnehmen.

3.) Als dritte Möglichkeit für eine Verbindung eines Ausgangs eines Logik-Elements mit einem Eingang eines anderen Logik-Elements sieht der Anspruch gemäß Merkmal 1 vor, dass nichtkonfigurierbare Verbindungen bestehen (vgl. urspr. Beschreibung, S. 5, Abs. 3, *„Zusätzlich zu diesen lokalen Verbindungen ist es hilfreich, völlig festverdrahtete Verbindungen zu Nachbar-Logikelementen vorzusehen.“*... *„Durch eine erfinderische Modifikation durch die z. B. ein normaler Eingang eines Logikelementes mit dem Ausgang des Nachbarn verbunden wird, können diese Pfade nun für die Kaskadierung beliebiger Logik eingesetzt werden.“*). Dies bedeutet für den Fachmann, dass der Ausgang direkt und damit fest verdrahtet mit einem Eingang verbunden werden soll. Dies kann jedoch zwangsläufig nur während des Herstellungsverfahrens des FPGA festgelegt werden. Diese Pfade sollen für die Kaskadierung beliebiger Logik eingesetzt werden (vgl. urspr. Beschreibung S. 5, letzter Satz).

Wie dies nun jedoch explizit umgesetzt werden soll, erschließt sich für den maßgeblichen Fachmann weder aus dem Wortlaut des in großen Teilen (Merkmale 8, 10 und 11) aufgabenhaft formulierten Anspruchs 1 selbst, noch in Verbindung mit der Beschreibung und den figürlichen Darstellungen. Er wird darüber im Unklaren gelassen, wann er welche Verbindung mittels welcher der vorgegebenen Möglichkeiten realisieren soll. Insbesondere ist es für den Fachmann jedoch unmittelbar ersichtlich bei einem fertiggestellten FPGA nicht möglich, statt einer festen Verdrahtung eines Ausgangs mit einem Eingang – wie in Merkmal 11 beschrieben – eine Verbindung gemäß den Merkmalen **M8** oder **M10** über die dort beschriebenen konfigurierbaren Verbindungspunkte (Schalter) oder umgekehrt zu realisieren. Es ist auch nicht möglich, dass die konfigurierbaren Logikelemente über eine X/Y-Routingstruktur so verbunden werden können, dass zumindest jeder Ausgang ei-

nes Logikelements mit einem beliebigen Eingang jedes anderen Logikelements verbunden werden kann, denn durch die feste, nicht konfigurierbare Verbindung ist der zugehörige Eingang fest vorgegeben.

Genauso wenig ist es möglich, statt einer Verbindung über die X/Y-Routingstruktur nach Merkmal **M8** oder einer Verbindung mittels eines Schalters nach Merkmal **M10** eine direkte Verbindung mittels einer festen Verdrahtung bei einem fertigen FPGA zu realisieren und diese für das Ziel der Kaskadierung beliebiger Logik einzusetzen, da diese feste Verbindung aus technologischen Gründen bereits bei der Herstellung des FPGA festgelegt werden muss und nachträglich nicht mehr erstellt werden kann.

Der Fachmann kann daher dem Anspruch 1 in Verbindung mit den ursprünglichen Unterlagen keine ausführbare Lehre für die Festlegung der Verbindungen des Ausgangs einer Logik-Einheit mit dem Eingang eines anderen Logik-Elements eines FPGA's für die Kaskadierung beliebiger Logik entnehmen. Folglich wird er durch den Wortlaut des Anspruchs 1 in der Zusammenschau mit dem übrigen im Streitpatent offenbarten technischen Sachverhalt nicht in die Lage versetzt, dessen Lehre erfolgreich nachzuarbeiten.

7. Nachdem sich die Gegenstände der jeweiligen Patentansprüche 1 gemäß Hauptantrag und den Hilfsanträgen 1 bis 4 als nicht patentfähig erweisen, fallen jeweils auch die übrigen Ansprüche des Hauptantrags sowie der Hilfsanträge 1 und 2 (BGH, Beschluss vom 26. September 1996 - X ZB 18/95, GRUR 1997, 120 - Elektrisches Speicherheizgerät; Beschluss vom 27. Februar 2008 - X ZB 10/07, GRUR-RR 2008, 456 - Installiereinrichtung, Tz. 22, m. w. N.).

8. Bei dieser Sachlage kann dem Antrag des Anmelders und Beschwerdeführers, den Zurückweisungsbeschluss vom 5. Mai 2009 aufzuheben und in Folge das Patent auf Basis eines der von ihm in der mündlichen Verhandlung vom 10. März 2014 gestellten Anträge zu erteilen, nicht stattgegeben werden.

Die angeregte Rechtsbeschwerde war nicht zuzulassen, da weder eine Rechtsfrage von grundsätzlicher Bedeutung zu entscheiden war noch die Fortbildung des Rechts eine Entscheidung des Bundesgerichtshofs im vorliegenden Fall erfordert. Im Übrigen hat der Anmelder auch nichts in dieser Hinsicht vorgetragen.

Die Beschwerde war daher zurückzuweisen.

Rechtsbehelfsbelehrung

Gegen diesen Beschluss des Beschwerdesenats steht den am Beschwerdeverfahren Beteiligten die Rechtsbeschwerde zu (§ 99 Absatz 2, § 100 Absatz 1, § 101 Absatz 1 des Patentgesetzes).

Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn gerügt wird, dass

1. das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. einem Beteiligten das rechtliche Gehör versagt war,
4. ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. der Beschluss nicht mit Gründen versehen ist

(§ 100 Absatz 3 des Patentgesetzes).

Die Rechtsbeschwerde ist beim Bundesgerichtshof einzulegen (§ 100 Absatz 1 des Patentgesetzes). Sitz des Bundesgerichtshofes ist Karlsruhe (§ 123 GVG).

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses beim Bundesgerichtshof schriftlich einzulegen (§ 102 Absatz 1 des Patentgesetzes). Die Postanschrift lautet: Bundesgerichtshof, Herrenstraße 45 a, 76133 Karlsruhe.

Sie kann auch als elektronisches Dokument eingereicht werden (§ 125a Absatz 2 des Patentgesetzes in Verbindung mit der Verordnung über den elektronischen Rechtsverkehr beim Bundesgerichtshof und Bundespatentgericht (BGH/BPatGERVV) vom 24. August 2007 (BGBl. I S. 2130). In diesem Fall muss die Einreichung durch die Übertragung des elektronischen Dokuments in die elektronische Poststelle des Bundesgerichtshofes erfolgen (§ 2 Absatz 2 BGH/BPatGERVV).

Die Rechtsbeschwerde kann nur darauf gestützt werden, dass der Beschluss auf einer Verletzung des Rechts beruht (§ 101 Absatz 2 des Patentgesetzes). Die Rechtsbeschwerde ist zu begründen. Die Frist für die Begründung beträgt einen Monat; sie beginnt mit der Einlegung der Rechtsbeschwerde und kann auf Antrag von dem Vorsitzenden verlängert werden (§ 102 Absatz 3 des Patentgesetzes). Die Begründung muss enthalten:

1. die Erklärung, inwieweit der Beschluss angefochten und seine Abänderung oder Aufhebung beantragt wird;
2. die Bezeichnung der verletzten Rechtsnorm;
3. insoweit die Rechtsbeschwerde darauf gestützt wird, dass das Gesetz in Bezug auf das Verfahren verletzt sei, die Bezeichnung der Tatsachen, die den Mangel ergeben

(§ 102 Absatz 4 des Patentgesetzes).

Vor dem Bundesgerichtshof müssen sich die Beteiligten durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten vertreten lassen (§ 102 Absatz 5 des Patentgesetzes).

Dr. Mayer

Kopacek

Gottstein

Albertshofer

Pü