



# BUNDESPATENTGERICHT

23 W (pat) 45/12

---

(Aktenzeichen)

Verkündet am  
13. Januar 2015

...

## BESCHLUSS

In der Beschwerdesache

**betreffend das Patent 10 2009 029 577**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Strößner, der Richter Dipl.-Phys. Brandt und Dipl.-Phys. Dr. Friedrich sowie der Richterin Dr. Hoppe auf die mündliche Verhandlung vom 13. Januar 2015

beschlossen:

Der Beschluss der Patentabteilung 1.33 des Deutschen Patent- und Markenamts vom 20. September 2012 / 11. Oktober 2012 wird aufgehoben und das Patent DE 10 2009 029 577 wird widerrufen.

**Gründe**

**I.**

Die Anmeldung 10 2009 029 577 wurde am 18. September 2009 mit der Bezeichnung „Verfahren zur Herstellung eines hochtemperaturfesten Leistungshalbleitermoduls“ beim Deutschen Patent- und Markenamt eingereicht.

Die Prüfungsstelle für Klasse H01L hat auf den Stand der Technik gemäß den Druckschriften

- P1 DE 10 2005 033 469 A1
- P2 DE 10 2008 057 817 A1 und
- P3 DE 10 2006 045 939 A1

verwiesen und das Patent mit Beschluss vom 1. Dezember 2010 erteilt. Veröffentlichungstag der Patenterteilung ist der 28. April 2011.

Gegen das Patent hat die S... GmbH & Co KG mit Schriftsatz vom 27. Juli 2011, per Telefax am selben Tag beim DPMA eingegangen, fristgerecht Einspruch erhoben und beantragt, das Patent in vollem Umfang aus den Gründen des § 21, Abs. 1 Nr. 1 PatG zu widerrufen, da sein Gegenstand nach den §§ 1 bis 5 PatG nicht patentfähig sei, nämlich nicht auf einer erfinderischen Tätigkeit des Fachmanns beruhe. Zur Begründung hat sie im Einspruchsschriftsatz auf die Druckschriften

- D1 DE 10 2006 045 939 A1
- D2 EP 0 242 626 B1
- D3 US 2004/0195696 A1
- D4 US 2007/0015352 A1
- D5 G. G. Harmann, Ch. E. Johnson: Wire Bonding to Advanced Copper, Low-K Integrated Circuits, the Metal/Dielectric Stacks, and Materials Considerations“, IEEE Transactions on Components and Packaging Technologies, Vol. 25, Nr. 4, Dez. 2002, S. 677 – 683
- D6 DE 10 2008 057 817 A1
- D7 DE 42 33 073 A1
- D8 DE 10 2006 009 159 A1
- D9 DE 10 2005 033 469 A1
- D10 DE 10 2006 046 851 A1
- D11 DE 10 2005 016 650 A1
- D12 DE 10 2005 030 247 A1 und
- D13 DE 103 57 796 A1

verwiesen.

Die Patentinhaberin hat dem widersprochen und die Aufrechterhaltung des Patents im vollen Umfang beantragt. Zur Stützung ihrer Argumentation hat sie noch auf die Druckschriften

D14 DE 100 62 108 A1 und  
D15 DE 10 2007 010 242 A1

verwiesen.

In einer am 20. September 2012 durchgeführten Anhörung hat die Patentabteilung 33 das Patent in vollem Umfang aufrechterhalten. Ihre Entscheidung hat die Patentabteilung mit einem auf den 11. Oktober 2012 datierten Beschluss schriftlich begründet. In der elektronischen Akte des DPMA befinden sich hierzu mehrere Beschlüsse in PDF-Dateien mit der Bezeichnung „Aufrechterhaltung - Signiert“ sowie mehrere Signaturdateien („SIG“). Die Beschlussausfertigungen wurden den beiden Beteiligten am 15. Oktober 2012 zugestellt.

Gegen den Beschluss der Patentabteilung hat die Einsprechende mit Schriftsatz vom 9. November 2012, per Telefax eingegangen am selben Tag, fristgerecht Beschwerde eingelegt und diese mit Schriftsatz vom 3. November 2014 begründet.

Die Einsprechende beantragt,

den angefochtenen Beschluss der Patentabteilung 1.33 des Deutschen Patent- und Markenamts vom 20. September 2012 / 11. Oktober 2012 aufzuheben und das Patent 10 2009 029 577 zu widerrufen.

Die Beschwerdegegnerin und Patentinhaberin beantragt:

1. Hauptantrag

die Beschwerde zurückzuweisen.

2.a) (Hilfsantrag 1)

Das Patent 10 2009 029 577 mit der Bezeichnung "Verfahren zur Herstellung eines hochtemperaturfesten Leistungshalbleitermoduls" und dem Anmeldetag 18. September 2009 beschränkt aufrechtzuerhalten auf der Grundlage folgender Unterlagen:

Patentansprüche 1 bis 19, eingereicht am 13. Januar 2015, Beschreibung gemäß Absätzen [0001] bis [0051] gemäß der Patentschrift DE 10 2009 029 577 B3 sowie 5 Blatt Zeichnungen mit Figuren 1 bis 12 gemäß der Patentschrift DE 10 2009 029 577 B3

und die Beschwerde im Übrigen zurückzuweisen.

2. b) (Hilfsantrag 2)

Vorgenanntes Patent beschränkt aufrechtzuerhalten auf der Grundlage folgender Unterlagen:

Patentansprüche 1 bis 18, eingereicht am 13. Januar 2015, vorgenannter Beschreibung und Zeichnungen,

und die Beschwerde im Übrigen zurückzuweisen.

2. c) (Hilfsantrag 3)

Vorgenanntes Patent beschränkt aufrechtzuerhalten auf der Grundlage folgender Unterlagen:

Patentansprüche 1 bis 17, eingereicht am 13. Januar 2015,  
vorgenannter Beschreibung und Zeichnungen

und die Beschwerde im Übrigen zurückzuweisen.

Der erteilte und mit dem Hauptantrag verteidigte Patentanspruch 1 lautet bei Korrektur der Druckfehler und der grammatikalischen Fehler des in der Patentschrift abgedruckten Anspruchswortlauts :

„Verfahren zur Herstellung eines Leistungshalbleitermoduls mit den Schritten:

Bereitstellen eines Leistungshalbleiterchips (1), der einen Halbleiterkörper (10) mit einer Oberseite (10t) und einer Unterseite (10b) aufweist, wobei auf die Oberseite eine obere Chipmetallisierung (11) und auf die Unterseite (10b) eine untere Chipmetallisierung (12) aufgebracht ist, und

wobei die obere Chipmetallisierung (11) und die untere Chipmetallisierung (12) aus Kupfer oder aus einer Kupferlegierung bestehen;

Bereitstellen eines Substrates (2), das ein flaches Keramikplättchen (20) mit einer Oberseite (20t) und einer Unterseite (20b) aufweist, wobei auf die Oberseite (20t) eine obere Substratmetallisierung (21) und auf die Unterseite (20b) eine untere Substratmetallisierung (22) aufgebracht ist, und wobei die obere Substratmetallisierung (21) und die untere Substratmetallisierung (22) aus Kupfer oder aus einer Kupferlegierung bestehen;

Aufbringen einer ersten Oxidationsschutzschicht (13) auf die obere Chipmetallisierung (11), so dass die erste Oxidationsschutzschicht (13) zumindest einen Teil einer dem Halbleiterkörper (10) abgewandten Seite der oberen Chipmetallisierung (11) bedeckt;

Festlegen eines Chipmontagebereichs (1'), in dem der Leistungshalbleiterchip (1) mit der oberen Substratmetallisierung (21) verbunden werden soll, auf der oberen Substratmetallisierung (21);

Aufbringen einer ersten Edelmetallschicht (24) auf die untere Substratmetallisierung (22), so dass die erste Edelmetallschicht (24) zumindest einen Teil einer dem Keramikplättchen (20) abgewandten Seite der unteren Substratmetallisierung (22) bedeckt;

Positionieren eines Zinn enthaltenden Lotes (3) zwischen der unteren Chipmetallisierung (12) und dem Chipmontagebereich (1');

Herstellen einer Diffusionslotschicht (3') durch Aufschmelzen und nachfolgendes Abkühlen des Lotes (3), die den Halbleiterchip (1) an der unteren Chipmetallisierung (12) im Chipmontagebereich (1') fest mit der oberen Substratmetallisierung (21) verbindet;

Bereitstellen einer Bodenplatte (5), die eine Oberseite (5t) aufweist;

Aufbringen einer zweiten Edelmetallschicht (53) auf die Oberseite (5t) der Bodenplatte (5);

Positionieren einer silberhaltigen Paste (4) zwischen der zweiten Edelmetallschicht (53) und der auf die untere Substratmetallisierung (22) aufgetragenen ersten Edelmetallschicht (24);

Herstellen einer Sinterverbindungsschicht (4') zwischen dem Substrat (2) und der Bodenplatte (5), indem das Substrat (2) in einem vorgegebenen Temperaturbereich für eine vorgegebene Zeit mit einem vorgegebenen Anpressdruck (F1) gegen die Bodenplatte (5) gepresst wird;

Bereitstellen eines als Bonddraht oder als Metallbändchen ausgebildeten Bondelementes (6 , 7 );

Herstellen einer Bondverbindung zwischen dem Bondelement (6, 7) und der oberen Chipmetallisierung (11), indem ein Abschnitt des Bondelementes (6, 7) mittels eines Bondwerkzeuges (8) auf der ersten Oxidationsschutzschicht (13) positioniert und unter lokaler Zerstörung der ersten Oxidationsschutzschicht (13) gegen den Leistungshalbleiterchip (1) gepresst wird.“

Die Ansprüche 1 nach den Hilfsanträgen 1 bis 3 sind durch sukzessive Hinzunahme weiterer Merkmale aus Unteransprüchen des erteilten Patents gebildet worden. Beim Anspruch 1 nach dem 1. Hilfsantrag wurde an diesen Anspruch noch das Merkmal des erteilten Unteranspruchs 19 angefügt, das lautet:

„wobei

das Herstellen der Sinterverbindungsschicht (4') nach dem Herstellen der Diffusionslotschicht (3') erfolgt; und

das Herstellen der Bondverbindung nach dem Herstellen der Sinterverbindungsschicht (4') erfolgt.“

Beim Anspruch 1 nach dem 2. Hilfsantrag wurde zusätzlich hierzu an das Merkmal „Bereitstellen eines als Bonddraht oder als Metallbändchen ausgebildeten Bondelementes (6 , 7 )“ die Angabe

„das aus Kupfer oder aus einer Kupferlegierung gebildet ist, oder Kupfer oder eine Kupferlegierung aufweist“

aus dem erteilten Unteranspruch 12 angefügt.

Beim Anspruch 1 nach dem 3. Hilfsantrag wurde außer den vorgenannten Zusatzmerkmalen noch die Angabe

„Aufbringen einer zweiten Oxidationsschutzschicht (23) auf die obere Substratmetallisierung (21), wobei der Chipmontagebereich (1') frei bleibt und nicht von der zweiten Oxidationsschutzschicht (23) bedeckt wird“,

aus dem erteilten Unteranspruch 15 ergänzt, wobei dieses Merkmal nach der Angabe „Festlegen eines Chipmontagebereichs (1'), in dem der Leistungshalbleiterchip (1) mit der oberen Substratmetallisierung (21) verbunden werden soll, auf der oberen Substratmetallisierung (21)“ in den Anspruchswortlaut eingefügt wurde.

Hinsichtlich der jeweiligen Unteransprüche sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die Beschwerde ist zulässig und begründet. Das angegriffene Patent war gemäß § 21 Abs. 1 Nr. 5 PatG zu widerrufen, da die Verfahren nach den Ansprüchen 1 des Hauptantrages bzw. der Hilfsanträge nicht auf einer erfinderischen Tätigkeit des Fachmanns beruhen (§ 4 PatG).

1. Die in der elektronischen Akte des DPMA als „Aufrechterhaltung- Signiert“ bezeichneten Dateien enthalten, ebenso wie die Dokument-Anzeigen in den Signatur-Dateien, mehrere Beschlusstexte, so dass eine präzise Bestimmung der Urschrift ebenso wie die Zuordnung der Signaturen problematisch ist. Da der Tenor und die Gründe der mehrfach vorhandenen Beschlusstexte jedoch übereinstimmen, ist der Inhalt der Entscheidung, die mit den qualifizierten Signaturen verse-

hen werden sollte, zumindest bestimmbar (vgl. BPatG BIPMZ 2014, 355, 356 - Anordnung zur Erfassung von Berührungen auf einer Trägerplatte), weshalb der Senat keine Veranlassung sieht, das Verfahren nach § 79 Abs. 3 PatG an das Deutsche Patent- und Markenamt zurückzuverweisen.

2. Zudem ist auch die Voraussetzung für die Überprüfung des Patents im vorliegenden Einspruchsbeschwerdeverfahren erfüllt (Schulte, PatG, 9. Aufl., § 59, Rdn. 150 und 152), denn der vorangegangene Einspruch ist frist- und formgerecht eingelegt und mit Gründen versehen, wobei die Einsprechende in ihrem Einspruchschriftsatz auch die für die Beurteilung des behaupteten Widerrufsgrundes maßgeblichen tatsächlichen Umstände im Einzelnen so dargelegt hat, dass Patentamt und Patentinhaber ohne eigene Ermittlungen daraus abschließende Folgerungen für das Vorliegen oder Nichtvorliegen eines Widerrufsgrundes ziehen können (Schulte PatG, 9. Auflage, § 59, Rdn. 84 bis 86).

3. Das Patent betrifft ein Verfahren zur Herstellung eines hochtemperaturfesten Halbleitermoduls.

Bei Leistungshalbleitermodulen muss die im Betrieb anfallende Verlustwärme abgeführt werden. Hierzu werden die Leistungshalbleiterchips auf metallisierten Keramiksubstraten montiert, die ihrerseits auf einer massiven wärmeableitenden Bodenplatte angeordnet sind. Wegen der hohen Chiptemperaturen wird die Verbindung zwischen dem Leistungshalbleiterchip und der Oberseite des Keramiksubstrats mittels einer Diffusionslotschicht und die Verbindung zwischen der Unterseite der Keramik und der Bodenplatte mittels einer Drucksinterverbindung hergestellt. Die auf der Oberseite des Leistungshalbleiterchips vorgesehenen Kontakte werden durch Bonddrähte angeschlossen.

Die herkömmliche Herstellung einer solchen Anordnung führt jedoch zu Problemen. So erfordert die Herstellung der Diffusionslotverbindung zwischen dem Halbleiterchip und der Oberseite der Keramik eine ausreichend hohe Löttempera-

tur, was dazu führt, dass die außerhalb der Diffusionsverbindung befindlichen Oberflächen der Substratmetallisierungen und die obere Chipmetallisierung durch den Umgebungssauerstoff oxidiert werden. Damit weisen die auf diese Flächen aufgebrachten Bondverbindungen keine Langzeitstabilität auf, da sich auf oxidierten Flächen generell keine guten und dauerhaften Bondverbindungen herstellen lassen.

Zwar könnte man die Oxidation dieser Flächen durch Löten in einer Vakuumkammer verhindern, jedoch erfordert die Herstellung der Drucksinterschicht zwischen der Unterseite der Keramik und der Bodenplatte in jedem Fall eine Sauerstoff enthaltende Atmosphäre. Zur Herstellung der beiden Verbindungen nacheinander müsste also ein Wechsel vom Vakuum zu einer Prozessatmosphäre oder umgekehrt erfolgen, so dass man einen längeren Prozess und in der Folge einen geringeren Durchsatz und somit letztendlich höhere Kosten in Kauf nehmen müsste.

Wird andererseits die Drucksinterverbindung als erste der beiden Verbindungen hergestellt, käme es bei diesem Vorgang zu einer Oxidation der oberen Substratmetallisierung und der Chipkontakte, was in der Folge die Qualität der Bondverbindungen auf den Chipkontakten und der Diffusionslötung zwischen der Keramik und der Unterseite des Chips verschlechtert.

Die weiterhin verbleibende Möglichkeit, zuerst die Bond- und dann die anderen Verbindungen herzustellen, scheidet aus, da nachfolgend keine Drucksinterverbindung zwischen dem Substrat und der Bodenplatte mehr erzeugt werden kann, da hierzu ein flächiger Anpressdruck auf die Anordnung ausgeübt werden muss, was bei bereits bestehenden Drahtbonds auf der Chipoberseite aber nicht möglich ist, weil die Drahtbonds dem erforderlichen hohen Druck nicht standhalten.

Angesichts dessen besteht die dem Streitpatent als technisches Problem zugrunde liegende Aufgabe darin, ein Verfahren zur Herstellung eines Leistungshalbleitermoduls bereitzustellen, bei dem ein metallisiertes Keramiksubstrat

hochtemperaturfest und langzeitstabil mittels einer Sinterverbindungsschicht mit einer Bodenplatte und mittels einer Diffusionslotschicht mit einem Leistungshalbleiterchip verbunden wird, vgl. insoweit die Abschnitte [0001] bis [0005] und [0009] des Streitpatents.

Diese Aufgabe wird durch das Verfahren nach dem Anspruch 1 des Streitpatents gelöst. Demzufolge zeichnet sich das Verfahren zur Herstellung eines Leistungshalbleitermoduls dadurch aus, dass ein Leistungshalbleiterchip mit einer oberen und einer unteren Chipmetallisierung aus Kupfer oder aus einer Kupferlegierung und ein Substrat aus einem flachen Keramikplättchen mit einer oberen Substratmetallisierung und einer unteren Substratmetallisierung aus Kupfer oder aus einer Kupferlegierung verwendet werden. Nachdem eine erste Oxidationsschutzschicht auf die obere Chipmetallisierung aufgebracht worden und somit zumindest ein Teil der dem Halbleiterkörper abgewandten Seite der oberen Chipmetallisierung mit der Oxidationsschutzschicht bedeckt worden ist und außerdem ein Chipmontagebereich auf der oberen Substratmetallisierung festgelegt worden ist, in dem der Leistungshalbleiterchip mit der oberen Substratmetallisierung verbunden werden soll, wird eine erste Edelmetallschicht auf die untere Substratmetallisierung so aufgebracht, dass die Edelmetallschicht zumindest einen Teil einer dem Keramikplättchen abgewandten Seite der unteren Substratmetallisierung bedeckt. Durch Aufschmelzen und nachfolgendes Abkühlen eines zwischen der unteren Chipmetallisierung und dem Chipmontagebereich eingebrachten, Zinn enthaltenden Lotes wird eine Diffusionslotschicht hergestellt, die den Halbleiterchip an der unteren Chipmetallisierung im Chipmontagebereich fest mit der oberen Substratmetallisierung verbindet.

Das Verfahren nach dem erteilten Anspruch 1 zeichnet sich weiter dadurch aus, dass auf die Oberseite einer Bodenplatte eine zweite Edelmetallschicht aufgebracht und eine silberhaltige Paste zwischen dieser zweiten Edelmetallschicht und der auf die untere Substratmetallisierung aufgebrachten ersten Edelmetallschicht positioniert wird, worauf eine Sinterverbindungsschicht zwischen dem Substrat

und der Bodenplatte hergestellt wird, indem das Substrat in einem vorgegebenen Temperaturbereich für eine vorgegebene Zeit mit einem vorgegebenen Anpressdruck gegen die Bodenplatte gepresst wird.

Des Weiteren wird mit Hilfe eines als Bonddraht oder als Metallbändchen ausgebildeten Bondelements eine Bondverbindung zwischen dem Bondelement und der oberen Chipmetallisierung hergestellt, indem ein Abschnitt des Bondelementes mittels eines Bondwerkzeuges auf der ersten Oxidationsschutzschicht positioniert und unter lokaler Zerstörung dieser Oxidationsschutzschicht gegen den Leistungshalbleiterchip (1) gepresst wird.

4. Die Verfahren nach dem erteilten Anspruch 1 und nach den Ansprüchen 1 der Hilfsanträge 1 bis 3 beruhen nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Bei dieser Sachlage kann die Zulässigkeit dieser Ansprüche und die Neuheit der Gegenstände dieser Ansprüche dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1 – „Elastische Bandage“.

Als Fachmann ist ein in der Halbleiterindustrie tätiger und mit der Aufbau- und Verbindungstechnik von Leistungshalbleitermodulen befasster Diplom-Ingenieur der Elektrotechnik mit Hochschul- oder Fachhochschulabschluss und mehrjähriger Berufserfahrung anzusehen.

5. Das Verfahren nach dem erteilten Anspruch 1 beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns, denn es ergibt sich für diesen in naheliegender Weise aus dem Stand der Technik.

Die vom Senat als nächstkommend angesehene Druckschrift D1 offenbart in den Worten des Anspruchs 1 ein Verfahren zur Herstellung eines Leistungshalbleitermoduls mit den Schritten:

- Bereitstellen eines Leistungshalbleiterchips, der einen Halbleiterkörper mit einer Oberseite und einer Unterseite aufweist, wobei auf die Oberseite eine obere Chipmetallisierung und auf die Unterseite eine untere Chipmetallisierung aufgebracht ist (*Fig. 7 zeigt einen Querschnitt durch ein erfindungsgemäßes Leistungshalbleitermodul 1, das mittels Befestigungsschrauben 8 an einem Kühlkörper 4 montiert ist. [...] Der Halbleiterchip 6 umfasst einen Halbleiterkörper 60 sowie eine erste Metallisierung 61 und eine zweite Metallisierung 62, die auf einander gegenüberliegenden Seiten des Halbleiterkörpers 60 angeordnet sind / Abschnitt [0063] und [0064]*),
- Bereitstellen eines Substrates, das ein flaches Keramikplättchen mit einer Oberseite und einer Unterseite aufweist, wobei auf die Oberseite eine obere Substratmetallisierung und auf die Unterseite eine untere Substratmetallisierung aufgebracht ist und wobei die obere Substratmetallisierung und die untere Substratmetallisierung aus Kupfer bestehen (*Das Leistungshalbleitermodul 1 weist einen Schaltungsträger 5 auf, der einen dielektrischen Träger 50 umfasst, welcher eine strukturierte erste Metallisierungsschicht 51 und eine zweite Metallisierungsschicht 52 umfasst, die auf einander gegenüberliegenden Seiten des dielektrischen Trägers 50 angeordnet sind. Der dielektrische Träger 50 kann z.B. aus Keramik oder Kunststoff gebildet sein. Bei dem Schaltungsträger 5 kann es sich beispielsweise um ein DCB-Substrat, ein DAB-Substrat oder ein AMB-Substrat handeln / Abschnitt [0063], wobei DCB (direct copper bonding) - Substrate ein- oder beidseitig mit einer Kupferschicht versehene Keramikplättchen sind*),
- Festlegen eines Chipmontagebereichs, in dem der Leistungshalbleiterchip mit der oberen Substratmetallisierung verbunden werden soll, auf der oberen Sub-

stratmetallisierung, Positionieren eines Lotes zwischen der unteren Chipmetallisierung und dem Chipmontagebereich und Herstellen einer Lotschicht durch Aufschmelzen und nachfolgendes Abkühlen des Lotes, die den Halbleiterchip an der unteren Chipmetallisierung im Chipmontagebereich fest mit der oberen Substratmetallisierung verbindet (*Ein Halbleiterchip 6 ist mittels einer ersten Verbindungsschicht 71 , beispielsweise aus einem Lot oder aus einem elektrisch leitenden Kleber, mit einem Abschnitt der ersten Metallisierungsschicht 51 verbunden / Abschnitt [0064]*),

- Bereitstellen einer Bodenplatte, die eine Oberseite aufweist und Herstellen einer Verbindungsschicht zwischen dem Substrat und der Bodenplatte mittels eines Niedertemperaturverbindungsverfahrens (*Der mit dem Halbleiterchip 6 bestückte Schaltungsträger 5 ist über seine zweite Metallisierungsschicht 52 mittels einer zweiten Verbindungsschicht 72 mit einer Verbindungsfläche 2b einer Bodenplatte 2 verbunden. Die Verbindungsfläche 2b ist eine Teilfläche von der nachfolgend auch als Vorderseite 2a bezeichneten Seite der Bodenplatte 2 , auf der der Schaltungsträger 5 befestigt ist. Da die in dem Halbleiterchip 6 anfallende Verlustwärme über die Verbindungsfläche 2b abgeführt wird, ist es vorteilhaft, diese möglichst großflächig zu wählen. Die Verbindung zwischen dem Schaltungsträger 5 und der Bodenplatte 2 kann z.B. durch Löten, mittels eines Wärme leitenden Klebers, oder mittels eines Niedertemperaturverbindungsverfahrens, wie es beispielsweise in der EP 0 242 626 B1 beschrieben ist, hergestellt werden / Abschnitt [0065]*),
- Bereitstellen eines als Bonddraht oder als Metallbändchen ausgebildeten Bondelementes und Herstellen einer Bondverbindung zwischen dem Bondelement und der oberen Chipmetallisierung, indem ein Abschnitt des Bondelementes mittels eines Bondwerkzeuges auf der Metallisierung auf dem Chip positioniert und an diese angedrückt wird (*Der Halbleiterchip 6 ist an seiner ersten Metallisierungsschicht 61 mittels eines Bonddrahtes 7 mit einem weiteren Abschnitt der strukturierten ersten Metallisierungsschicht 51 verbunden / Abschnitt [0064]*),

*wobei zum Aufbringen des Bonddrahtes ein entsprechendes Bondwerkzeug notwendig vorhanden sein muss, das den Bonddraht an die Metallisierung andrückt).*

Hinsichtlich der Herstellung der Verbindung zwischen dem Schaltungsträger und der Bodenplatte mittels eines Niedertemperaturverbindungsverfahrens verweist die Druckschrift D1 in der zuletzt genannten Zitatstelle auf die als Druckschrift D2 in das Verfahren eingeführte EP 0 242 626 B1, deren Inhalt somit mit zum Offenbarungsumfang der Druckschrift D1 gehört.

Gemäß dieser Druckschrift wird zur Befestigung eines Leistungshalbleiters auf einem Substrat ein Drucksinterverfahren eingesetzt, bei dem eine ein Edelmetall (nämlich bspw. Silber) enthaltende Paste schichtförmig auf die Kontaktierungsschicht des Bauelements und/oder die Kontaktoberfläche des Substrats aufgetragen wird, das Bauelement dann auf das Substrat aufgesetzt und dann die gesamte Anordnung unter gleichzeitiger Ausübung eines mechanischen Druckes auf eine Sintertemperatur erwärmt wird *(Diese Aufgabe wird durch ein Verfahren zur Befestigung von elektronischen Bauelementen, insbesondere von großflächigen Leistungshalbleitern, auf einem Substrat durch Drucksintern gelöst, bei welchem man a. eine aus Metallpulver und einem Lösungsmittel bestehende Paste schichtförmig auf die Kontaktierungsschicht des Bauelements und/oder die Kontaktoberfläche des Substrats aufträgt, b. dann die aufgetragene Paste trocknet, c. das Bauelement auf das Substrat aufsetzt und d. dann die gesamte Anordnung unter gleichzeitiger Ausübung eines mechanischen Druckes von mindestens 900 N/cm<sup>2</sup> auf Sintertemperatur erwärmt / Sp. 2, Zeilen 25 bis 39 // Gemäß einer bevorzugten Ausgestaltung der Erfindung wird als Metallpulver das Pulver eines Edelmetalles oder einer Edelmetall-Legierung verwendet. Die Verbindungsschichten weisen dann besonders niedrige elektrische Übergangswiderstände auf. Dabei hat es sich als besonders günstig herausgestellt, wenn als Metallpulver Silberpulver oder das Pulver einer Silberlegierung verwendet wird / Sp. 2, Zeilen 58 bis Sp. 3, Zeile 8).*

Auf das Verfahren nach der Druckschrift D1 übertragen bedeutet dies, dass bei dem dort beschriebenen Verfahren die Verbindung zwischen dem Substrat und der Bodenplatte durch eine Sinterverbindungsschicht zwischen dem Substrat und der Bodenplatte hergestellt wird, indem das Substrat in einem vorgegebenen Temperaturbereich für eine vorgegebene Zeit mit einem vorgegebenen Anpressdruck gegen die Bodenplatte gepresst wird.

Gemäß dem in der Druckschrift D2 beschriebenen Ausführungsbeispiel weisen dabei sowohl das Substrat als auch die Unterseite des Halbleiterchips eine Kontaktfläche aus Silber auf, d. h. bei dem Verfahren nach der Druckschrift D2 wird vor der Herstellung der Drucksinterverbindung eine erste Edelmetallschicht auf die untere Chipmetallisierung und eine zweite Edelmetallschicht auf die Oberseite des Substrats aufgebracht und eine silberhaltige Paste zwischen den beiden Edelmetallschichten positioniert. Übertragen auf das Verfahren nach der Druckschrift D1 bedeutet dies, dass dort eine erste Edelmetallschicht auf die untere Substratmetallisierung aufgebracht wird, so dass diese die dem Keramikplättchen abgewandte Seite der unteren Substratmetallisierung bedeckt, und dass weiterhin eine zweite Edelmetallschicht auf die Oberseite der Bodenplatte aufgetragen wird, so dass die oben schon genannte silberhaltige Paste zwischen der zweiten Edelmetallschicht und der auf die untere Substratmetallisierung aufgebrachten ersten Edelmetallschicht eingebracht wird.

Somit unterscheidet sich die im erteilten Anspruch 1 gegebene Lehre von der Lehre der Druckschrift D1 und der in ihr zitierten Druckschrift D2 dadurch, dass

- a) die obere und die untere Chipmetallisierung aus Kupfer oder aus einer Kupferlegierung bestehen,

- b) eine erste Oxidationsschutzschicht auf die obere Chipmetallisierung aufgebracht wird, die zumindest einen Teil einer dem Halbleiterkörper abgewandten Seite der oberen Chipmetallisierung bedeckt,
- c) der Bonddraht auf einer Oxidationsschutzschicht positioniert und unter lokaler Zerstörung der ersten Oxidationsschutzschicht gegen den Leistungshalbleiterchip gepresst wird, und dass
- d) das Lot zum Befestigen des Halbleiterchips auf dem Schaltungsträger Zinn enthält und dass die die Befestigung bewirkende Schicht eine Diffusionslotschicht ist.

Diese Maßnahmen liegen jedoch für den Fachmann nahe und beruhen somit nicht auf einer erfinderischen Tätigkeit.

So ist es dem Fachmann bspw. aus der Druckschrift D3 bekannt, dass die durch die Oxidation von Kupfer verursachten Probleme bei der Herstellung von dauerhaft guten Bondverbindungen zu Kupfer-Metallisierungen von Chips vermieden werden können, indem die entsprechenden Metallisierungsflächen mit einer Schutzschicht versehen werden, die die bei höheren Temperaturen auftretende Oxidation des Kupfers verhindert (*An integrated circuit die (10) has a copper contact (16, 18), which, upon exposure to the ambient air, forms a native copper oxide. An organic material is applied to the copper contact which reacts with the native copper oxide to form an organic coating (12, 14) on the copper contact in order to prevent further copper oxidation. In this manner, further processing at higher temperatures, such as those greater than 100 degrees Celsius, is not inhibited by excessive copper oxidation. For example, due to the organic coating, the high temperature of the wire bond process does not result in excessive oxidation which would prevent reliable wire bonding. Thus, the formation of the organic coating allows for a reliable and thermal resistance wire bond (32, 34) / Abstract*). Die Oxidationsschutzschicht ist dabei so dünn, dass die Drahtenden der Bond-

drähte beim Aufbringen auf die durch die Oxidationsschutzschicht bedeckten Flächen durch diese Schicht durchgedrückt werden, so dass ein guter Kontakt hergestellt wird (*Also, the organic coating is generally thin, such as, for example, 150 Angstroms or less. Preferably, the coating thickness is less than or equal to 100 Angstroms, and more preferably, less than or equal to 50 Angstroms. Therefore, in the case of wire bonding, the wire bond is able to break through both the organic coating and the copper oxide to form a reliable electrical connection to the copper contact / Abschnitt [0017] // FIG. 3 illustrates integrated circuit die 10 after a wire bond process where wire bonds 32 and 34 are formed within openings 28 and 30, respectively. Therefore, using conventional wire bond processes, wire bond 32 is attached to copper contact 16 to provide an electrical connection to copper contact 16. Similarly, wire bond 34 is attached to copper contact 18 to provide an electrical connection to copper contact 18. Note that in attaching wire bonds 32 and 34, the wire bonds break through organic coatings 12 and 14, respectively, in order to form the electrical connections. Therefore, note that portions of the organic coatings 12 and 14 may remain on integrated circuit die 10 on either side of wire bonds 32 and 34 after the wire bonding process is complete, as shown in FIG. 2 / Abschnitt 0023]).*

Diese Vorgehensweise ermöglicht es, die bisher bei der Herstellung von Bondverbindungen mit Kupfermetallisierungen bestehenden Probleme zu beseitigen und so die in der Halbleitertechnologie immer mehr verwendete Kupfer-Verbindungstechnik einsetzen zu können (*In integrated circuit manufacturing, wire bonding is a well proven method used to connect a semiconductor die having electrical circuitry to a pin on a component package. It is also becoming increasingly common to use copper metal interconnects. However, wire bonding directly to copper is not feasible using existing production assembly equipments due to the instability of the native copper oxide at wire bonding temperatures (typically greater than 130 degrees to 170 degrees Celsius) / Abschnitt [0002] // Therefore, a need exists for an improved integrated circuit die having a copper contact which has improved reliability and thermal resistance, while reducing processing costs and increasing assembly*

*yield / Abschnitt [0005].) Dabei kann die jeweilige Kupfer-Metallisierung sowohl auf dem Chip angeordnet sein und somit den Außenkontakt bilden als auch unter dem Chip vorgesehen sein, wo sie den Substrat- oder Rückseitenkontakt bildet (In one embodiment of the present invention which uses wire bonding to provide electrical contacts to the integrated circuit die, copper bond posts may be used on the package substrate to provide electrical contacts from the package substrate to the integrated circuit die. In this embodiment, a wire bond connection is made to both the copper contact on the integrated circuit die (i.e. the copper wire bond pad) and the copper contact on the package substrate (i.e. the copper bond post) / Abschnitt [0026]).*

Angesichts dieser Hinweise in der Druckschrift D3 liegt es für den Fachmann nahe, die in der Halbleitertechnologie ohnehin weit verbreitete Kupfer-Metallisierungstechnik auch bei der Herstellung von Leistungshalbleiter-Modulen gemäß dem Verfahren nach der Druckschrift D1 einzusetzen und dort die aus der Druckschrift D3 bekannten Maßnahmen zur Herstellung dauerhaft guter Bondverbindungen zu den Kupfer-Metallisierungsflächen auf dem Chip und dem Substrat zu treffen. Damit werden dort insbesondere die negativen Folgen der beim Drucksintern unvermeidlichen Oxidation der Kupferflächen für die Qualität der Bondverbindung vermieden. Damit können die vorangehend unter a), b) und c) genannten Maßnahmen keinen Patentschutz begründen.

Die verbleibende, oben unter d) genannte Maßnahme, wonach das Lot zum Befestigen des Halbleiterchips auf dem Schaltungsträger Zinn enthält und wonach die die Befestigung bewirkende Schicht eine Diffusionslotschicht ist, liegt für den Fachmann bei der Herstellung von Leistungshalbleitermodulen ebenfalls nahe. So wird schon bei dem Verfahren nach der Druckschrift D1 der Halbleiterchip mittels einer Lotverbindung auf der Metallisierungsschicht des Keramikträgers befestigt, wobei der vorstehend definierte Fachmann aufgrund seiner Fachkenntnisse weiß, dass es bei der Herstellung von Leistungshalbleiter-Modulen hinsichtlich der Qualität der Verbindung besonders vorteilhaft ist, den Halbleiterchip mittels einer Diffu-

sionslotschicht auf einem Substrat zu befestigen, da hierbei eine Verbindung entsteht, die auch hohen thermomechanischen Beanspruchungen standhält, wobei das Lot Zinn (Sn) enthält, vgl. als Beleg für diese Fachkenntnisse die Druckschrift D6 (*Halbleiterchips, beispielsweise Leistungshalbleiterchips, können auf Substraten oder auf anderen Halbleiterchips unter Verwendung von Lötverfahren montiert werden / Abschnitt [0002] // Auf die Halbleiterchips [...] kann Lötmaterial aufgebracht sein. Wenn als Verbindungstechnik zum Verbinden der Halbleiterchips mit den Substraten Diffusionslötverfahren verwendet wird, werden Lötmaterialien verwendet, die nach dem Ende des Lötvorgangs an der Grenzfläche zwischen dem Halbleiterchip und dem Substrat aufgrund von Grenzflächendifusionsprozessen zu intermetallischen Phasen führen. In diesem Fall ist die Verwendung von AuSn, AgSn, CuSn, Sn AgIn oder CuIn-Lötmitteln denkbar / Abschnitt [0014] // Um die erste Fläche 12 des Halbleiterchips 10 mit dem Substrat 11 zu verbinden, kann ein Diffusionslötprozess verwendet werden. [...] Während des Lötprozesses erzeugt das Lötmaterial 15 eine metallische Verbindung zwischen dem Halbleiterchip 10 und dem Substrat 11, die aufgrund der Tatsache, dass das Lötmaterial 15 eine temperaturbeständige und hochgradig mechanisch stabile intermetallische Phase mit hoch schmelzenden Materialien des Halbleiterchips 10 und des Substrats 11, die verbunden werden sollen, bildet, hohen Temperaturen widerstehen kann. In dem Prozess wird das bei niedriger Temperatur schmelzende Lötmaterial 15 vollständig umgewandelt, d. h. es geht vollständig in die intermetallische Phase über. / Abschnitte [0024] und [0025] // Fig. 2 zeigt schematisch einen Querschnitt der Grenzfläche zwischen dem Halbleiterchip 10 und dem Substrat 11 der Vorrichtung 100. [...] Ferner ist in Fig. 2 die intermetallische Phase 16 zwischen dem Halbleiterchip 10 und dem Substrat 11 dargestellt. Während des Lötprozesses können in der Nähe der ersten Fläche 12 Mikrohohlräume 19 erzeugt werden. [...] Der Anteil der Mikrohohlräume 19 in der intermetallischen Phase 16 ist unterkritisch, so dass die Mikrohohlräume 19 die elektrische Leitfähigkeit zwischen dem Halbleiterchip 10 und dem Substrat 11 nicht beeinflussen. Die Mikrohohlräume 19 können jedoch thermomechanische Beanspruchungen verringern, die aus den unterschiedlichen Wärmeausdehnungskoeffizienten des Halbleiterchips 10 und des*

*Substrats 11 entstehen können. Falls in der intermetallischen Phase 16 ein Riss auftritt, der durch eine Scherbeanspruchung verursacht ist, kann der Riss durch einen oder mehrere der Mikrohohlräume 19 angehalten werden, wie durch den Pfeil 20 in Fig. 2 angegeben ist. Somit verhindern die Mikrohohlräume 19 einen vollständigen Bruch der Lötverbindung / Abschnitt [0028]).*

Damit beruht das Verfahren nach dem erteilten Anspruch 1 nicht auf einer erfindेरischen Tätigkeit des Fachmanns.

6. Die von der Anmelderin vorgetragenen Gesichtspunkte können nicht zu einer anderen Bewertung führen.

Das Argument, der Fachmann werde angesichts des damit verbundenen Aufwands nicht zwei unterschiedliche Verbindungsprozesse für die Herstellung der Verbindung zwischen dem Chip und dem Substrat einerseits und der Verbindung zwischen dem Chip und der Bodenplatte andererseits wählen, sondern sich für die beste der beiden Technologien entscheiden, vermochte den Senat schon insofern nicht zu überzeugen, als bereits die Druckschrift D1 offenbart, die Verbindung zwischen Chip und Substrat mittels einer Lötverbindung und die Verbindung zwischen Substrat und Bodenplatte durch ein Niedertemperaturverbindungsverfahren wie bspw. einen Drucksintervorgang herzustellen, vgl. bspw. die Abschnitte [0064] bis [0066].

Darüber hinaus könnten auch die Darlegungen in der Beschreibungseinleitung der von der Anmelderin als Beleg für ihre Argumentation genannten Druckschrift D14 nicht zu einer anderen Bewertung führen. Zwar trifft es zu, dass der Einsatz der beiden vorgenannten unterschiedlichen Prozesstechnologien zur Herstellung der Verbindungen einen erhöhten technologischen Aufwand erfordert und die Herstellungskosten erhöht, wie es in der Druckschrift D14 im Abschnitt [0004] dargelegt wird. Im selben Abschnitt führt die Druckschrift D14 jedoch aus, dass der Fachmann angesichts der spezifischen Vorzüge der beiden Prozesstechnologien

durchaus in Betracht zieht, die beiden verschiedenen Prozesstechnologien miteinander zu verbinden. Da er bei seiner Entscheidung nicht allein Aufwand und Kosten, sondern mindestens in gleichem Maß die mit der aufwändigeren und teureren Vorgehensweise erreichte Verringerung der Empfindlichkeit gegenüber thermischen Lastwechseln eines Leistungshalbleitermoduls berücksichtigt und die dauernden thermischen Lastwechsel bei modernen Leistungshalbleitermodulen ein Hauptproblem für die Langzeitstabilität des Moduls darstellen, liegt die Verbindung beider Verbindungstechnologien zur Vermeidung dieser Probleme für den Fachmann nahe, da hier der höhere Aufwand mit einer Verbesserung des Produkts einhergeht, wie die Druckschriften D1, D2 sowie D3 und auch die Druckschrift D12 erläutern bzw. belegen.

Auch das Argument, die beim Herstellen von Leistungshalbleitern verwendete Dickdraht-Bondtechnologie weiche grundsätzlich von der in der Druckschrift D3 offenbarten Technik des thermisch unterstützten Ultraschall-Dünndrahtbondens ab, so dass die Hinweise in der Druckschrift D3 nur für das Bonden von Niederspannungschips zuträfen, konnte nicht überzeugen. Abgesehen davon, dass der Anspruch 1 keinerlei Beschränkung auf ein bestimmtes Bondverfahren lehrt, gelten die in der Druckschrift D3 gegebenen Hinweise allgemein für das Bonden von Kupfer-Metallisierungen, wobei im Abschnitt [0027] sogar explizit auf die Anwendung der dort genannten Maßnahmen auch bei Leistungshalbleitern (*power device applications*) hingewiesen wird.

7. Auch das Verfahren nach dem Anspruch 1 des 1. Hilfsantrages beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns. Denn die in dem Zusatzmerkmal dieses Anspruchs angegebene Reihenfolge, dass das Herstellen der Sinterverbindungsschicht nach dem Herstellen der Diffusionslotschicht und das Herstellen der Bondverbindung nach dem Herstellen der Sinterverbindungsschicht erfolgt, ergibt sich für den Fachmann aus den technischen Gegebenheiten des Verfahrens nach Anspruch 1 des Hauptantrags.

Der Lehre des Anspruchs 1 zufolge wird die obere Chipmetallisierung (11) mit der ersten Oxidationsschutzschicht (13) abgedeckt, der Chipmontagebereich (1') auf der oberen Substratmetallisierung (21) festgelegt, in dem der Leistungshalbleiterchip mit der oberen Substratmetallisierung (21) verbunden werden soll, und eine erste Edelmetallschicht (24) auf die untere Substratmetallisierung (22) aufgebracht, so dass die erste Edelmetallschicht (24) zumindest einen Teil einer dem Keramikplättchen (20) abgewandten Seite der unteren Substratmetallisierung (22) bedeckt. Logischerweise muss bei dieser Vorgehensweise als erster Verbindungsprozess das Herstellen der Diffusionslotschicht, d.h. das Befestigen der Unterseite des Chips auf dem Chipmontagebereich der oberen Substratmetallisierung erfolgen, denn andernfalls, also beim Herstellen der Sinterverbindungsschicht als erstem Verbindungsprozess würde die im vorangehend angegebenen Zustand ungeschützt frei liegende obere Substratmetallisierung auf der Chipmontagefläche beim Sintervorgang (der unter Luftsauerstoff stattfindet) oxidieren, womit der in diesem Fall dann folgende Diffusionslötprozess behindert und die Qualität der Verbindung herabgesetzt würde, vgl. Abschnitt [0004] des Streitpatents. Diese Reihenfolge scheidet für den Fachmann somit aus.

Dass das Herstellen der Bondverbindung dann nach dem Herstellen der Sinterverbindungsschicht erfolgt, ergibt sich für den Fachmann daraus, dass ein mit Bondverbindungen versehener Chip keinem Sintervorgang mehr unterworfen werden kann, denn bei diesem muss Druck auf den Chip aufgebracht werden, was eine bereits bestehende Bondverbindung zerstören würde.

8. Auch die in den Anspruch 1 nach dem 2. Hilfsantrag aufgenommene Zusatzangabe, dass das als Bonddraht oder als Metallbändchen ausgebildete Bondelement „aus Kupfer oder aus einer Kupferlegierung gebildet ist, oder Kupfer oder eine Kupferlegierung aufweist“, beruht nicht auf einer erfinderischen Tätigkeit. Denn die Verwendung von Kupferdrähten als Bonddrähte ist bspw. aus den Druckschriften D3 (vgl. Abschnitt [0012]), D11 (vgl. Abschnitt [0005]) und D12 (vgl. Abschnitt [0032]) bekannt und somit fachüblich, wobei die beiden letztgenannten

Druckschriften sich jeweils bereits mit der Kontaktierung von Leistungshalbleiterbauelementen mit solchen Kupfer-Bondelementen beschäftigen.

9. Schließlich kann auch das in den Anspruch 1 nach dem 3. Hilfsantrag aufgenommene Zusatzmerkmal keinen Patentschutz begründen, das angibt, dass eine zweite Oxidationsschutzschicht auf die obere Substratmetallisierung aufgebracht wird, wobei der Chipmontagebereich frei bleibt und nicht von der zweiten Oxidationsschutzschicht bedeckt wird.

Denn für den Fachmann liegt es nahe, eine solche Maßnahme bei dem Verfahren nach der Druckschrift D1 nach dem Festlegen des Chipmontagebereichs auf der oberen Substratmetallisierung durchzuführen, denn andernfalls würde das Kupfer der oberen Substratmetallisierung des DCB-Substrates (vgl. in der D1 Abschnitt [0063]) in dem außerhalb der Chipmontagefläche freiliegenden Bereich bei den sich anschließenden Verbindungsvorgängen oxidieren, so dass hier wie bei der oberen Chipmetallisierung keine ordnungsgemäße Bondverbindung mit diesem Kontakt zustande kommen könnte, wie sich aus den Darlegungen in der oben bereits gewürdigten Druckschrift D3 ergibt. Somit liegt es nahe, hier entsprechend der Lehre der Druckschrift D3 eine (weitere) Oxidationsschutzschicht vorzusehen.

10. Die Unteransprüche fallen wegen der Antragsbindung jeweils mit dem Anspruch 1 des entsprechenden Anspruchssatzes, vgl. BGH GRUR 2007, 862, Leitsatz, Abschnitt [22] - „Informationsübermittlungsverfahren II“.

11. Bei dieser Sachlage war der Beschluss der Patentabteilung aufzuheben und das Patent zu widerrufen.

## **R e c h t s m i t t e l b e l e h r u n g**

Gegen diesen Beschluss steht den Beteiligten - vorbehaltlich des Vorliegens der weiteren Rechtsmittelvoraussetzungen, insbesondere einer Beschwer - das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html). Das elektronische Dokument ist mit einer prüfbaren qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate

des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html) bekannt gegeben.

Dr. Strößner

Brandt

Dr. Friedrich

Dr. Hoppe

prä