



BUNDESPATENTGERICHT

18 W (pat) 170/14

Verkündet am
21. September 2016

...

(Aktenzeichen)

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 11 2005 003 098.9-53

...

hat der 18. Senat (Techn. Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 21. September 2016 durch die Vorsitzende Richterin Dipl.-Ing. Wickborn sowie die Richter Kruppa, Dipl.-Phys. Dr. Schwengelbeck und Dipl.-Ing. Altvater

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 4. Juli 2012 aufgehoben und das Patent wird auf der Grundlage der folgenden Unterlagen erteilt:

- Patentansprüche 1 bis 8, eingereicht in der mündlichen Verhandlung,
- Beschreibung Seiten 1, 2, 4 bis 10, 12 bis 17, eingegangen am 1. Juni 2007, Seite 3, eingegangen am 19. August 2010, Seiten 3a und 11, eingereicht in der mündlichen Verhandlung,
- Figuren 1 bis 5, eingegangen am 1. Juni 2007.

Gründe

I.

1. Die vorliegende Patentanmeldung 11 2005 003 098.9 mit der Bezeichnung

„Verfahren und Vorrichtung zum Zugreifen auf einen physikalischen Speicher von einer CPU oder einem Prozessorelement mit hoher Leistung“

geht aus einer internationalen PCT-Anmeldung (Veröffentlichungsnummer WO 2006 / 060220 A2) hervor, die am 17. November 2005 unter Inanspruchnahme einer US-amerikanischen Priorität vom 2. Dezember 2004 (US 11/004 753) eingereicht worden ist. Die Anmeldung ist durch die Prüfungsstelle für Klasse G06 F des Deutschen Patent- und Markenamts mit

Beschluss vom 4. Juli 2012 (Verkündung in Anhörung) zurückgewiesen worden, weil sich die Gegenstände der jeweiligen Ansprüche 1 nach den damals geltenden Haupt- und Hilfsanträgen 1 bis 4 in naheliegender Weise aus dem Stand der Technik gemäß Druckschrift

D2: US 2004 / 0 073 766 A1

ergeben würden.

Im Prüfungsverfahren sind außerdem folgende Druckschriften als Stand der Technik genannt worden:

D1: US 6 496 847 B1,

D3: US 6 351 806 B1,

D4: US 2003 / 0 018 877 A1 und

D5: US 5 963 984 A.

Die Beschwerde der Anmelderin richtet sich gegen den vorstehend genannten Beschluss.

Sie beantragt,

den Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 4. Juli 2012 aufzuheben und das Patent auf der Grundlage der folgenden Unterlagen zu erteilen:

- Patentansprüche 1 bis 8, eingereicht in der mündlichen Verhandlung,
- Beschreibung Seiten 1, 2, 4 bis 10, 12 bis 17, eingegangen am 1. Juni 2007, Seite 3, eingegangen am 19. August 2010,

Seiten 3a und 11, eingereicht in der mündlichen Verhandlung,

- Figuren 1 bis 5, eingegangen am 1. Juni 2007.

Patentanspruch 1 lautet unter senatsseitiger Hinzufügung einer Merkmalsgliederung wie folgt:

- M1** „Mikroprozessor, mit:
- M2** einer Dekodierlogik (215), um einen ersten und einen zweiten Befehl zu decodieren, wobei der erste Befehl einen Bezug zu einer linearen Adresse enthalten soll und der zweite Befehl einen Bezug zu einer ersten physikalischen Adresse enthalten soll;
- M3** ein erstes Speichertypregister (240), um einen Cache-fähigen Speichertyp oder einen nicht Cache-fähigen Speichertyp vorzuhalten;
- M4** ein zweites Speichertypregister (310), um den Cache-fähigen Speichertyp oder den nicht Cache-fähigen Speichertyp vorzuhalten;
- M5** einem Übersetzungspuffer (235) zum Übersetzen einer linearen Adresse in eine physikalische Adresse bei der Befehlsabarbeitung, der eingerichtet ist, die lineare Adresse in eine zweite physikalische Adresse zu übersetzen, um eine Darstellung der zweiten physikalischen Adresse an eine Cache-Schnittstelle (260) einer Schnittstellenlogik (290) basierend auf dem ersten Speichertypregister (240) zu liefern, das den Cache-fähigen Speichertyp vorhält; und
- M6** die Darstellung der zweiten physikalischen Adresse an eine externe Datenschnittstelle (270) der Schnittstellenlogik (290) basierend auf dem ersten Speichertypregister (240) zu liefern, das den nicht Cache-fähigen Speichertyp vorhält, wobei der Übersetzungspuffer (235) das erste Speichertypregister (240) umfasst oder damit verbunden ist;

- M7** physikalische Adressierlogik (245), die eingerichtet ist, um bei der Befehlsabarbeitung eine Darstellung der ersten physikalischen Adresse direkt an die externe Datenschnittstelle (270) basierend auf dem zweiten Speichertypregister (310) zu liefern, das den nicht Cache-fähigen Speichertyp vorhält, und die Darstellung der ersten physikalischen Adresse an die Cache-Schnittstelle (260) basierend auf dem zweiten Speichertypregister (310) zu liefern, das den Cache-fähigen Speichertyp vorhält, wobei die physikalische Adressierlogik (245) das zweite Speichertypregister (310) umfasst oder damit verbunden ist und
- M8** wobei die physikalische Adressierlogik (245) die Darstellung der ersten physikalischen Adresse an die externe Datenschnittstelle (270) der Schnittstellenlogik (290) liefert, ohne dass das Paging deaktiviert und der Übersetzungspuffer (235) zum Übersetzen einer linearen Adresse in eine physikalische Adresse entleert wird.“

Der nebengeordnete **Anspruch 5** lautet unter senatsseitiger Hinzufügung einer Merkmalsgliederung wie folgt:

- N1** „Integrierte Schaltung, mit:
- N2** einer externen Schnittstelle (270), die zum Abholen von Elementen aus einem Speicher fähig ist;
- N3** einem Cache (265), der an die externe Schnittstelle (270) gekoppelt ist, um Elemente vorzuhalten, die aus dem Speicher geholt wurden;
- N4** einer Dekodierlogik (215), um eine erste Mikro-Operation, die auf eine erste lineare Adresse Bezug nimmt, und eine zweite Mikro-Operation, die auf eine erste physikalische Adresse Bezug nimmt, zu dekodieren;
- N5** einem ersten Speichertypregister (240), zum Vorhalten eines nicht-Cache-fähigen Speicherzugriffstypwerts oder zum Vorhalten eines Cache-fähigen Speicherzugriffstypwertes

- N6** einem Übersetzungspuffer (235), der mit der Dekodierlogik (215) gekoppelt ist, um die erste lineare Adresse in eine zweite physikalische Adresse zu übersetzen und um eine Darstellung der zweiten physikalischen Adresse an den Cache (265) oder an die externe Schnittstelle (270) einer Schnittstellenlogik (290) basierend auf dem ersten Speichertypregister (240) zu liefern, wobei der Übersetzungspuffer (235) das erste Speichertypregister (240) umfaßt oder damit verbunden ist;
- N7** einem zweiten Speichertypregister (310) zum Vorhalten eines nicht-Cache-fähigen Speicherzugriffstypwerts oder eines Cache-fähigen Speicherzugriffstypwertes; und
- N8** einer physikalischen Adressierlogik (245), die mit der Dekodierlogik (215) gekoppelt ist, um eine Darstellung der ersten physikalischen Adresse in Antwort darauf, dass das zweite Speichertypregister (310) den nicht-Cache-fähigen Speichertypwert vorhält, an die externe Schnittstelle (270) der Schnittstellenlogik (290) zu liefern oder in Antwort darauf, dass das zweite Speichertypregister (310) den Cache-fähigen Speichertypwert vorhält, an den Cache (265) zu liefern, wobei die physikalische Adressierlogik (245) das zweite Speichertypregister (310) umfasst oder damit verbunden ist und
- N9** wobei die physikalische Adressierlogik (245) die Darstellung der ersten physikalischen Adresse an die externe Schnittstelle (270) der Schnittstellenlogik (290) liefert, ohne dass das Paging deaktiviert und der Übersetzungspuffer (235) geleert wird.“

Wegen des Wortlauts der Unteransprüche 2 bis 4 und 6 bis 8 wird auf den Akteninhalt verwiesen.

Die Beschwerdeführerin vertritt die Auffassung, dass die geltenden Ansprüche zulässig und patentfähig sind.

Wegen der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde hat in der Sache Erfolg. Denn die zweifelsfrei gewerblich anwendbare Mikroprozessor gemäß Patentanspruch 1 ist im Lichte der im Verfahren befindlichen Druckschriften neu und beruht auf einer erfinderischen Tätigkeit. Dies gilt in gleicher Weise für die Integrierte Schaltung gemäß Patentanspruch 5. Auch die übrigen Kriterien zur Patenterteilung sind erfüllt (§§ 1 bis 5, 34, 38 PatG).

1. Die vorliegende Anmeldung betrifft das Zugreifen auf Speicher mittels eines Prozessorelements (vgl. geltende Beschreibung S. 1 le. Abs.). Gemäß Beschreibungseinleitung weist die Umgebung einer erweiterten virtuellen Maschine (VMX - Virtual Machine Extension) die Ressourcen eines einzelnen Prozessors typischerweise verschiedenen Softwareanwendungen und Betriebssystemen zu. Daher könnten die Ressourcen eines einzelnen Mikroprozessors oder mehrerer Prozessorelemente zwischen mehreren Betriebssystemen und mehreren Anwendungen aufgeteilt werden. Typischerweise bilde in einer VMX-Umgebung ein Programm eines Monitors für virtuelle Maschine (VMM - Virtual Machine Monitors) eine Schnittstelle mit einem oder mehreren Softwareprogrammen. Eine virtuelle Maschine (VM) könne Gastsoftware umfassen. Üblicherweise werde die Zustandsinformation und Steuerinformation für den VMM und jedes VM-Programm in einem Speicher abgelegt, um es mehreren VMs zu erlauben, auf einem einzelnen Prozessor zu laufen. Eine Struktur, die üblicherweise zum Speichern solcher Zustands- und Steuerinformation verwendet werde, sei eine Steuerstruktur einer virtuellen Maschine (VMCS - Virtual Machine Control Structure). Das Speichern der VMCS in dem Mikroprozessor könne potentiell das Adressieren der VMCS architekturenspezifisch zulassen; daher befinde sich die VMCS typischerweise in einem Teil des

Hauptsystemspeichers. Das Einstellen der VMCS in den Systemspeicher erzeuge üblicherweise Adressierbeschränkungen für Mikroprozessoren, die eine virtuelle Speicheradressierung verwenden. Typischerweise erzeuge ein Mikroprozessor, der einen virtuellen Speicher benutze, eine lineare Adresse für einen Speicherort, von dem abgeholt (gelesen) werden solle oder auf den geschrieben werden solle. Diese lineare Adresse werde durch eine Übersetzungseinheit in den Mikroprozessor in eine physikalische Adresse des Speicherortes in einem Systemspeicher übersetzt. Obwohl der VMCS-Teil des Systemspeichers auf diese Weise adressiert werden könne, seien Fehler im Übersetzungsprozess schwierig zu handhaben. Daher adressierten viele Befehle, so wie VMWRITE, VMREAD und andere VMX-Befehle physikalisch einen Speicherort im Systemspeicher, anstatt dass sie eine lineare Adresse zur Verfügung stellten, die zu übersetzen sei. Bei einem Mikroprozessor, der das Paging eines virtuellen Speichers verwende, könne es sein, dass ein VMX-Befehl direkt ohne eine Übersetzung einer linearen in eine physikalische Adresse auf physikalische Speicher zugreifen müsse. Jedoch erforderten es heutige Systeme üblicherweise, dass das Paging des virtuellen Speichers deaktiviert werde und der Puffer für die Übersetzung der linearen in die physikalische Adresse geleert werde, bevor ein direkter Zugriff mit einer physikalischen Adresse auf den Speicher auftreten könne. Die Menge an Zeit, die benötigt werde, das Paging zu deaktivieren und den Übersetzungspuffer zu leeren, gehe typischerweise mit einer langen Ausführungszeit einher (vgl. geltende Beschreibung S. 2 erster Abs. bis S. 3 zweiter Abs.).

Davon ausgehend liegt der vorliegenden Patentanmeldung gemäß geltender Beschreibung die **Aufgabe** zugrunde, einen Mikroprozessor sowie eine integrierte Schaltung bereitzustellen, mit denen ein direkter Zugriff auf einen Speicher mit einer physikalischen Adresse bei einem Paging eines virtuellen Speichers effizienter durchgeführt werden kann (vgl. S. 3a, erster. Abs.).

Als zuständiger **Fachmann** ist ein Ingenieur anzusehen, der ein Hochschulstudium der Fachrichtung Elektrotechnik mit Schwerpunkt Informationstechnik absolviert hat und über eine mehrjährige Erfahrung auf dem Gebiet der mikrorechnerinternen Befehlsabarbeitung und insbesondere der Adressumsetzung zur Adressierung von Speichern besitzt.

Zur Lösung der Aufgabe ist ein Mikroprozessor vorgesehen, der eine Logik (215) zur Dekodierung von ersten und zweiten Befehlen mit einem Bezug zu einer linearen (virtuellen / logischen) Speicheradresse bzw. mit einem Bezug zu einer ersten physikalischen Speicheradresse aufweist (vgl. Merkmale M1 und M2). Der Mikroprozessor beinhaltet zwei Speichertypregister (240, 310), die jeweils dazu dienen, einen Cache-fähigen oder einen nicht Cache-fähigen Speichertyp vorzuhalten (Merkmale M3 und M4). Bei der Befehlsabarbeitung durch den Mikroprozessor ist ein Übersetzungspuffer (235) vorgesehen, der eine Adressübersetzungslogik zum Übersetzen einer linearen Adresse in eine zweite physikalische Speicheradresse darstellt. Des Weiteren beinhaltet der Mikroprozessor eine separate physikalische Adressierlogik (245), die parallel zum Übersetzungspuffer angeordnet ist und eine Darstellung der ersten physikalischen Adresse liefert. Der Übersetzungspuffer und die physikalische Adressierlogik liefern die Adressen für einen zu adressierenden Speicher an eine Cache-Schnittstelle (260) einer gemeinsamen Schnittstellenlogik (290), wobei die gemeinsame Schnittstellenlogik eine Schnittstelle darstellt, die auch eine externe Datenschnittstelle (270) aufweist. Aufgrund der verschiedenen Speichertypen (Cache-fähig oder nicht Cache-fähig) erfolgt die Adressübersetzung auf Basis von – den jeweiligen Logiken zugeordneten – Speichertypregistern in Form des ersten bzw. des zweiten Speichertypregisters. Wenn das jeweilige Speichertypregister den nicht Cache-fähigen Speichertyp anzeigt, wird die Adresse an die externe Datenschnittstelle (270) geliefert; wenn der Cache-fähige Speichertyp angezeigt wird, wird die übersetzte Adresse an die Cache-Schnittstelle (260) geliefert, wobei die physikalische Adresslogik das zweite Speichertypregister umfasst oder mit diesem verbunden ist und wobei

der Übersetzungspuffer das erste Speichertypregister umfasst oder mit diesem verbunden ist (vgl. Merkmale M5 bis M7). Die Darstellung der ersten physikalischen Adresse wird von der physikalischen Adressierlogik an die externe Datenschnittstelle der Schnittstellenlogik des Mikroprozessors geliefert, ohne dass dabei das Paging deaktiviert und der Übersetzungspuffer zum Übersetzen einer linearen Adresse in eine physikalische Adresse entleert wird (Merkmal M8).

Zur Lösung der Aufgabe ist des Weiteren eine integrierte Schaltung vorgesehen, die eine externe Datenschnittstelle (270) und einen an die externe Datenschnittstelle gekoppelten Cache (265) aufweist, um Elemente vorzuhalten, die aus einem Speicher geholt (gelesen) wurden (vgl. Merkmale N1, N2 und N3). Die integrierte Schaltung weist eine Logik (215) zur Dekodierung von ersten und zweiten Mikro-Operationen von Befehlen auf mit einem Bezug zu einer linearen (virtuellen) Speicheradresse bzw. einem Bezug zu einer ersten physikalischen Speicheradresse (vgl. Merkmal N4). Des Weiteren ist vorgesehen, dass die integrierte Schaltung zwei Speichertypregister (240, 310) beinhaltet, die jeweils dazu dienen, einen Cache-fähigen oder einen nicht Cache-fähigen Speichertyp vorzuhalten (Merkmale N5 und N7). Hier ist ebenfalls ein Übersetzungspuffer (235) vorgesehen, der eine Logik zum Übersetzen einer linearen Adresse in eine zweite physikalische Speicheradresse darstellt. Darüber hinaus beinhaltet die integrierte Schaltung eine separate physikalische Adressierlogik (245), die parallel zum Übersetzungspuffer angeordnet ist und eine Darstellung der ersten physikalischen Adresse liefert. Der Übersetzungspuffer und die physikalische Adresslogik liefern die jeweilige Adresse für einen zu adressierenden Speicher an eine Cache-Schnittstelle (260) einer gemeinsamen Schnittstellenlogik (290), wobei die gemeinsame Schnittstellenlogik zudem eine externe Datenschnittstelle (270) aufweist. Die jeweilige Adressübersetzung basiert ebenfalls auf einem jeder der Logiken separat zugeordneten Speichertypregister in Form des ersten bzw. des zweiten Speichertypregisters, wobei die physikalische Adresslogik das zweite Speicher-

typregister umfasst oder mit diesem verbunden ist. Wenn das jeweilige Speichertypregister den nicht Cache-fähigen Speichertyp anzeigt, wird die Adresse an die externe Datenschnittstelle (270) geliefert; wenn der Cache-fähige Speichertyp angezeigt wird, wird die übersetzte Adresse an die Cache-Schnittstelle (260) geliefert (vgl. Merkmale N6 und N8). Die Darstellung der ersten physikalischen Adresse wird dabei von der physikalischen Adressierlogik an die externe Datenschnittstelle der Schnittstellenlogik in der integrierten Schaltung geliefert, ohne dass das Paging deaktiviert und der Übersetzungspuffer zum Übersetzen einer linearen Adresse in eine physikalische Adresse entleert wird (Merkmal N9).

2. Die geltenden Ansprüche und Beschreibungsunterlagen sind zulässig (§ 38 PatG).

Anspruch 1 weist die Merkmale des ursprünglichen Anspruchs 1 auf (vgl. Merkmal M1 und M2, teilweise Merkmale M5 und M7) unter Hinzufügung der Merkmale M3 bis M4, M8 und M9, welche in der ursprünglichen Beschreibung offenbart sind (vgl. deutsche Übersetzung der Anmeldungsunterlagen, S. 8 dritter Abs. und S. 10 zweiter Abs. sowie Fig. 2 und 3 mit Beschreibung, insbesondere S. 9 letzter Abs. Z. 16-29, S. 11 letzter Abs., S. 12 zweiter Abs. sowie S. 16 zweiter Abs.). Des Weiteren weist Anspruch 1 jeweils Präzisierungen in den Merkmalen M5 und M7 auf, die ebenfalls in der ursprünglichen Beschreibung offenbart sind (vgl. deutsche Übersetzung der Anmeldungsunterlagen a. a. O., insbesondere S. 9 letzter Abs. Z. 23-27 sowie S. 11 letzter Abs.).

Der nebengeordnete Anspruch 5 basiert auf den Merkmalen des ursprünglichen Anspruchs 11 (vgl. Merkmale N1, N4, teilweise Merkmale N6 und N8) unter Hinzufügung der Merkmale N2, N3, N5, N7 und N9 aus der ursprünglichen Beschreibung (vgl. deutsche Übersetzung der Anmeldungsunterlagen, S. 8 dritter Abs. und S. 10 zweiter Abs. sowie Fig. 2 und 3 mit Beschreibung,

insbesondere S. 9 letzter Abs. Z. 16-29, S. 11 letzter Abs., S. 12 zweiter Abs. sowie S. 16 zweiter Abs.). Darüber hinaus weist Anspruch 5 jeweils Präzisierungen in den Merkmalen N6 und N8 auf, die ebenfalls in der ursprünglichen Beschreibung offenbart sind (vgl. deutsche Übersetzung der Anmeldungsunterlagen a. a. O., insbesondere S. 9 letzter Abs. Z. 23-27 sowie S. 11 letzter Abs.).

Die in den Unteransprüchen 2 bis 4 aufgeführten Merkmale basieren auf den ursprünglichen Unteransprüchen 2, 3 und 10, während die Unteransprüche 6 und 7 auf dem Inhalt der ursprünglichen Figur 2 mitsamt zugehörigem Text basieren (vgl. insbes. S. 11 Z. 5-7 der deutschen Übersetzung der Anmeldungsunterlagen). Unteranspruch 8 basiert auf Fig. 2 und dem ursprünglichen Unteranspruch 15.

Die geltende Beschreibung stellt eine zulässige Anpassung der ursprünglich eingereichten Anmeldungsunterlagen an den Wortlaut der geltenden Ansprüche unter Darlegung des Stands der Technik dar (vgl. S. 3, 3a und 11). Die geltenden Figuren 1 bis 5 entsprechen den ursprünglich eingereichten Figuren.

3. Der Gegenstand des geltenden Patentanspruchs 1 ist neu gegenüber dem Stand der Technik gemäß den Druckschriften **D1** bis **D5** (§ 3 PatG).

Druckschrift **D2**, die als nächstliegender Stand der Technik anzusehen ist und die einzige zur Beurteilung des beanspruchten Gegenstands relevante Druckschrift aus dem Prüfungsverfahren darstellt, beschreibt ein Multiprozessor-system mit einem Prozessorkern („processing core 14“), das einen Mikroprozessor entsprechend **Merkmal M1** des Anspruchs 1 darstellt (vgl. Fig. 1 und Abs. [0037]).

Der Prozessorkern weist im Hinblick auf die Merkmale M2 und M5 eine Einheit („instruction memory management unit (IMMU)“, Fig. 2A) auf, die als eine Dekodierlogik angesehen werden kann, da sie dazu dient, im Zusammenhang mit Speicherbefehlen („instructions for processing from L1 I-cache 16“) eine nicht-reale Adresse bzw. lineare („non-real address“) in eine reale bzw. physikalische Adresse („real address“) zu übersetzen bzw. zu dekodieren (vgl. Abstract und Abs. [0044]). Allerdings enthält Druckschrift D2 keinen Hinweis dahingehend, dass die als Dekodierlogik anzusehende Einheit („instruction memory management unit (IMMU)“) einen ersten Befehl mit einem Bezug auf eine lineare Adresse und einen weiteren bzw. zweiten Befehl mit einem Bezug auf eine physikalische Adresse entsprechend Merkmal M2 dekodiert. Auch die weiteren Einzelheiten des Merkmals M5 sind Druckschrift D2 nicht zu entnehmen.

Des Weiteren werden in Druckschrift D2 zwar mehrere Register (vgl. Fig. 2A sowie Abs. [0045] und [0046]: „condition register unit 60 (CRU)“, „register file 70-74“) sowie eine Schnittstellenlogik (vgl. Fig. 1 und Abs. [0037]: „interface logic 23“) aufgeführt – die Register dienen aber nicht als erste bzw. zweite Speichertypregister zum Vorhalten eines Cache-fähigen bzw. nicht Cache-fähigen Speichertyps entsprechend den Merkmalen M3 und M4 bis M7, zumal in dieser Druckschrift ausschließlich Cache-fähige Speicher behandelt werden (vgl. Fig. 1). Auch weitere Einzelheiten des Merkmals M6, die einen Übersetzungspuffer betreffen, sind Druckschrift D2 nicht zu entnehmen. Darüber hinaus offenbart Druckschrift D2 im Hinblick auf Merkmal M7 eine Umleitungs- bzw. Umgehungseinheit („bypass facility“ / „bypass logic 212“, Fig. 8), um einen direkten Zugriff auf reale (physikalische) Adressen zu erhalten und dabei die Logik zum Übersetzen einer nicht-realen (virtuellen/linearen) Adresse in eine physikalische Adressen zu umgehen (vgl. Abstract sowie Abs. [0082] und [0084]). Diese Einheit kann folglich als physikalische Adressiereinheit angesehen werden. Die Einzelheiten des Merkmals M7, die den Speichertyp bzw. ein Speichertypregister im Zusammenhang mit einer physikalischen Adressierlo-

gik betreffen, sind Druckschrift D2 jedoch nicht zu entnehmen. Druckschrift D2 ist des Weiteren auch kein Hinweis zu entnehmen, dass eine Darstellung einer physikalischen Adresse entsprechend Merkmal M8 an eine externe Datenschnittstelle geliefert wird, ohne dass das Paging deaktiviert und ein Übersetzungspuffer zum Übersetzen einer linearen Adresse in eine physikalische Adresse entleert wird.

Der Gegenstand des Anspruchs 1 ist damit neu gegenüber dem Stand der Technik gemäß Druckschrift D2.

Die übrigen im Prüfungsverfahren genannten Druckschriften sind zur Beurteilung des Gegenstands gemäß Anspruch 1 nicht relevant.

Den Druckschriften **D1**, **D3** und **D5** sind dabei weder verschiedene zu adressierenden Speichertypen (cache-fähige oder nicht cache-fähig) entnehmbar (vgl. Merkmale M3 und M4), noch dass bei einer Befehlsabarbeitung bzw. bei der Adressübersetzung von ersten Befehlen mit Bezug zu einer linearen bzw. virtuellen Adresse und zweiten Befehlen mit Bezug zu einer physikalischen Adresse eine separate Adressübersetzung für solche unterschiedlichen Adressarten entsprechend den Merkmalen M5 und M6 vorgesehen ist. In den Druckschriften D1, D3 und D5 gibt es auch keine Hinweise auf die Ausgestaltung eines Mikroprozessors entsprechend den weiteren Merkmalen M7 und M8.

Druckschrift **D4** beschreibt zwar eine Einheit („memory type unit (MTU)“), welche die Funktion eines Speichertypregisters aufweist, wie es in Merkmal M3 aufgeführt ist (vgl. Abstract sowie Abs. [0009], [0014] und [0042]) – jedoch findet sich kein Hinweis, dass bei einer Adressübersetzung von ersten Befehlen mit Bezug zu einer linearen bzw. virtuellen Adresse und zweiten Befehlen mit Bezug zu einer physikalischen Adresse eine separate Adressübersetzung für solche in Befehlen verwendeten unterschiedlichen Adressarten entsprechend

den Merkmalen M5 und M6 vorzunehmen ist. Auch ein Hinweis auf ein zweites Speichertypregister entsprechend Merkmal M4 sowie die Merkmale M7 und M8 sind Druckschrift D4 nicht zu entnehmen.

Der Gegenstand des Anspruchs 1 ist damit auch neu gegenüber dem Stand der Technik gemäß den weiteren von der Prüfungsstelle ins Verfahren eingeführten Druckschriften D1 und D3 bis D5, denen – wie zuvor ausgeführt – kein Hinweis auf wesentliche Merkmale des Anspruchs 1 entnehmbar ist (vgl. insbesondere die Merkmale M4 bis M8).

4. Der Gegenstand des geltenden Patentanspruchs 1 beruht auch auf einer erfinderischen Tätigkeit (§ 4 PatG).

Wie vorstehend ausgeführt, kann der Fachmann dem Stand der Technik gemäß den Druckschriften D1 bis D5 keinen Hinweis auf die wesentlichen Einzelheiten der Merkmale M4 bis M8 entnehmen. Auch eine Zusammenschau der Lehren der Druckschriften D1 bis D5 führt damit nicht zu einem Mikroprozessor mit den Merkmalen M4 bis M8, da diese dem Stand der Technik nicht entnehmbar sind. Ein solcher Mikroprozessor ist dem Fachmann auch unter Einbeziehung seines Fachwissens nicht nahegelegt.

Der Gegenstand des Patentanspruchs 1 beruht somit auf einer erfinderischen Tätigkeit und ist daher patentfähig.

5. Der Gegenstand des geltenden nebengeordneten Patentanspruchs 5 ist ebenfalls neu gegenüber dem Stand der Technik (§ 3 PatG).

Die Merkmale N6 bis N9 des auf eine integrierte Schaltung gerichteten Patentanspruchs 5 entsprechen inhaltlich den Merkmalen M4 bis M8 des Anspruchs 1 in anderer Reihenfolge. Dementsprechend ist dem Stand der Tech-

nik gemäß den Druckschriften D1 bis D5 auch kein Hinweis auf die Merkmale N6 bis N9 zu entnehmen. Zur Vermeidung von Wiederholungen wird auf die vorstehenden Ausführungen zur Neuheit des Gegenstands des Anspruchs 1 mit den entsprechenden Merkmalen M4 bis M8 in Abschnitt II. 3. verwiesen, die hier in gleicher Weise gelten.

6. Der Gegenstand des geltenden Patentanspruchs 5 beruht ebenfalls auf einer erfinderischen Tätigkeit (§ 4 PatG).

Wie zuvor ausgeführt, kann der Fachmann dem Stand der Technik gemäß den Druckschriften D1 bis D5 keinen Hinweis auf die Merkmale N6 bis N9 der integrierten Schaltung gemäß Anspruch 5 entnehmen. Eine Zusammenschau der Lehren der Druckschriften D1 bis D5 führt damit nicht zu den Merkmalen N6 bis N9. Eine solchermaßen ausgestaltete integrierte Schaltung ist dem Fachmann auch unter Einbeziehung seines Fachwissens nicht nahegelegt.

7. Die abhängigen Ansprüche 2 bis 4 und 6 bis 8 betreffen über das Selbstverständliche hinausgehende Ausgestaltungen der Gegenstände der geltenden nebengeordneten Ansprüche 1 und 5 und sind daher ebenfalls patentfähig.
8. Da die vorgelegten Unterlagen auch den Anforderungen des § 34 PatG genügen, war das Patent im Umfang der geltenden Ansprüche 1 bis 8, der geltenden Beschreibung, Seiten 1 bis 3, 3a und 4 bis 17 sowie der geltenden Figuren 1 bis 5 zu erteilen.

IV.

Rechtsmittelbelehrung

Gegen diesen Beschluss steht der am Beschwerdeverfahren Beteiligten das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn gerügt wird, dass

1. das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. einem Beteiligten das rechtliche Gehör versagt war,
4. ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten schriftlich einzulegen.

Wickborn

Kruppa

Dr. Schwengelbeck

Alt Vater

Hu