



# BUNDESPATENTGERICHT

IM NAMEN DES VOLKES

URTEIL

Verkündet am  
9. Dezember 2020

5 Ni 12/18 (EP)

(Aktenzeichen)

...

In der Patentnichtigkeitssache

...

**betreffend das europäische Patent EP 2 460 270**

**(DE 60 2010 017 728)**

hat der 5. Senat (Nichtigkeitssenat) des Bundespatentgerichts auf Grund der mündlichen Verhandlung vom 9. Dezember 2020 durch den Vorsitzenden Richter Voit, die Richterin Martens sowie die Richter Dipl.-Ing. Univ. Albertshofer, Dipl.-Geophys. Univ. Dr. Wollny und Dipl.-Phys. Univ. Bieringer

für Recht erkannt:

- I. Die Klage wird abgewiesen.
- II. Die Klägerinnen tragen die Kosten des Rechtsstreits.
- III. Das Urteil ist gegen Sicherheitsleistung in Höhe von 120 % des zu vollstreckenden Betrages vorläufig vollstreckbar.

## **Tatbestand**

Die Beklagte ist eingetragene Inhaberin des auch mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland in englischer Verfahrenssprache erteilten europäischen Patents EP 2 460 270 (Streitpatent), das am 28. Juli 2010 angemeldet wurde und die Prioritäten zweier US-amerikanischer Voranmeldungen vom 28. Juli 2009 und vom 20. November 2009 in Anspruch nimmt. Das Streitpatent wird beim Deutschen Patent- und Markenamt unter dem Aktenzeichen DE 60 2010 017 728.9 geführt und trägt die Bezeichnung „SWITCH WITH IMPROVED BIASING“ (Schalter mit verbesserter Vormagnetisierung). Es umfasst in der erteilten Fassung 18 Patentansprüche, die alle mit der Nichtigkeitsklage angegriffen sind.

Die nebengeordneten Patentansprüche 1, 12 und 16 haben nach der Streitpatentschrift (EP 2 460 270 B1) folgenden Wortlaut:

**1. An apparatus comprising:**

a plurality of transistors (510) coupled in a stacked configuration and arranged to receive an input signal and to provide an output signal; a plurality of resistors (520) coupled to gates of the plurality of transistors; and an additional resistor (530) coupled to the plurality of resistors and arranged to receive a control signal for the plurality of transistors

**characterized in that** the apparatus further comprises:

a second plurality of resistors (540 a-k) coupled to bulk nodes of the plurality of transistors; and a second additional resistor (540) coupled to the second plurality of resistors and a bulk voltage

12. An apparatus comprising :

a module comprising multiple switches to implement multiple signal paths, the module receives a radio frequency (RF) signal and routes the RF signal via one of the multiple signal paths, wherein each of the multiple switches comprises the apparatus of claim 1.

16. A method of performing signal switching, comprising:

applying a control signal via a first resistor (530) and further via a first plurality of resistors (520) to gates of a plurality of transistors (510) coupled in a stacked configuration and applying a bulk voltage via a second resistor to a second plurality of resistors (540a-k) coupled to bulk nodes of the plurality of transistors;  
passing an input signal through the plurality of transistors when turned on by the control signal;  
and  
blocking the input signal from passing through the plurality of transistors when turned off by the control signal.

Wegen der Unteransprüche 2 bis 11, 13 bis 15 sowie 17 und 18 wird auf die Streitpatentschrift (EP 2 460 270 B1) Bezug genommen.

In deutscher Übersetzung nach der Streitpatentschrift lauten die nebengeordneten Patentansprüche:

1. Eine Vorrichtung, die aufweist:

eine Vielzahl von Transistoren (510), die in einer gestapelten Konfiguration gekoppelt sind und angeordnet sind, um ein Eingangssignal zu empfangen und ein Ausgangssignal vorzusehen,  
eine Vielzahl von Widerständen (520), die mit Gates der Vielzahl von Transistoren gekoppelt sind, und

einen zusätzlichen Widerstand (530), der mit der Vielzahl von Widerständen gekoppelt ist und angeordnet ist, um ein Steuersignal für die Vielzahl von Transistoren zu empfangen, **dadurch gekennzeichnet, dass** die Vorrichtung weiterhin aufweist:

eine zweite Vielzahl von Widerständen (540a-k), die mit Bulk-Knoten der Vielzahl von Transistoren gekoppelt sind, und einen zweiten zusätzlichen Widerstand (540), der mit der zweiten Vielzahl von Widerständen und einer Bulk-Spannung gekoppelt ist.

**12.** Vorrichtung, die aufweist:

ein Modul, das mehrere Schalter für das Implementieren von mehreren Signalpfaden aufweist, wobei das Modul ein Hochfrequenz (HF-Signal empfängt und das HF-Signal über einen der mehreren Signalpfade führt, wobei jeder der mehreren Schalter die Vorrichtung von Anspruch 1 aufweist.

**16.** Ein Verfahren zum Durchführen eines Signalschaltens, wobei das Verfahren die folgenden Schritte aufweist:

Anlegen eines Steuersignals über einen ersten Widerstand (530) und weiterhin über eine erste Vielzahl von Widerständen (520) an Gates einer Vielzahl von Transistoren (510), die in einer gestapelten Konfiguration gekoppelt sind, und Anlegen einer Bulk-Spannung über einen zweiten Widerstand an einer zweiten Vielzahl von Widerständen (540a-k), die mit Bulk-Knoten der Vielzahl von Transistoren gekoppelt sind, Führen eines Eingangssignals durch die Vielzahl von Transistoren, wenn diese durch das Steuersignal eingeschaltet sind, und Blockieren des Führens des Eingangssignals durch die Vielzahl von Transistoren, wenn diese durch das Steuersignal ausgeschaltet sind.

Mit ihrer gemeinsam erhobenen Klage vom 16. April 2018 machen die Klägerinnen mangelnde Patentfähigkeit des Gegenstands des Streitpatents nach Art. 138 Abs. 1 lit. a EPÜ i.V.m. Art. II § 6 Abs. 1 Nr. 1 IntPatÜG geltend, und zwar aufgrund fehlender Neuheit (Art. 54 EPÜ) und mangelnder erfinderischer Tätigkeit (Art. 56 EPÜ).

Hierzu stützen sich die Klägerinnen auf folgende Dokumente:

- NKD1: "Design and analysis of transmit/receive switch in triple-well CMOS for MIMO wireless systems" von A. Poh und Y . P. Zhang, 2007
- NKD2: "A High Power CMOS Switch Using Substrate Body Switching in Multistack Structure" von Minsik Ahn et al., September 2007
- NKD2a: "DESIGN AND ANALYSIS OF HIGH POWER AND LOW HARMONIC RF FRONT END FOR MULTIBAND WIRELESS APPLICATION" von Minsik Ahn, Dissertation, Dezember 2007
- NKD3: US 7,459,988 B1
- NKD4a: WO 2008 / 056 747 A1
- NKD4b: US 2010 / 0 069 020 A1
- NKD5: "A 31.3-dBm Bulk CMOS T/R Switch Using Stacked Transistors With Sub-Design-Rule Channel Length in Floated p-Wells" von Haifeng Xu et al., November 2007
- NKD5a: "THICK-GATE-OXIDE MOS STRUCTURES WITH SUB-DESIGN-RULE CHANNEL LENGTHS FOR DIGITAL AND RADIO FREQUENCY CIRCUIT APPLICATIONS" von Haifeng Xu, Dissertation, August 2007
- NKD6: "Monolithic FET Structures for High-Power Control Component Applications" von M. B. Shifrin et al., Dezember 1989
- NKD7: "K $\alpha$ -Band Low-Loss and High-Isolation Switch Design in 0.13- $\mu$ m CMOS" von B.-W. Min und G. M. Rebeiz, Juni 2008

- NKD8: "A miniature low-insertion-loss, high-power CMOS SPDT switch using floating-body technique for 2.4- and 5.8-GHz applications " von Mei-Chao Yeh et al., Juli 2005
- NKD9: "Design and Analysis for a Miniature CMOS SPDT Switch Using Body-Floating Technique to Improve Power Performance" von Mei-Chao Yeh et al., 2006
- NKD10: "Ultra-Compact High-Linearity High-Power Fully Integrated DC-20-GHz 0.18- $\mu$ m CMOS T/R Switch" von Y. Jin et al., Januar 2007
- NKD11 US Provisional 61 / 241,683
- NKD12: Unterlagen des Unternehmens RFMD
- NKD13: Unterlagen des Unternehmens RFMD
- NKEP1: US 2004 / 051 395 A1
- NKEP2: US 2004 / 229 577 A1
- NKEP3: US 6 094 088 A
- NK4: Stellungnahme von Prof Dr. U...
- NK5: Stellungnahme des Schwedischen Patentamts
- NK6: weitere Stellungnahme von Prof Dr. U...

In der mündlichen Verhandlung am 09.12.2020 führt die Klägerin noch folgenden Auszug aus einem Lehrbuch zum Fachwissen ein:

- NK7: Tietze, U.; Schenk, Ch.: Halbleiterschaltungstechnik, 12. Auflage, Berlin Heidelberg New York: Springer, 2002, S. 212-215 – ISBN 3-540-42849-6

Die Klägerinnen beantragen,

das europäische Patent 2 460 270 (DE 60 2010 017 728) mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland in vollem Umfang für nichtig zu erklären.

Die Beklagte beantragt,

die Klage abzuweisen.

Die Beklagte tritt dem Vorbringen der Klägerinnen in allen Punkten entgegen. Sie vertritt die Auffassung, die von den Klägerinnen vorgebrachten Druckschriften nehmen die im Streitpatent offenbarte Erfindung weder neuheitsschädlich vorweg, noch legten sie diese nahe.

Mit einem Hinweis nach § 83 Abs. 1 PatG vom 19. August 2020 hat der Senat den Parteien die Gesichtspunkte mitgeteilt, die für die Entscheidung voraussichtlich von besonderer Bedeutung sind.

Wegen des Vorbringens der Parteien im Übrigen wird auf deren Schriftsätze mit sämtlichen Anlagen sowie auf das Protokoll der mündlichen Verhandlung verwiesen.

## **Entscheidungsgründe**

### **A.**

Die zulässige Klage ist nicht begründet und daher abzuweisen. Die Klägerinnen konnten den Senat nicht davon überzeugen, dass das Streitpatent wegen fehlender Patentfähigkeit seiner Gegenstände für nichtig zu erklären ist (Art. II § 6 Abs. 1 Nr. 1 IntPatÜG i. V. m. Art. 138 Abs. 1 Buchst. a) EPÜ, Art. 52 bis 56 EPÜ).

## I. Zum Streitpatent

1. Das Streitpatent betrifft gemäß dem Patentanspruch 1 eine Vorrichtung, die eine Vielzahl von Transistoren aufweist, die in einer gestapelten Konfiguration gekoppelt und angeordnet sind.

Nach den Ausführungen im Streitpatent werden derartige Vorrichtungen (Schalter) üblicherweise in verschiedenen Elektronikschaltungen verwendet, beispielsweise in einem Sender in einem drahtlosen Kommunikationsgerät und können mit verschiedenen Arten von Transistoren wie Metalloxidhalbleiter (MOS)-Transistoren implementiert werden. Ein derartiger Schalter kann ein Eingangssignal an einem Source/Drain-Anschluss und ein Steuersignal an einem Gate-Anschluss empfangen. Der Schalter leitet das Eingangssignal an den anderen Source/Drain-Anschluss weiter, wenn der Schalter durch das Steuersignal eingeschaltet wird, und blockiert das Eingangssignal, wenn er durch das Steuersignal ausgeschaltet wird. Der Schalter könne parasitäre Kapazitäten zwischen seinen Anschlüssen aufweisen, was die Leistung des Schalters nachteilig beeinflussen könne. Zum Stand der Technik verweist das Streitpatent auf die US 2004 / 0 051 395 A1 (vgl. Streitpatent, Abs. [0002] und [0003]).

Für den Senat besteht die Aufgabe des Streitpatents darin, einen Schalter insbesondere zum Durchschalten von RF-Signalen mit verbesserter Vorspannung („*biasing*“), Isolation und Zuverlässigkeit bereitzustellen (vgl. Streitpatent, Abs. [0007]).

2. Zur Lösung der oben genannten Aufgabe schlägt der Patentanspruch 1 des Streitpatents eine Schalter-Vorrichtung an sich vor, deren Merkmale folgendermaßen gegliedert werden können (ohne Bezugszeichen):

	Verfahrenssprache	
1.	An apparatus comprising:	Eine Vorrichtung, die aufweist:

1.1	a plurality of transistors coupled in a stacked configuration and arranged to receive an input signal and to provide an output signal;	eine Vielzahl von Transistoren, die in einer gestapelten Konfiguration gekoppelt sind und angeordnet sind, um ein Eingangssignal zu empfangen und ein Ausgangssignal vorzusehen,
1.2	a plurality of resistors coupled to gates of the plurality of transistors; and	eine Vielzahl von Widerständen, die mit Gates der Vielzahl von Transistoren gekoppelt sind, und
1.3	an additional resistor coupled to the plurality of resistors and arranged to receive a control signal for the plurality of transistors	einen zusätzlichen Widerstand, der mit der Vielzahl von Widerständen gekoppelt ist und angeordnet ist, um ein Steuersignal für die Vielzahl von Transistoren zu empfangen,
1.4	characterized in that the apparatus further comprises:	dadurch gekennzeichnet, dass die Vorrichtung weiterhin aufweist:
1.4.1	a second plurality of resistors coupled to bulk nodes of the plurality of transistors;	eine zweite Vielzahl von Widerständen, die mit Bulk-Knoten der Vielzahl von Transistoren gekoppelt sind, und
1.4.2	and a second additional resistor coupled to the second plurality of resistors and a bulk voltage	einen zweiten zusätzlichen Widerstand, der mit der zweiten Vielzahl von Widerständen und einer Bulk-Spannung gekoppelt ist.

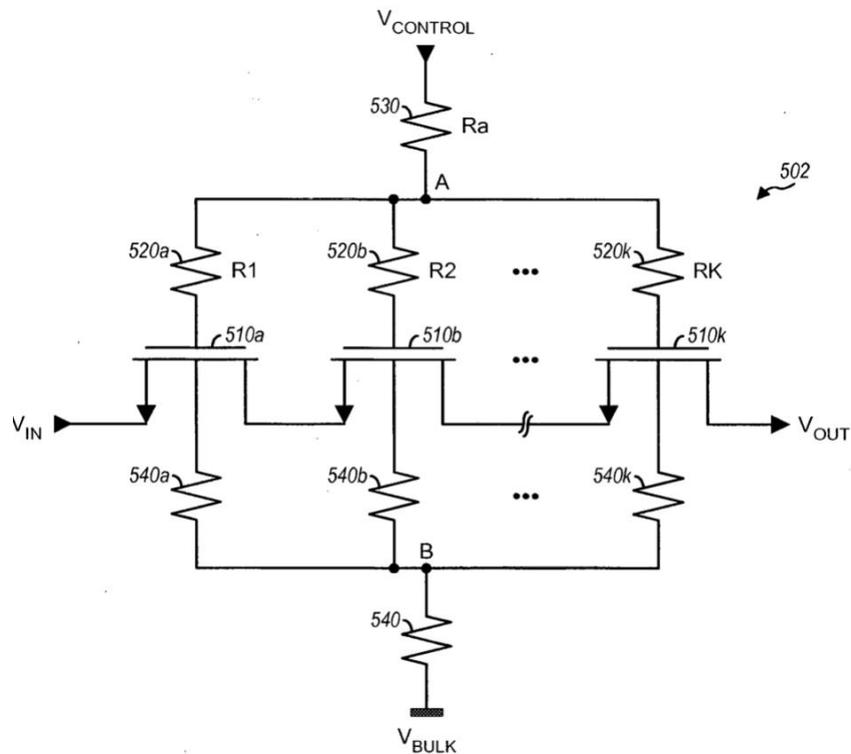
Der nebengeordnete Patentanspruch 12 betrifft eine Vorrichtung, in der mehrere Schalter-Vorrichtungen gemäß dem Patentanspruch 1 verwendet werden, und der nebengeordnete Patentanspruch 16 ein Verfahren zum Durchführen eines Signalschaltens.

**3.** Das Streitpatent richtet sich an einen Dipl.-Ing. mit Hochschulabschluss im Fachgebiet der Elektrotechnik und mit Schwerpunkt auf Schaltungstechnik. Dieser

Fachmann verfügt über eine mehrjährige praktische Erfahrung in der Entwicklung von Halbleiter-Chips, beispielsweise FET/MOS- und insbesondere NMOS- sowie CMOS-Schalteranordnungen.

4. Der Senat legt dem Patentanspruch 1 folgendes Verständnis zugrunde:

Figur 6 des Streitpatents zeigt alle Merkmale des mit Patentanspruch 1 beanspruchten Gegenstands.



**FIG. 6**

Demnach sind gemäß Merkmal 1.1 mehrere in Reihe geschaltete Transistoren 510a, 510b, ..., 510k vorgesehen, bei denen Source und Drain unmittelbar benachbarter Transistoren miteinander verbunden sind, was im Patentanspruch 1 mit „coupled in a stacked configuration“ („in einer gestapelten Konfiguration gekoppelt“) bezeichnet wird. Die Source beim darstellungsgemäß linken Transistor 510a ist zum Empfang eines Eingangssignales  $V_{IN}$  vorgesehen. Der Drain beim darstellungsgemäß rechten Transistor 510k ist dazu vorgesehen, ein

Ausgangssignal  $V_{OUT}$  auszugeben („to provide an output signal“; Merkmal 1.1). Um welche Art von Signalen es sich bei dem Eingangssignal  $V_{IN}$  und dem Ausgangssignal  $V_{OUT}$  handelt, lässt der Anspruch offen, gemäß der Beschreibung kann es sich hierbei um Hochfrequenzsignale handeln (vgl. Streitpatent, z.B. Abs. [0010]).

Die Gates der Transistoren sind jeweils mit einem Widerstand 520a, 520b, ..., 520k verbunden (Merkmal 1.2). Gemäß Streitpatent wird dadurch erreicht, dass beim Einschalten der Transistoren („when NMOS transistors 410 are turned on“) jeder der Widerstände gemäß Merkmal 1.2 die bei dem jeweiligen Transistor aufgrund der dort vorhandenen Gate-seitigen parasitären Kapazitäten  $C_{GS}$  und  $C_{GD}$  entstehenden Signalverluste verringert (vgl. Streitpatent, Abs. [0020] und [0023]).

Der Gate-seitig zusätzliche Widerstand 530 gemäß Merkmal 1.3 ist einerseits mit der Vielzahl von Widerständen gemäß dem Merkmal 1.2 verbunden und andererseits dazu vorgesehen, ein Steuersignal zu empfangen. Somit ist der zusätzliche Widerstand 530 in Reihe zu der Vielzahl von parallelen Widerständen gemäß dem Merkmal 1.2 angeordnet.

Durch den zusätzlichen Widerstand 530 wird dasselbe erreicht, wie mit den Widerständen 520a, 520b, ..., 520k, nämlich für ein „floating“ der Gates gegenüber der Steuerspannungsquelle  $V_{CONTROL}$  zu sorgen (vgl. Streitpatent, Abs. [0029]). Diese Gate-seitigen Widerstände werden im Streitpatent auch jeweils als "RF floating resistor“ (Hochfrequenz Floating Widerstände) bezeichnet (vgl. Streitpatent, Abs. [0020] und [0027]).

Gemäß Merkmal 1.4.1 und 1.4.2 ist die Gate-seitige Widerstandsordnung gemäß den Merkmalen 1.2 und 1.3 auch an der Bulk-Seite der Transistoren vorgesehen. Somit handelt es sich bei der Vielzahl von Transistoren in Merkmal 1.1 um Transistoren mit vier extern beschaltbaren Anschlüssen (Gate, Drain, Source und Bulk). Demnach sind die Widerstände 540a ... k mit dem Bulk der Transistoren 510a ... k („coupled to bulk nodes of the plurality of transistors“) und mit einem zusätzlichen Widerstand 550 (vgl. Streitpatent, Abs. [0035]; in der Figur 6 irrtümlich

als 540 bezeichnet) verbunden. Der zweite Anschluss des Widerstands 550 ist mit einer Bulkspannung verbunden („*coupled to the second plurality of resistors and a bulk voltage*“, vgl. ebenda). Welchen Spannungswert die Bulkspannung aufweist, lässt der Anspruch offen. Gemäß Streitpatent kann es sich um einen beliebigen Spannungswert kleiner als  $V_{IN}$ , also auch DC-Masse handeln (vgl. Streitpatent, Sp. 7, Abs. [0030]: „*The  $V_{BULK}$  voltage may be alternating current (AC) ground (0V), a voltage lower than the DC voltage of the  $V_{IN}$  signal, or some other voltage.*“; vgl. Streitpatent, Anspruch 8).

Durch Vorsehen der Widerstandsanordnung gemäß Merkmal 1.4 werden laut Streitpatent Bulk-seitig die gleichen Probleme verringert bzw. die gleichen Vorteile erreicht, die für die Gate-Seite beschrieben werden (vgl. Streitpatent, Abs. [0030], letzter Satz, „*Resistors 540 and 550 provide RF float for the bulk nodes of NMOS transistors 510, which may provide benefits similar to those obtained with resistors 520 and 530 to RF float the gates of NMOS transistors 510.*“).

## II. Zum Nichtigkeitsgrund fehlender Patentfähigkeit

1. Der Senat konnte nicht feststellen, dass den streitpatentgemäßen Gegenständen nach den nebengeordneten Patentansprüchen vor dem Hintergrund des geltend gemachten Standes der Technik die Neuheit fehlt (Art. 54 EPÜ).

1.1 Der Gegenstand des Patentanspruchs 1 wird durch den in der Klageschrift zur fehlenden Neuheit herangezogenen Artikel **NKD1** („*Design and Analysis of Transmit/Receive Switch in Triple-Well CMOS for MIMO Wireless Systems*“ von A. Poh und Y. P. Zhang) nicht vorweggenommen.

Die NKD1 offenbart in Figur 3 einen Schalter mit einer Vielzahl von Transistoren 1, 2, ..., N in einer gestapelten Konfiguration:

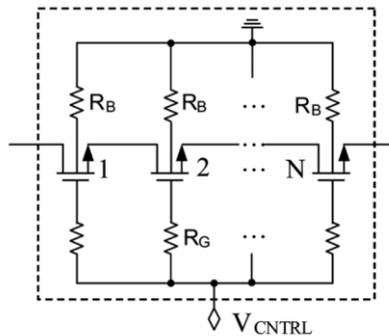


Fig. 3. Series-connected transistors for the switch.

Die Transistoren sind dazu ausgelegt, ein Eingangssignal zu empfangen und ein Ausgangssignal zu liefern. Dies ergibt sich auch aus den Figuren 1 und 2 der NKD1, wonach die gestapelten Transistoren z.B. ein zu sendendes Eingangssignal A\_TX empfangen und als Ausgangssignal zu einer der Antennen ANT1, ANT2, ANT3 und ANT4 übertragen können. Bei den verwendeten Transistoren handelt es sich um „triple-well“ CMOS-Transistoren mit vier externen Anschlüssen (vgl. NKD1, S. 460, 1. Abs.), wobei sowohl am Gate- wie auch am Bulk-Anschluss Widerstände vorgesehen sind; Gate und Bulk sind auf diese Weise als „floating“ anzusehen (vgl. NKD1, Fig. 5; „floating gate nodes“ und „floating bulk nodes“).

In Bezug auf den Patentanspruch 1 geht somit aus der NKD1 hervor:

1.	An apparatus comprising:	vgl. Fig.3
1.1	a plurality of transistors coupled in a stacked configuration and arranged to receive an input signal and to provide an output signal;	vgl. Fig. 3, Bz. 1,2 ...N
1.2	a plurality of resistors coupled to gates of the plurality of transistors; and	Vgl. Fig. 3, Bz. R <sub>G</sub> , V <sub>CNTRL</sub>
1.3	<del>an additional resistor coupled to the plurality of resistors and arranged</del> to receive a control signal for the plurality of transistors	Vgl. Fig. 3, V <sub>CNTRL</sub>
1.4	characterized in that the apparatus further comprises:	

1.4.1	a second plurality of resistors coupled to bulk nodes of the plurality of transistors;	Vgl. Fig. 3, Bz. $R_B$
1.4.2	<del>and a second additional resistor coupled to the</del> second plurality of resistors and a bulk voltage	Die Widerstände $R_B$ sind mit DC-Masse verbunden

Gemäß der NKD1 handelt es sich bei den Widerständen  $R_B$  und  $R_G$  explizit um jeweils individuelle Widerstände. Dies sei notwendig, um eine Signalkopplung zwischen den seriellen Transistoren zu vermeiden (vgl. NKD1, Beschreibung zu Fig. 3, S. 460, li. Sp., vorletzter Absatz, „As shown, both the gate and body nodes are biased using individual large resistors  $R_G$  and  $R_B$ . The use of individual resistors is necessary to prevent signal coupling between the series-connected transistors.“). Ein zusätzlicher Widerstand, der mit der Vielzahl von Widerständen auf der Gate- bzw. Bulkseite verbunden wäre, geht aus der NKD1 somit nicht unmittelbar und eindeutig hervor (nicht Merkmale 1.3 und 1.4.2). Der Fachmann würde diese Merkmale auch nicht als Ausführungsform „mitlesen“, da ja gerade auf die individuellen Widerstände an jedem Anschluss Wert gelegt wird.

Folglich ist der Gegenstand des Patentanspruchs 1 neu gegenüber der Druckschrift NKD1.

1.2 Dieselbe Argumentation gilt für den nebengeordneten Patentanspruch 12, und den Verfahrensanspruch 16.

1.3 Weitere Druckschriften bezüglich fehlender Neuheit wurden seitens der Klägerinnen nicht genannt.

2. Die Klägerinnen vermochten den Senat auch nicht davon zu überzeugen, dass sich die Lehre der nebengeordneten Patentansprüche für den Fachmann am

Prioritätstag in naheliegender Weise aus dem im Verfahren befindlichen Stand der Technik ergab (Art. 56 EPÜ).

2.1 Um den Gegenstand einer Erfindung als nahegelegt anzusehen, genügt es nicht, dass der Fachmann mit seinen durch seine Ausbildung und berufliche Erfahrung erworbenen Kenntnissen und Fähigkeiten in der Lage gewesen ist, die erfindungsgemäße Lösung des technischen Problems aus dem Vorhandenen zu entwickeln. Vielmehr muss der Fachmann darüber hinaus Grund gehabt haben, den Weg der Erfindung zu beschreiten. Dazu bedarf es in der Regel zusätzlicher, über die Erkennbarkeit des technischen Problems hinausreichender Anstöße, Anregungen, Hinweise oder sonstiger Anlässe (BGH, Urteil vom 30. April 2009 – Xa ZR 92/05, BGHZ 182, 1 Rn 20 = GRUR 2009, 746 - Betrieb einer Sicherheitseinrichtung; Urteil vom 8. Dezember 2009 - X ZR 65/05, GRUR 2010, 407 Rn. 17 - einteilige Öse; st. Rspr.). Diese Voraussetzungen liegen aus Sicht des Senats im vorliegenden Fall nicht vor.

2.2 Der Fachmann gelangt ausgehend von der Druckschrift US 2004 / 0 051 395 A1 (NKEP1) und dem Fachwissen nicht in naheliegender Weise zum Gegenstand des Patentanspruchs 1.

a) Die NKEP1 betrifft einen Schalter, der einen Stromausgang bei niedrigeren Steuerspannungen steuern kann, während das optimale Gleichgewicht zwischen Einfügungsverlust, Isolation, maximaler Belastbarkeit, Unterdrückung der Oberwellenerzeugung und Leckstrom im Steuersignal bereitgestellt wird (vgl. NKEP1, Abs. [0011]).

Die NKEP1 offenbart hierzu einen Schalter, der aus einer Vielzahl von Transistoren besteht (vgl. NKEP1, Abs. [0012]; Fig. 2 bis Fig. 6). Bei den Transistoren handelt es sich um FET-Transistoren, welche drei extern beschaltbare Anschlüsse aufweisen („Gate“, „Drain“ „Source“; vgl. NKEP1, Abs. [0004] in Verbindung mit Fig. 1a und 1b). Einen Bulk-Anschluss weisen diese Transistoren nicht auf.

Als Problem wird in der NKEP1 beschrieben, dass bei einem Feldeffekttransistor (FET) ein Leck-Strom von der Steuerspannungsquelle („control voltage source“) in unerwünschter Weise zum Gate des Transistors fließen kann. Mithilfe von Widerständen an den Gates der Transistoren könne dieser Stromverlust reduziert werden (vgl. NKEP1, Abs. [0015] und [0061]).

Als Ausführungsbeispiel zeigt die NKEP1 hierzu in der Figur 6c eine Vorrichtung (Schalter, „switch“) mit einer Vielzahl von Transistoren, die in einer gestapelten Konfiguration gekoppelt und angeordnet sind, um ein Eingangssignal zu empfangen und ein Ausgangssignal zu liefern. Am Gate ist eine Widerstandsanordnung mit einer Reihenschaltung einer Vielzahl von Widerständen 572, 574, ..., 582 und eines zusätzlichen/einzeln Widerstands 584 vorgesehen (vgl. NKEP1, Fig. 6c).

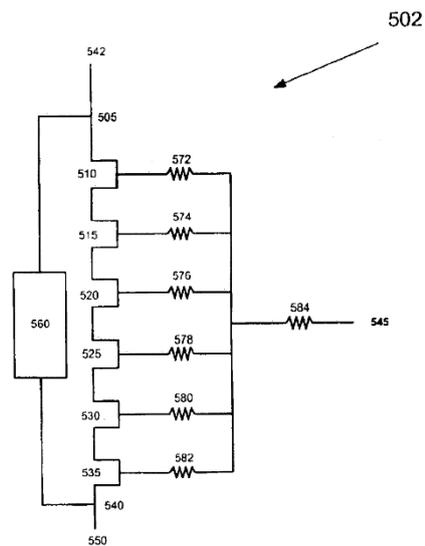


Fig. 6c

In Bezug auf den Patentanspruch 1 geht somit aus der NKEP1 hervor:

1.	An apparatus comprising:	vgl. Fig.6c
1.1	a plurality of transistors coupled in a stacked configuration and arranged to receive an input signal and to provide an output signal;	vgl. Fig. 6c, Bz. 510, 515, ... 535),
1.2	a plurality of resistors coupled to gates of the plurality of transistors; and	vgl. Fig. 6c, Bz. 572, 574, ..., 582
1.3	an additional resistor coupled to the plurality of resistors and arranged to receive a control signal for the plurality of transistors	vgl. Fig. 6c, Bz. 584
1.4	characterized in that the apparatus further comprises:	

1.4.1	<del>a second plurality of resistors coupled to bulk nodes of the plurality of transistors;</del>	
1.4.2	<del>and a second additional resistor coupled to the second plurality of resistors and a bulk voltage</del>	

Da die in der NKEP1 verwendeten FET-Transistoren keinen Bulk-Anschluss aufweisen, zeigt die NKEP1 nicht die Merkmale 1.4.1 und 1.4.2.

b) Der Druckschrift NKEP1 ist zu entnehmen, dass der Fachmann immer auch den Flächenbedarf bei der Realisierung einer integrierten Schaltung im Blickfeld hat, wobei speziell auch auf die Widerstandsanordnung am Gate verwiesen wird (vgl. NKEP1, Abs. [0075], *„Utilizing various embodiments of the current invention at the same time can produce an enhanced switch that does not require additional device periphery or die size (and preferably would reduce the die size). [...] As one skilled in the art knows the precise design of the chip includes, amongst other things, number, type and size of FETs, location of FETs and other periphery, bypass resistance topology, and gate resistance topology.“*; Unterstreichung hinzugefügt).

In Bezug auf die Ausführungsform gemäß der Figur 6c (vgl. Abs. [0064] u. [0065]) lehrt die NKEP1, dass die dortige Realisierung mit einem zusätzlichen Widerstand 584 den Gesamtwiderstand zwischen dem Steuerspannungseingang (*„control voltage input 545“*) und jedem der Gates 510-535 erhöht, und so der Steuerstrom reduziert wird. Diese Ausführungsform soll immer dann verwendet werden, wenn es nicht praktikabel ist, jeden der Widerstände 572-582 zu vergrößern, worin der Fachmann eine Flächensparnis bei der Herstellung der Schaltung erkennt. Der NKEP1 entnimmt der Fachmann weiter, dass durch eine derartige Widerstandsanordnung am Gate ein zusätzlicher Kopplungspunkt entsteht, wodurch die Prozessstabilität des Schalters reduziert wird. Bei dieser Realisierung handelt es sich somit um einen Kompromiss zwischen Leckstrom (*„leakage“*) und Prozessstabilität (vgl. NKEP1, Abs. [0065], *„However, the addition of the extra resistor adds an additional voltage drop point and thus an additional leakage process point. The addition of the additional leakage process point reduces the*

*process stability of the switch as leakage through the resistor 584 could flow through each FET as that point is connected to all gates“).*

Es gehört, wie die Klägerinnen in der mündlichen Verhandlung vorgetragen hat, zum Grundwissen des einschlägigen Fachmanns, dass bei Transistoren, die auf CMOS-Technik basieren, Leckströme nicht relevant sind. Der Fachmann hatte daher ausgehend von der NKEP1 Anlass, statt der dort beschriebenen FET-Transistoren mit drei externen Anschlüssen, Transistoren auf CMOS-Basis, welche vier externe Anschlüsse aufweisen, zu verwenden. Allerdings entnimmt der Fachmann der NKEP1 keinen Hinweis und keine Anregung dahingehend, wie er den zusätzlichen Bulk-Anschluss verschalten soll.

c) Die Klägerinnen weisen mit Bezug auf die Anlage NK7 (Tietze/Schenk) darauf hin, dass der Fachmann das Ersatzschaltbild eines MOS-Transistors mit vier Anschlüssen kenne und ihm daher bewusst sei, dass im Ersatzschaltbild auf Gate- und Bulk-Seite ein identischer Aufbau bestehe, wobei sich lediglich die Werte der Bauteile unterscheiden würden (vgl. NK7, Figur auf S. 212).

Aus Sicht der Klägerinnen folgere der Fachmann daraus, dass auf Bulk-Seite die gleichen Probleme wie auf Gate-Seite auftreten würden und erkenne daher, dass dort dieselben Maßnahmen wie am Gate angewendet werden könnten. Eine Widerstandsanordnung wie am Gate gemäß der Figur 6c der NKEP1 wäre daher auch für den Bulk-Anschluss naheliegend, zumal der Fachmann immer die Flächensparnis in seine Überlegungen mit einbeziehen würde. Dieser Auffassung kann sich der Senat nicht anschließen.

Die in der NKEP1 am Gate offenbarte Widerstandsanordnung gemäß der Figur 6c und der damit verbundenen Problematik mit dem zusätzlichen „*voltage drop point*“ betrifft speziell die Problematik der Leckströme bei FET-Transistoren mit drei externe Anschlüssen (ohne Bulk) und ist mit dem Nachteil der schlechteren Prozessstabilität verbunden.

Auch bei Transistoren mit vier externen Anschlüssen erfolgt die Ansteuerung über den Gate-Anschluss. Zur Beschaltung des Bulk-Anschlusses – insbesondere im Hinblick auf die Verwendung in einer anspruchsgemäßen Vorrichtung mit einer Vielzahl von gestapelten Transistoren – sind der NK7 keinerlei Hinweise oder Anregungen zu entnehmen. Es bleibt dem Fachmann überlassen, ob er diesen Bulk-Anschluss direkt mit einem bestimmten Potential (z.B. Masse) verbindet oder mittels einer Widerstandsschaltung ein „floating“ des Bulk gegenüber dem Potential realisiert. Dem Fachmann ist dabei bewusst, dass bei CMOS-Transistoren mit vier externen Anschlüssen Gate- und Bulk-Seite einen völlig unterschiedlichen strukturellen Aufbau haben, den er berücksichtigen muss, wenn er Widerstände an den Gate- und Bulk-Anschlüssen, insbesondere bei gestapelter Transistoranordnung, vorsehen will. Hierzu sind aus Sicht des Senats für den Fachmann intensive Überlegungen und Versuche erforderlich, die weit über das aus der NK7 und NKEP1 bekannte Fachwissen hinausgehen. Dem Fachmann ist dabei zwar bewusst, dass er den Bulk-Anschluss beschalten kann bzw. muss, es fehlt ihm aus Sicht des Senats aber sowohl aus der NKEP1 wie aus dem Fachwissen gemäß der NK7 an hinreichenden Anstößen, Anregungen, Hinweisen oder sonstigen Anlässen, die aus Figur 6c der NKEP1 für den Gate-Anschluss bekannte Widerstandsanordnung auch am Bulk-Anschluss zu verwenden.

Der Gegenstand des erteilten Patentanspruchs 1 beruht daher aus Sicht des Senats ausgehend von der NKEP1 und dem Fachwissen auf einer erfinderischen Tätigkeit.

2.3 Die Klägerinnen vertreten weiter die Auffassung, dass sich der Gegenstand des Patentanspruchs 1 ausgehend von der Lehre der NKEP1 unter Berücksichtigung der NKD1 in naheliegender Weise ergeben würde. Auch dieser Sichtweise kann sich der Senat nicht anschließen.

Ausgehend von der NKEP1 ist es – von der Beklagten unbestritten – für den Fachmann naheliegend, die Verwendung von CMOS-Transistoren mit vier Anschlüssen bei der Realisierung einer Vorrichtung mit einer Vielzahl von

Transistoren, die in einer gestapelten Konfiguration gekoppelt sind, in Erwägung zu ziehen.

Dabei wird der Fachmann die Lehre der NKD1 berücksichtigen, aus der eine Vorrichtung gemäß dem Oberbegriff des Patentanspruchs 1 unter Verwendung von MOS-Transistoren mit vier Anschlüssen bekannt ist (vgl. obige Ausführungen zur Neuheit). Gemäß der NKD1 ist sowohl am Gate- wie auch am Bulk-Anschluss ein Widerstand ( $R_G$ ,  $R_B$ ) vorgesehen.

Der Fachmann entnimmt der NKD1 direkt in der Figur 3 und explizit der zugehörigen Beschreibung auf Seite 460 (vgl. dort Abs. 2), dass es sich bei den Widerständen  $R_B$  und  $R_G$  um individuelle, große Widerstände handelt. Die Verwendung individueller Widerstände sei notwendig, um eine Signalkopplung zwischen den seriellen Transistoren zu vermeiden (vgl. NKD1, S. 460, linke Spalte, 2. Absatz, „*As shown, both the gate and body nodes are biased using individual large resistors  $R_G$  and  $R_B$ . The use of individual resistors is necessary to prevent signal coupling between the series-connected transistors.*“).

Die Klägerinnen meinen, dass die individuellen großen Widerstände nur im ersten Satz der oben zitierten Stelle erwähnt werden, im zweiten Satz in Bezug auf die Einfügedämpfung jedoch nur noch von individuellen Widerständen gesprochen wird, und der Fachmann deshalb erkennen würde, dass mittels der individuellen Widerstände eine direkte Signalkopplung zwischen den Gate- bzw. Bulk-Anschlüssen verhindert werden soll, und er deshalb zur Flächensparnis eine anspruchsgemäße Widerstandsanordnung vorsehen würde. Unter Verweis auf eine Stellungnahme von Prof. U ... (vgl. NK6) führen die Klägerinnen weiter aus, dass bei hochohmigen Widerständen im Kilo-Ohm-Bereich Leckströme und damit die Kopplung in der Praxis ohnehin keine Rolle spielen. Daher erkenne der Fachmann sofort, dass zusätzliche Widerstände eben nicht zu einer erhöhten Kopplung führen würden. Dieser Sichtweise kann sich der Senat nicht anschließen.

Der NKD1 und der darin durchgeführten Analyse des vorgeschlagenen Transistor-Schalters lässt sich entnehmen, dass Widerstände an Gate- und Bulk-Anschluss

keine identische Wirkung auf den Schalter haben. Den Figuren 6 und 10 der NKD1 ist zu entnehmen, dass ein Widerstand auf Gate-Seite eine deutlich größere Wirkung auf die Einfügedämpfung hat als ein Widerstand auf der Bulk-Seite. Mit Bezug auf die Isolation des Schalters im Aus-Zustand ergibt sich aus der NKD1, dass die Einführung eines Widerstands auf der Gate-Seite die Isolation um 40dB herabsetzt, wogegen ein Widerstand auf der Bulk-Seite deutlich geringere Verluste bei der Isolation des Schalters, nämlich nur um 10dB verursacht (vgl. NKD1, Fig. 8 in Verbindung mit S. 462, li. Sp., erster Absatz: *„As seen in Fig. 8, the isolation is generally degraded by 40 dB with the introduction of the gate resistor.“* und S. 462, re. Sp., *„In comparison with the earlier results, the addition of the body resistance reduces isolation by 10 dB. This is indicative that the loss mechanism through the gate node in the off state is more significant than that through the body.“*). Nach der Lehre der NKD1 können gerade die parasitären Kapazitäten und die parasitären Dioden (*„source/drain junction diodes“*) auf der Bulk-Seite die Belastbarkeit (*„power-handling capability“*) des Schalters negativ beeinflussen, da das Risiko besteht, dass die Dioden ungewollt in Durchlassrichtung geschaltet werden und so einen Strom (ungewollt) fließen lassen. Gerade ein Widerstand auf der Bulk-Seite (*„floating body“*) verringert dieses Risiko und verbessert somit die Belastbarkeit des Schalters erheblich (vgl. NKD1, S. 458, re. Sp., 2. Abs., *„In both cases, however, the power-handling capability is limited due to the parasitic capacitance and source/drain junction diodes.“* und S. 463, re. Sp., vorletzter Absatz, *„The implementation of the proposed techniques of floating body and series connection showed that power handling could be improved by at least 13 dB.“*). Angesichts der unterschiedlichen Wirkungen bereits der individuellen Widerstände auf Gate- und Bulk-Seite würde der Fachmann daher nicht ohne Weiteres einen zusätzlichen Widerstand auf der Bulk-Seite vorsehen, um einen ihm von der Gate-Seite bekannten Vorteil eines zusätzlichen Widerstands, nämlich die Verringerung des Flächenbedarfs, auch auf der Bulk-Seite zu nutzen.

Zudem ist von einem (zusätzlichen) gemeinsamen Widerstand in der NKD1 an keiner Stelle die Rede. Gemäß der Lehre der NKD1 wird für diese dort

vorgesehenen individuellen Widerstände eine Größe von 10 k $\Omega$  vorgeschlagen (vgl. NKD1, S. 461, re. Sp, vorletzter Satz für R<sub>G</sub>, „*A typical value of 10 k $\Omega$  is recommended*“; S. 462, li. Sp. vorletzter Satz für R<sub>B</sub>, „*Therefore, the body resistance of 10 k $\Omega$  is selected.*“; Fig. 6 und 10). Einen zu diesen Widerständen (jeweils 10 k $\Omega$ ) zusätzlichen, gemeinsamen Widerstand vorzusehen, würde der Fachmann zur Überzeugung des Senats nicht in Erwägung ziehen, da bei CMOS-Transistoren – wie auch die Klägerinnen in der mündlichen Verhandlung vorgetragen haben – Leckströme (wie in der NKEP1 in Bezug auf die dortige Fig. 6c bezüglich FET-Transistoren bei großen Gate-Widerständen beschrieben) keine Rolle spielen und er weiß, dass damit zusätzlich Fläche auf dem Substrat verbraucht würde (Kosten), ohne einen zusätzlichen Nutzen bezüglich der Signalkopplung bzw. der Einfügedämpfung zu erzielen.

Soweit die Klägerinnen auf die Figuren 6 und 10 der NKD1 verweisen, wonach sich die Einfügedämpfung („*insertion loss*“) bei einem Widerstand von 5 k $\Omega$  gegenüber einem Widerstand von 10 k $\Omega$  kaum unterscheidet und der Fachmann – aus ihrer Sicht - deshalb auch einen Widerstand von 5 k $\Omega$  zusammen mit einem gemeinsamen Widerstand von 5 k $\Omega$  verwenden würde, ändert dies an der Sichtweise des Senats nichts. Denn selbst wenn der Fachmann einen Widerstand von 5 k $\Omega$  für ausreichend halten würde, so bleibt es bei der Lehre der NKD1, wonach es sich hierbei um individuelle Widerstände handeln soll. Es ist der NKD1 – wie oben dargelegt - keine Anregung zu entnehmen, einen weiteren anspruchsgemäßen gemeinsamen Widerstand vorzusehen. Der Fachmann hätte darum andere Widerstandsanordnungen, die einen zusätzlichen Widerstand vorsehen, wie die NKEP1 in Figur 6c, bei der Lehre der NKD1 weder für die Gate- noch für die Bulk-Seite in Betracht gezogen. Der Fachmann würde dies auch deshalb nicht in Erwägung ziehen, da dies – wie bereits oben dargelegt - zu einem größeren Flächenverbrauch und damit höheren Kosten bei der Realisierung führen würde, ohne einen zusätzlichen Nutzen bezüglich Signalkopplung bzw. Einfügedämpfung zu erzielen.

Der Gegenstand des erteilten Patentanspruchs 1 ergibt sich daher für den Fachmann auch ausgehend von der NKEP1 zusammen mit der Lehre der NKD1 nicht in naheliegender Weise, da der Fachmann keiner der Druckschriften eine Anregung in Richtung der anspruchsgemäßen Lösung entnehmen kann.

2.4 Der Gegenstand des erteilten Patentanspruchs 1 ergibt sich auch nicht in naheliegender Weise unter Berücksichtigung des weiter genannten Standes der Technik.

Die NKD2 ("A High Power CMOS Switch Using Substrate Body Switching in Multistack Structure" von Minsik Ahn et al.) offenbart die Lehre, auf Gate- und Bulk-Seite Widerstände vorzusehen, mithin eine Vorrichtung mit den Merkmalen 1., 1.1, 1.2 und 1.4.1 des Patentanspruchs 1 (vgl. NKD2, Fig. 4). Die konkrete Ausgestaltung der Gate- und Bulk-seitigen Widerstandsanordnung mit jeweils einem zusätzlichen Widerstand gemäß den Merkmalen 1.3 und 1.4.2 ist der NKD2 nicht unmittelbar zu entnehmen (nicht Merkmale 1.3 und 1.4.2). Die NKD2 beschäftigt sich in erster Linie mit dem Kurzschließen des Widerstands an der Bulk-Seite eines der Transistoren auf der Empfangsseite (vgl. NKD2, Abstract, „One of the stacked devices in the receive side has a body switch at the bulk port in order to provide high power handling capability to the transmit switch side without compromising insertion loss to the receiver switch.“), was auch der Figur 1a der NKD2 zu entnehmen ist.

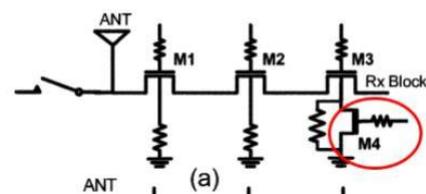


Figure 1a der NKD2

Der Fachmann entnimmt der NKD2 somit die Lehre, am Bulk-Anschluss einzelne, individuelle Widerstände vorzusehen, die über einen Schalter (vgl. NKD2, Fig. 1, M4) gezielt für einen einzelnen Transistor kurzgeschlossen werden können. Bei einer anspruchsgemäßen Widerstandsanordnung wäre dieses gezielte Kurzschließen so nicht möglich. Selbst bei Berücksichtigung der Lehre der NKEP1

hätte der Fachmann daher keine Veranlassung, am Bulk-Anschluss eine anspruchsgemäße Widerstandsanordnung vorzusehen.

Die Druckschriften NKEP2, NKD3 und NKD4 zeigen für die Gate-Seiten gestapelter Transistoren jeweils eine Widerstandsanordnung mit einer Reihenschaltung einer Vielzahl von Widerständen und eines zusätzlichen/einzelen Widerstands. Bezüglich einer Widerstandsanordnung an den Bulk-Anschlüssen der Transistoren geht aus den Druckschriften NKEP2, NKD3 oder NKD4 nichts hervor. Der Offenbarungsgehalt derselben geht daher nicht über den der NKEP1 hinaus.

Wie oben dargelegt hatte der Fachmann ausgehend von der NKD1 oder der NKD2 keine Anregung für eine derartige Schaltung am Bulk-Anschluss, da die NKD1 sowohl am Gate- als auch am Bulk-Anschluss von individuellen Widerständen ausgeht, um eine Signalkopplung zwischen den Transistoren zu vermeiden, und gemäß der Lehre der NKD2 am Bulk-Anschluss eines jeden Transistors einzelne, individuelle Widerständen vorgesehen sind, die über einen Schalter (vgl. NKD2, Fig. 1, M4) kurzgeschlossen werden können.

Die übrigen Druckschriften des genannten Standes der Technik liegen weiter ab. Jedenfalls tragen diese nichts Neues zur Beurteilung des streitpatentgemäßen Gegenstandes im Rahmen der erfinderischen Tätigkeit bei. Klageseitig wurde diesbezüglich auch nichts Entsprechendes vorgetragen.

2.5 Damit ergibt sich der Gegenstand des Patentanspruchs 1 nicht in naheliegender Weise aus dem genannten Stand und beruht auf einer erfinderischen Tätigkeit. Dies gilt mit derselben Begründung wie für den Patentanspruch 1 auch für die nebengeordneten Patentansprüche 12 und 16.

3. Im Ergebnis war die Klage daher abzuweisen.

**B.**

Die Kostenentscheidung beruht auf § 84 Abs. 2 PatG i. V. m. §§ 91 Abs. 1 Satz 1, 100 Abs. 1 ZPO; die Entscheidung über die vorläufige Vollstreckbarkeit folgt aus § 99 Abs. 1 PatG i. V. m. § 709 Satz 1 und Satz 2 ZPO.

**C.**

**Rechtsmittelbelehrung**

Gegen dieses Urteil ist das Rechtsmittel der Berufung gemäß § 110 PatG gegeben. Die Berufungsfrist beträgt einen Monat. Sie beginnt mit der Zustellung des in vollständiger Form abgefassten Urteils, spätestens aber mit dem Ablauf von fünf Monaten nach der Verkündung (§ 110 Abs. 3 PatG).

Die Berufung wird nach § 110 Abs. 2 PatG durch Einreichung der Berufungsschrift beim Bundesgerichtshof, Herrenstr. 45a, 76133 Karlsruhe eingelegt.

Voit

Martens

Albertshofer

Dr. Wollny

Bieringer

prä